

第 1 回 AMT-2 SEU 実験報告

2001.8.10 新井康夫(yasuo.arai@kek.jp)

高エネルギー加速器研究機構

(2001.8.27 修正)

1. 概要

2006 年 4 月に実験開始予定の CERN LHC 加速器の ATLAS 実験では大量の LSI が検出器内において使用される。これらの LSI は大強度の陽子・陽子衝突により生成される放射線下に置かれるため、設置される場所に応じた耐放射線性を持つことが要求されている。

放射線による LSI への影響は多様であるが、このうち SEU (Single Event Upset : メモリーの内容が変わってしまう現象) は、主に 20MeV 以上のハドロンにより引き起こされる。一方、これに対する SEU クロスセクションは 60-200 MeV の陽子照射実験の結果から推定可能であることがわかっている。このことから、今回サイクロトロン陽子ビームを使って SEU 試験を計画した。

SEU は LSI 内に局所的に多量のイオン対が生成されることによって引き起こされる。LHC で生成されるハドロンの LET(Linear Energy Transfer)値は大きくないが、LSI が重金属を含むため、核反応による 2 次生成物による高い LET により SEU が起こると考えられている。

今回の実験は東北大サイクロの篠塚氏及び織原センター長の好意により、夏季シャットダウンの直前に急遽実験を行えることになった。実験は 8 月 1-2 の 2 日間にかけて行い、実験準備のため 7 月 31 日よりサイクロトロンに赴いた。ビームダンプの設置等実験準備には、サイクロトロン技官・藤田正弘氏に特にお世話になった。また、照射基板の製作には池野 (KEK)氏に協力いただいた。

実験参加者は新井の他、榎沢 (農工大)、蓮子 (東大 ICEPP)、福永 (都立大) であった。照射したチップは AMT-2 チップの他、TGC グループが FIFO 及び MWPC チップの照射を行った。ここでは、AMT-2 チップの照射結果について述べる。

2. 実験セットアップ

図 1 に実験のセットアップを示す。陽子ビームはチタンフォイルを通して空気中に導き出されチップに照射された。チップの後ろにはビーム強度をモニターするため 2 個の PMT、さらにビームダンプ中にファラデーカップが置かれた。また、照射前にターゲット位置に ZnS を塗ったアルミフォイルを置き、カメラによるビームプロファイルの確認を行った。

今回はこのビームライン (No. 31-2)へ新サイクロ完成後始めてビームを通したため、陽子エネルギーは実績の有る 50MeV で行うことになった。ビーム強度は ZnS によるビームプロファイル確認後 1nA まで下げて照射を行った。照射時間は 1 回あたり 90 秒とした。

AMT-2 の照射ボードには 20 芯のフラットケーブルを繋ぎ、これから電源、クロック、リセット信号、そして JTAG の信号を供給した。このフラットケーブルの他端は、VME クレータに挿入された TTM-2 (TMC Test Module 2)に刺されたアダプターボードに繋がる。信号の制御は VME 上の Windows

NT コンピュータから行われた。実験中は実験室に入れないため、このコンピュータはさらにネットワークを通じて、制御室のコンピュータから VNC(Virtual Network Computing) によりコントロールした。チップへの電源の電圧・電流はデジタル・マルチメータで測定し、GP-IB - Ethernet を経由して、同じ VME 上のコンピュータにより測定を行った。

今回の実験では照射・計測中、チップには電源を供給し続けたが、リーク電流の測定をしやすいするため、システムクロックは供給せず内部回路を出来るだけ動作させない状態で実験を行った。ただし後で述べるように、CSR の設定によっては、内部リングオシレーターが動作するので、この場合は 5mA 程度の電流値の増加が有る。

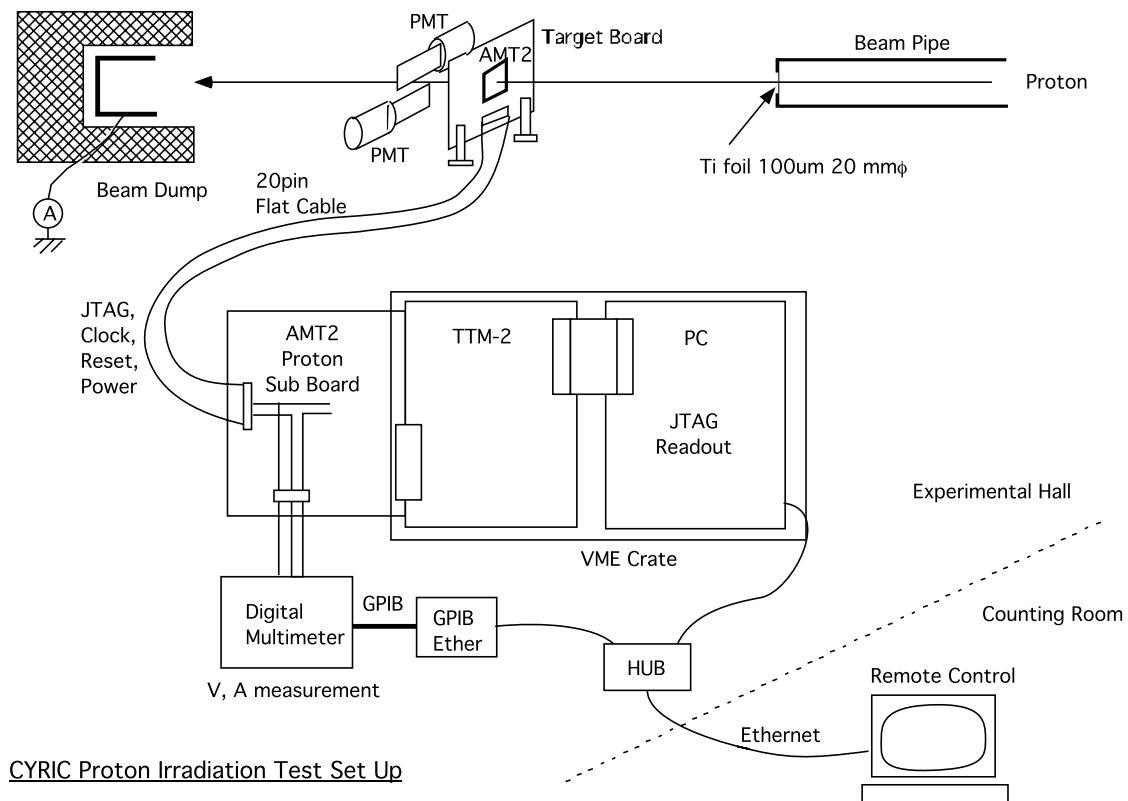


図 1 実験セットアップ

3. 実験結果

実験結果を図 2 に示す。照射は Chip B, C の 2 チップに対して行った。SEU の検出のために、CSR レジスターへの JTAG を通じた読み書きと BIST(Built In Self Test)による試験の 2 通りを同時に行った。

CSR への書き込みは '10 .. 10' と '01 .. 01' を各照射毎に行った。CSR の設定によりリングオシレーターが動いたり止まったりするので、図 2 で照射直前に電流値がガクンと落ちている点があるのはこのせいである。Chip B の 4 回目の照射のところで CSR error が起こっているが、これは SEU 試験後、JTAG を通じてシフトインしたデータをチェックした時にエラーが起こった(\$aaa となるべきところが \$02a だった) もので SEU ではない。今のところ、このエラーが起こった原因は特定できていないが、エラーが起こったのはこの 1 回だけであった。

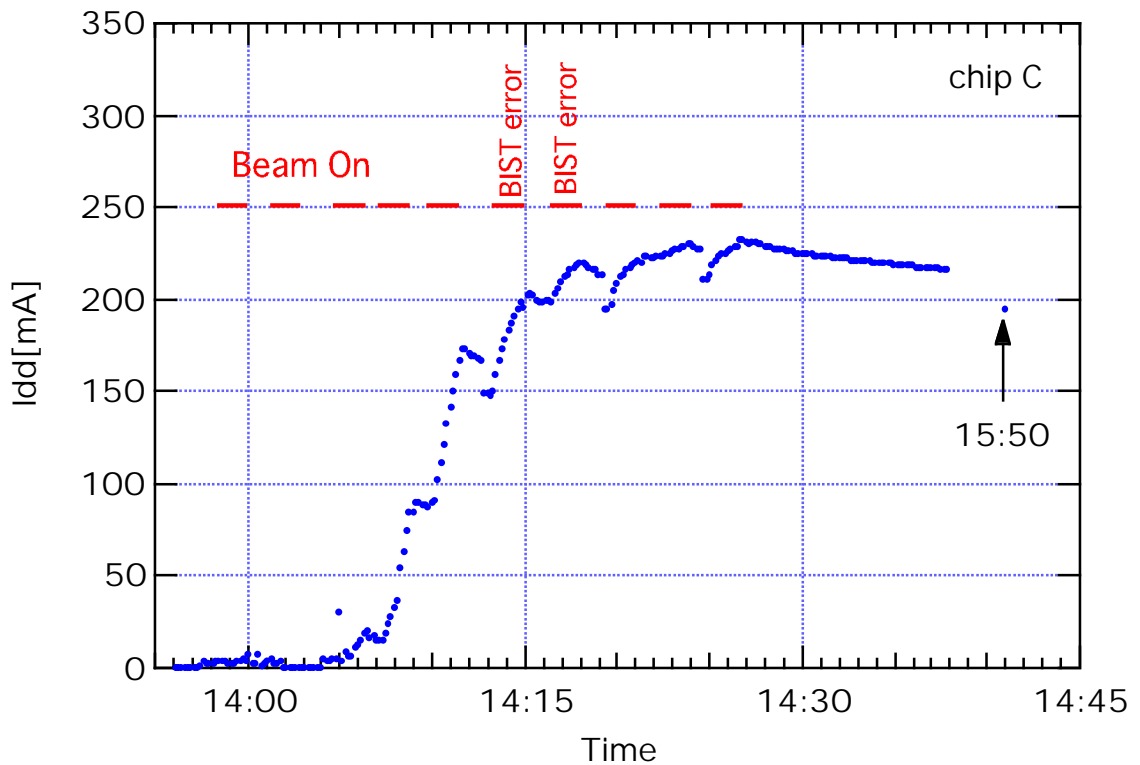
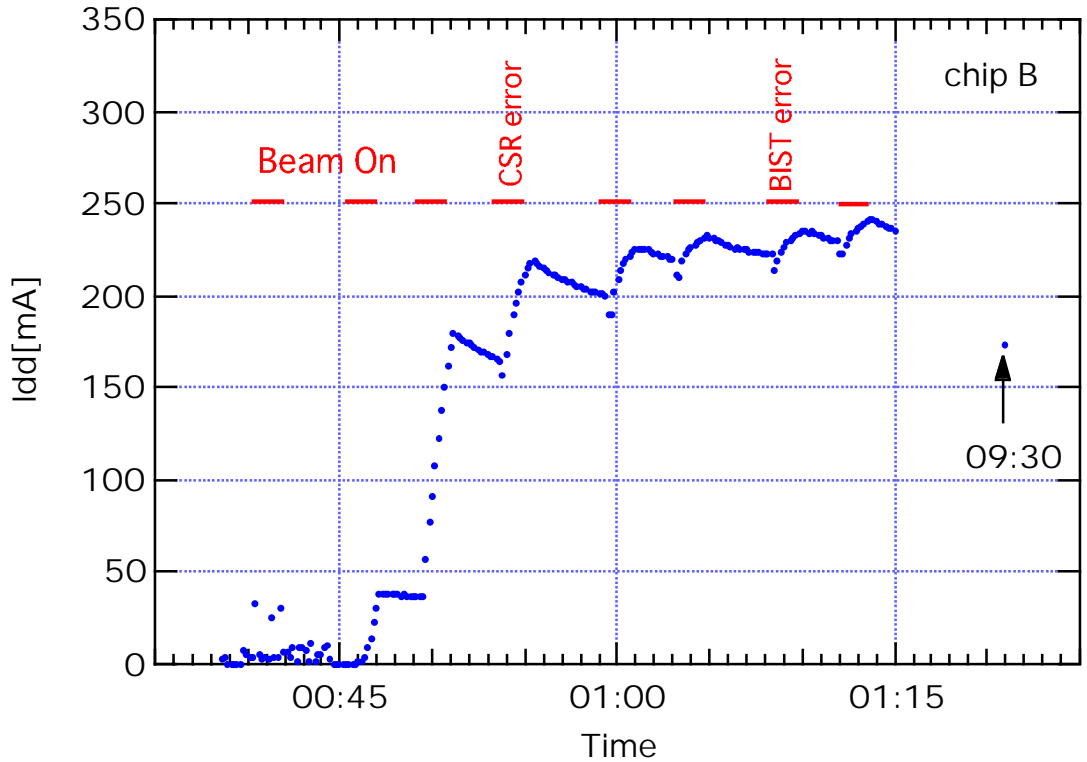


図 2 AMT-2 陽子照射によるリーク電流の変化。

BIST というのはチップ内部に設けられたシーケンサーにより 13N マーチングパターンによりメモリー試験を行うものである。BIST ではどの位置のメモリーのビットが反転したかは特定できないが、1 ビットでもエラーが起これば検出できる。Chip B の際は'10..1010'のパターンを書いた段階でシーケンサーを止め、照射終了後シーケンスを再開しエラーの有無をチェックした。Chip C の際は

'11...111'のパターンを書いた段階でシーケンサーを止めた。AMT-2 内のメモリーはすべて Static RAM であり、'0'を書いた状態と'1'を書いた状態とは対称であるため、データの違いによる SEU の変化は考えにくい。Chip B, C でそれぞれ 1 回、2 回の BIST error が起こった。

[ビーム強度]

陽子ビームの強度 I_p は 約 1nA だったので、粒子束に直すと

$$I_p = 1E-9 / 1.6E-19 = 6.25E9 \text{ protons/sec}$$

ビームサイズを 2 cm ϕ , Ti foil やプラスチックパッケージによる散乱で強度の減少が 20%あったとすると、ターゲット位置での陽子 flux ϕ は

$$\phi = 6.25E9 \times 0.8 / (1^2 \times \pi) = 1.6E9 \text{ 1/sec/cm}^2$$

と見積もられる。

今回は PMT 及びファラデーカップによる強度測定があまりうまく行かなかったため、ここではこれらのデータを使用しない(蓮子君による解析を期待)。

[Single Event Upset]

Bit 当たりの Cross section を σ 、フルエンスを F、AMT-2 内のメモリーのビット数を N として、SEU の回数は

$$\text{No of SEU} = \sigma \text{ (cm}^2/\text{bit)} \times F \text{ (cm}^2) \times N \text{ (bit)}$$

とあらわされる。ここで N は (36b x 256W) + (28b x 8W) + (30b x 64W) = 11,360 bits である。Chip B の総フルエンス F(B)は

$$F(B) = 1.6E9 \text{ (1/sec/cm}^2) \times 90 \text{ (sec)} \times 8 \text{ 回} = 1.2E12 \text{ cm}^2$$

Chip C 照射時の陽子強度は、ビームの大きさを広げたことにより Chip B の場合よりも弱い。図 2 の電流値の増加割合から推定すると Chip B の場合の 70%程度であったと考えられる。よって、

$$F(C) = 1.6E9 \text{ 1/sec/cm}^2 \times 0.7 \times 90 \text{ sec} \times 10 \text{ 回} = 1.0E12 \text{ cm}^2$$

それぞれのチップの反応断面積は以下のように計算される。

$$\sigma(B) = 1 \text{ SEU} / 1.2E12 / 11360 = 7.3E-17 \text{ cm}^2/\text{bit}$$

$$\sigma(C) = 2 \text{ SEU} / 1.0E12 / 11360 \text{ bit} = 1.8E-16 \text{ cm}^2/\text{bit}$$

Chip B と C の結果を一緒に計算すると

$$\sigma(B+C) = 3 \text{ SEU} / (1.2E12 + 1.0E12) / 11360 = 1.4E-16 \text{ cm}^2/\text{bit}$$

となる。Poisson 分布を仮定すると 3 イベントに対する 90% confidence level での上限値は 7.42 なので[1]

$$\sigma < 3E-16 \text{ cm}^2/\text{bit}$$

となる。

この値は通常の SRAM の値に比べて、1~2 桁小さい値である。これは AMT-2 がゲートアレイであるため、各メモリーに使用されるトランジスタサイズが市販の SRAM より大きい為かもしれない。

MDT 位置での 20MeV 以上のハドロン fluence は 10 年間で、 $\sim 1E+10 \text{ cm}^{-2}$ なので、SEU の起こる確率は $3E-6$ (1/bit/10year)以下となる。AMT は 24ch に対して 10 kbit のデータメモリーが有るので 40 万チャンネルに対して計算するとは 500 SEU/MDT/10year となり 1 週間に 1 回程度の SEU であり、実際上問題無いレベルと言える。

また、制御レジスタ(CSR)に関しては 180bit しかないので、1 年間に 1 回しか SEU が起こらない。

[吸収線量]

ビーム強度の推定を検証するために、吸収線量とリーク電流の関係を見てみる。50 MeV 陽子による Si 中のエネルギー損失 dE/dx は

$$dE/dx = 10 \text{ MeV}/(\text{g}/\text{cm}^2) = 1E7 \text{ (eV)} \times 1.6E-12 \text{ (erg/eV)} = 1.6E-5 \text{ erg}/(\text{g}/\text{cm}^2)$$

これから、Chip B での吸収線量 $X(B)$ は

$$\begin{aligned} X(B) &= dE/dx \times F(B) \\ &= 1.6E-5 \times 1.2E12 = 1.9E7 \text{ erg/g} = 190 \text{ krad} \quad \text{--- (1)} \end{aligned}$$

Chip C は

$$X(C) = 1.6E-5 \times 1.0E12 = 1.6E7 \text{ erg/g} = 160 \text{ krad} \quad \text{--- (2)}$$

であったと見積もられる。

これを AMT-TEG の単体トランジスタをガンマ線で照射した時のデータ(図 3)と比較してみる。この測定では、トランジスタのリーク電流が 25 krad 付近より増加し始めた。図 2 のカーブから陽子照射 1 回あたりの吸収線量を推定すると、Chip B では 20 krad、Chip C では 15 krad 程度と見ることが出来る。

累積吸収線量は Chip B は 8 回照射したので $20 \text{ krad} \times 8 = 160 \text{ krad}$ 、Chip C は 10 回で $15 \text{ krad} \times 10 = 150 \text{ krad}$ となり、陽子強度から求めた(1)(2)の値とほぼ等しい値を得ることが出来る。以上の議論は非常に大雑把なものであるが、陽子強度の推定にそれほど大きな間違いは無いと見られる。

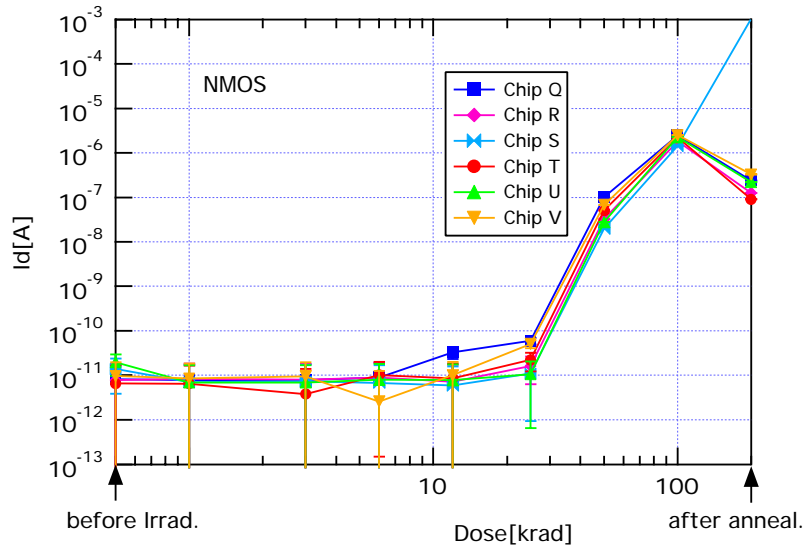


図 3 AMT-TEG NMOS Transistor Leak Current

4. まとめと今後の課題

今回初めての実験で、準備も充分で無かったが AMT-2 の SEU 実験を始めて行うことが出来た。結果は Preliminary な値ではあるが、SEU Cross Section $3E-16 \text{ cm}^2/\text{bit}$ 以下であった。この値は MDT 検出器全体で 1 週間に 1 回程度の SEU レートに相当する。この値は充分小さく、今回の実験で陽子強度の見積もりを 10 倍間違えていたとしても、まだ問題無いレベルであると言える。

この結果から、今回の実験はいろいろな点で不十分な物では有ったが、AMT チップの SEU に関しては明るい見通しを得ることが出来たと言える。今後は陽子ビーム強度、分布の測定精度を上げるとともに、数多くのチップに照射を行い統計精度を上げてみることも必要である。又、アトラスの要求である 60-200MeV まで陽子エネルギーをあげて測定を行う必要も有る。

残る課題は SEL(Single Event Latch Up)である。今回は Latch Up は 1 回も起こらなかったが、アトラスの Review を通るためには、今後重イオンビームを使った実験が必要かもしれない。

Reference

[1] 通常教科書では 6.68 となっていますが、最新の Particle Data Book (Review of Particle Physics Vol. 15, 2000)の Table 28.3 (p. 201)によると 7.42。

第1回 AMT-2 SEU 実験報告(PMT 追補)

2001.8.23 新井康夫(yasuo.arai@kek.jp)

高エネルギー加速器研究機構

ターゲットの上下に置いた PMT のデータの結果を報告する。図 4に各チップの照射時の PMT の計数率の変化を示す。計数測定は 5 秒毎に読み出しを行い、図では 1 秒間当たりの計数率で示している。Chip B の測定は断続的に行われたため、データの抜けている部分がある。

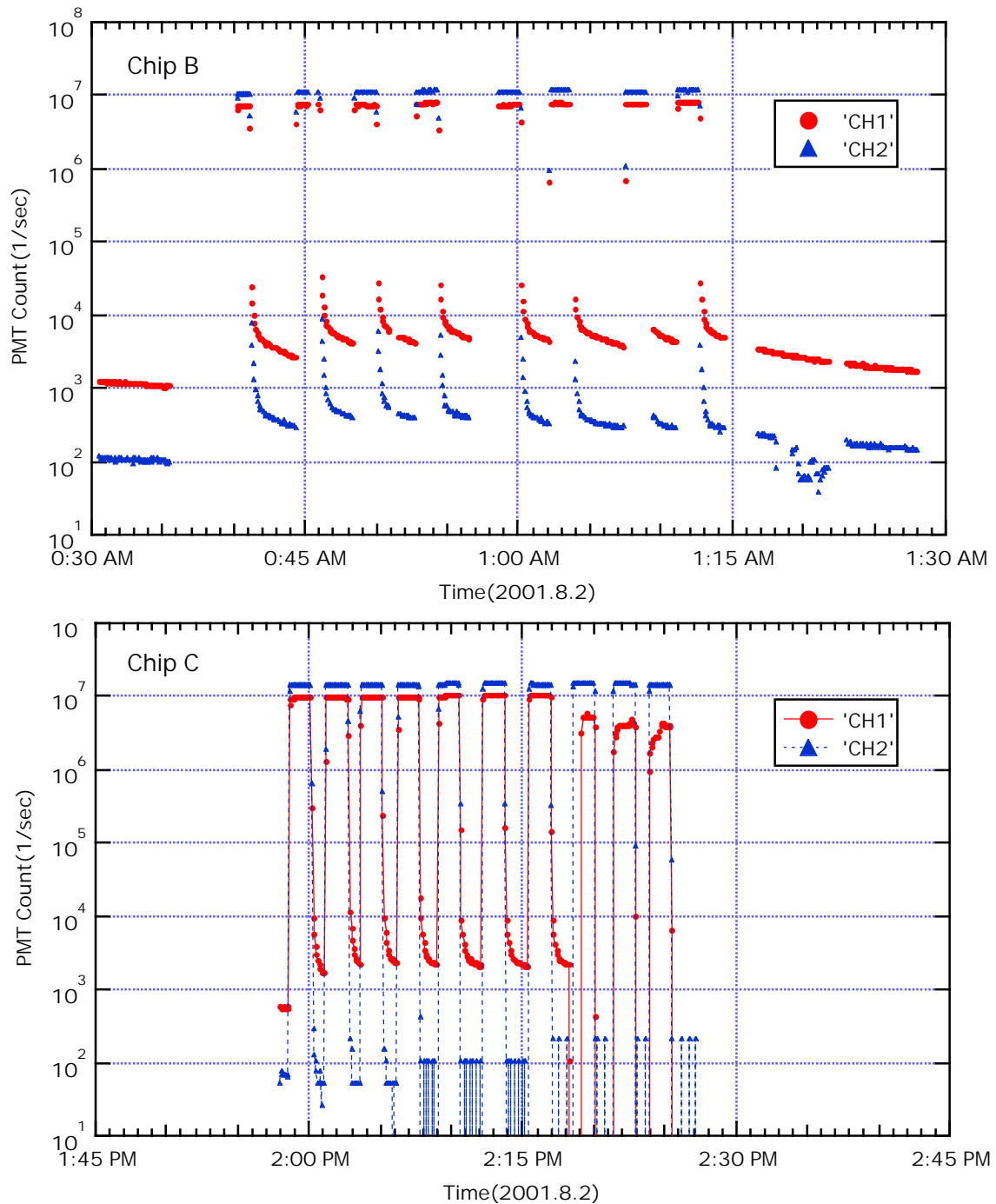


図 4 PMT Rate variation. CH1 が上側、CH2 が下側の PMT.

[考察]

- * ビーム OFF 時のバックグラウンドレートは CH1 の方が CH2 の 10 倍と高かった。ビーム ON 時のレートは CH2 の方が 30-40%高かった。beam 照射前の測定 (8/1 20:23:30, 21:07:30 それぞれ 5 分間) では ch1 と ch2 の bg rate の差は 2.5 倍。23:30 頃の test beam を当ててからが約 10 倍の差になり、その後、実験終了までこの関係は変わらず。
- * Chip C の最後から 3 回目の照射時の CH1 のレートがしばらく '0'であった(14:18:25 - 14:19:05, 40 秒間)。測定系の故障か？
- * その後の 3 回の照射時の CH1 のレートもそれまでの半分近くに低くなっている。また、ビーム OFF 時は 0 になっている。PMT が故障したか？ その後の照射でも ch1 の rate は極端に下がっている。TGC-MWCP 照射時の ch1 は $10^{*}6 \sim 10^{*}7 \text{Hz}$ でばらつき、かなり不安定。
- * Chip C 照射後確認した際、ボードの位置が動いていたが、最後の 3 回の照射と関係があるか？
- * ビーム OFF 後のレート減少部を 2 成分の Exponential 関数($\text{Rate}(t) = y_0 + A_1 \exp(-B_1 \times t) + A_2 \exp(-B_2 \times t)$) でフィットしてみた(図 5)。フィットした結果は

$$y_0 = 2162.9 \pm 113$$

$$A_1 = 3946.9 \pm 71.3, \quad B_1 = 0.011069 \pm 0.000928$$

$$A_2 = 18112 \pm 125, \quad B_2 = 0.14657 \pm 0.00193$$

で、半減期に直すと $T_{1/2} = 62.62 \pm 5.25 \text{ sec}$, $T_{1/2} = 4.73 \pm 0.06 \text{ sec}$ 。それらしい反応を捜してみると $T_{1/2}$ は $^{27}\text{Al}(p, n) ^{27}\text{Si} - (\beta^+) \rightarrow ^{27}\text{Al}$ (半減期 4.13 秒) か？ $T_{1/2}$ は適当なものが見つからなかったが、 $^{14}\text{N}(p, n) ^{14}\text{O} - (\beta^+) \rightarrow ^{14}\text{N}$ (半減期 70.60 秒) ???

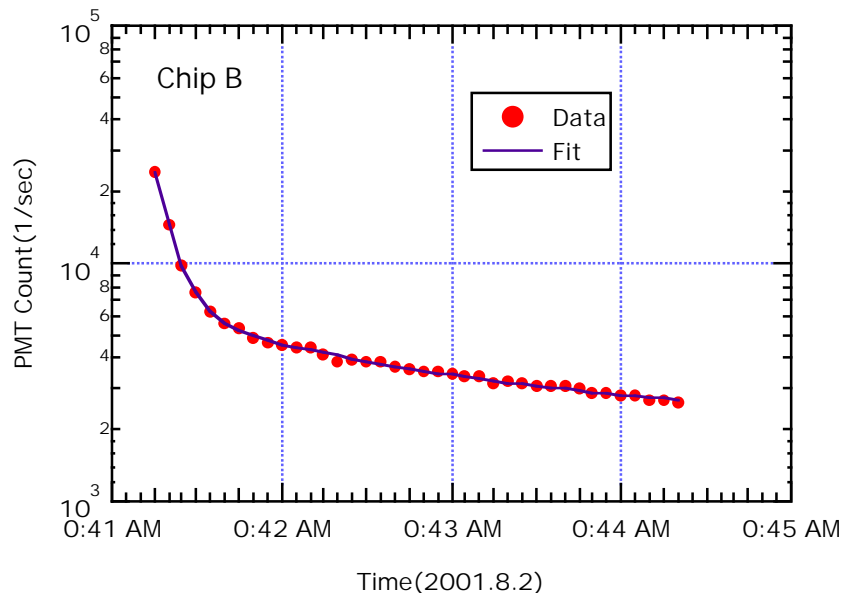


図 5 PMT カウント減少部のフィッティング。

- * 上記考察ではデッドタイム等の補正は行っていないが、いずれにしてもレートが 10MHz というのは高すぎた。上記レートは Hz/PMT で表したが、1PMT \sim 100cm 2 として計算すると約 $10^{*}5 \text{ Hz/cm}^2$ 。これでも rate 高すぎ。次回はもう少しビームラインから離さなければいけない。