

KEK-AMS-TDC-VME

取扱説明書 (User's Manual)

2001/Oct/09'th	Rev.0.1
2001/Oct/18'th	Rev.0.2
2001/Dec/28'th	Rev.0.3
2002/Feb/28'th	Rev.0.4
2002/Mar/22'th	Rev.0.5

AMSC Co.Ltd.
Development Section

Index

1. 概要
2. board 概略図
 - 2-1.AMT-VME Jumper,Switch
3. Front Panel
4. VME Connector
5. VME memory map
6. DSP memory map
 - 6-1.AMT Control CPLD Internal Register
7. Dual Port RAM Format
8. 測定範囲

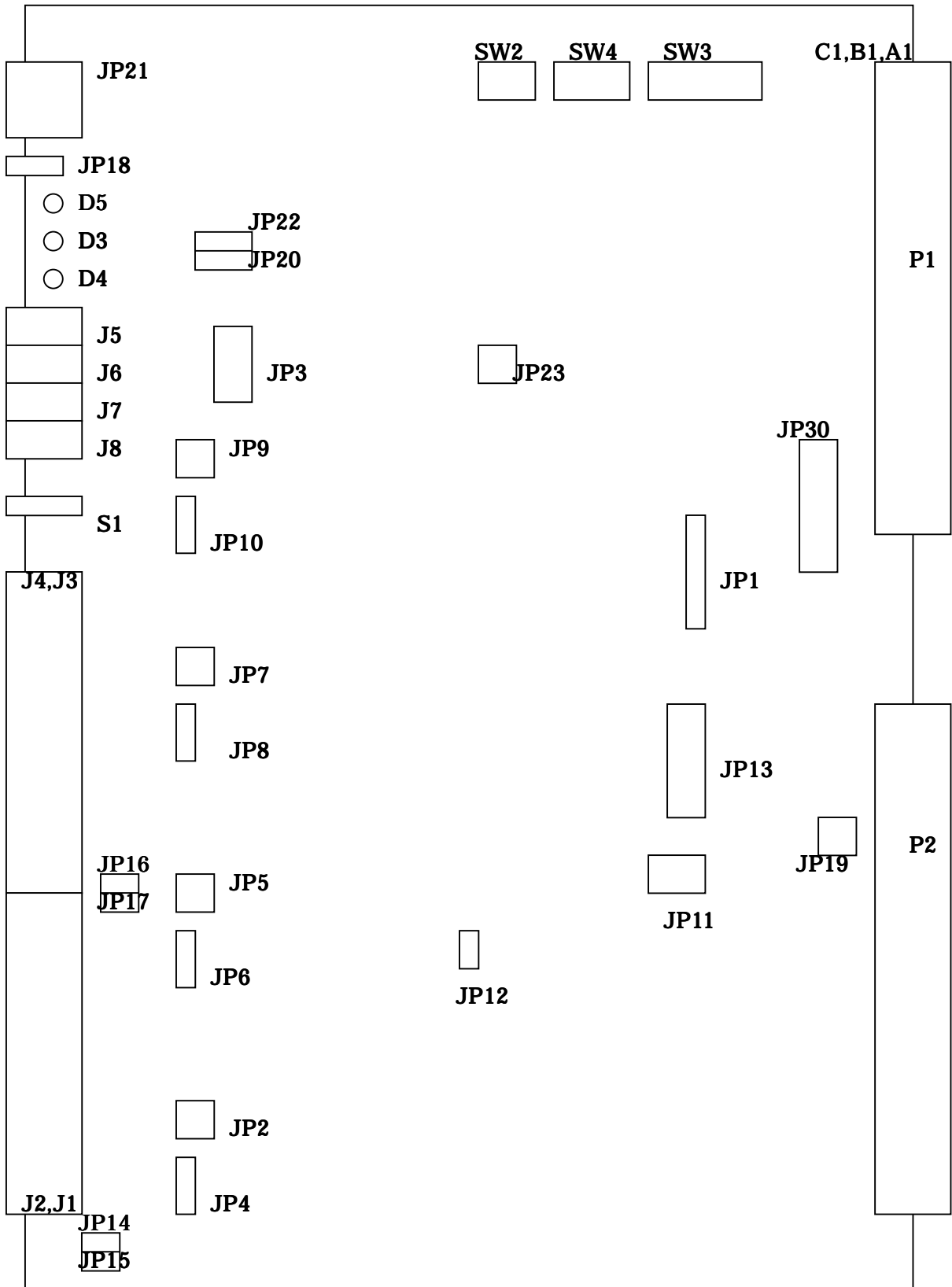
1,概要

64ch AMT-VME Module は 1ns/bit 以下での測定が可能な精密時間測定用モジュールである。本モジュールは、TMC304-VME の後継機あり、TDC チップには AMT2 を使用し、6U サイズで 64ch と高集積を実現する。VME バス規格に準拠したスレーブモジュールでブロック転送およびインタラプト機能は従来も物と同じであるが拡張バス 32bit をサポートする。

また、16bit DSP (TMS320VC5402) を搭載し、AMT2 から出力される 32bit の測定データの処理を行い DualPortMemory (32bit) に格納する。

ユーザーは VME より Dual Port Memory にパラメータを入力、測定を開始する。

2,AMT-VME ボード



2-1, AMT-VME Jumper , Switch

1). Memory Mapping

VME Address 空間にマッピングします。

a). SW3 , SW4 : Register Address Select

SW3 : A31-24 select (on/off = 0/1) [SW2-1 on 時は無効]

1 : A31

2 : A30

|

8 : A24

SW4 : A23-19 select (on/off = 0/1)

2 : A23

3 : A22

|

6 : A19

2). 割込みレベル選択

a). JP30 : VME Bus IRQ Level Select

VME Bus へ出力する IRQ 信号のレベルを選択します。以下の何れかの 1 ビットのみ short とします。

- 1-2 : IRQ7*
- 3-4 : IRQ6*
- 5-6 : IRQ5*
- 7-8 : IRQ4*
- 9-10 : IRQ3*
- 11-12 : IRQ2*
- 13-14 : IRQ1*

b). SW2 : IRQ Level Select

VME Controller (CPLD U45) に与える割込レベルです。JP30 と SW2 のレベルは一致させなければなりません。

bit.2	bit.3	bit.4	Level
On	on	off	1
On	off	on	2
On	off	off	3
Off	on	on	4
Off	on	off	5
Off	off	on	6
Off	off	off	7

3), DSP 周辺

a). JP13 : DSP JTAG コネクタ

b). JP12 Microprocessor/microcomputer mode select.

If active low at reset, microcomputer mode is selected, and the internal program ROM is mapped into the upper 4K words of program memory space. If the pin is driven high during reset, microprocessor mode is selected, and the on-chip ROM is removed from program space.

This pin is only sampled at reset, and the MP/MC bit of the processor mode status (PMST) register can override the mode that is selected at reset.

short / open = 0 / 1

c). JP11 : DSP CLK Mode Select (short / open = 0 / 1)

Clock mode setting at reset.

1-2	3-4	5-6	Clk mode
0	0	0	Pll x 15
1	0	0	Pll x 10
0	1	0	Pll x 5
0	0	1	Pll x 2
0	1	1	Pll x 1
1	1	1	1/2(pll disabled)
1	0	1	1/4(pll disabled)

4).AMT 周边

a-1).JP4 : AMT2 (U2)ASD mode select

1-2 short : ASD mode

2-3 short : parallel data output

a-2).JP6 : AMT2 (U5)ASD mode select

1-2 short : ASD mode

2-3 short : parallel data output

a-3).JP8 : AMT2 (U6)ASD mode select

1-2 short : ASD mode

2-3 short : parallel data output

a-4).JP10 : AMT2 (U7)ASD mode select

1-2 short : ASD mode

2-3 short : parallel data output

b-1). JP2 : AMT2(U2)serial data connector

b-2). JP5 : AMT2(U5)serial data connector

b-3). JP7 : AMT2(U6)serial data connector

b-4). JP9 : AMT2(U7)serial data connector

c). JP3 : AMT2 JTAG connector

5).SCI interface

1). ストレートケーブル使用の場合

JP20 1-2 short

JP22 2-3 short

クロスケーブル使用の場合

JP20 2-3 short

JP22 1-2 short

6).CPLD

1). JP1 : ISP connector

2). JP23 : program select open:1 short:0

2-3	1-4	Program スペース格納割り当て
0	0	DSP page1 (\$8200 ~ \$FFFF) VME (\$xxx30400~\$xxx3FFFE)
0	1	DSP page2 (\$8200 ~ \$FFFF) VME : 無し
1	0	DSP page3 (\$8200 ~ \$FFFF) VME : 無し
1	1	DSP page4 (\$8200 ~ \$FFFF) VME : 無し

詳細は、Program マニュアル参照 (page4 にモニターprogram 格納)

7).other

1).JP19 : Dual Port RAM M/S select

a). 1-4 open U35 master (busy output)

1-4 short U35 slave (busy input)

b). 1-4 open U37 master (busy output)

1-4 short U37 slave (busy input)

2).JP14,15,16,17 : J1,2,3,4 connector GND

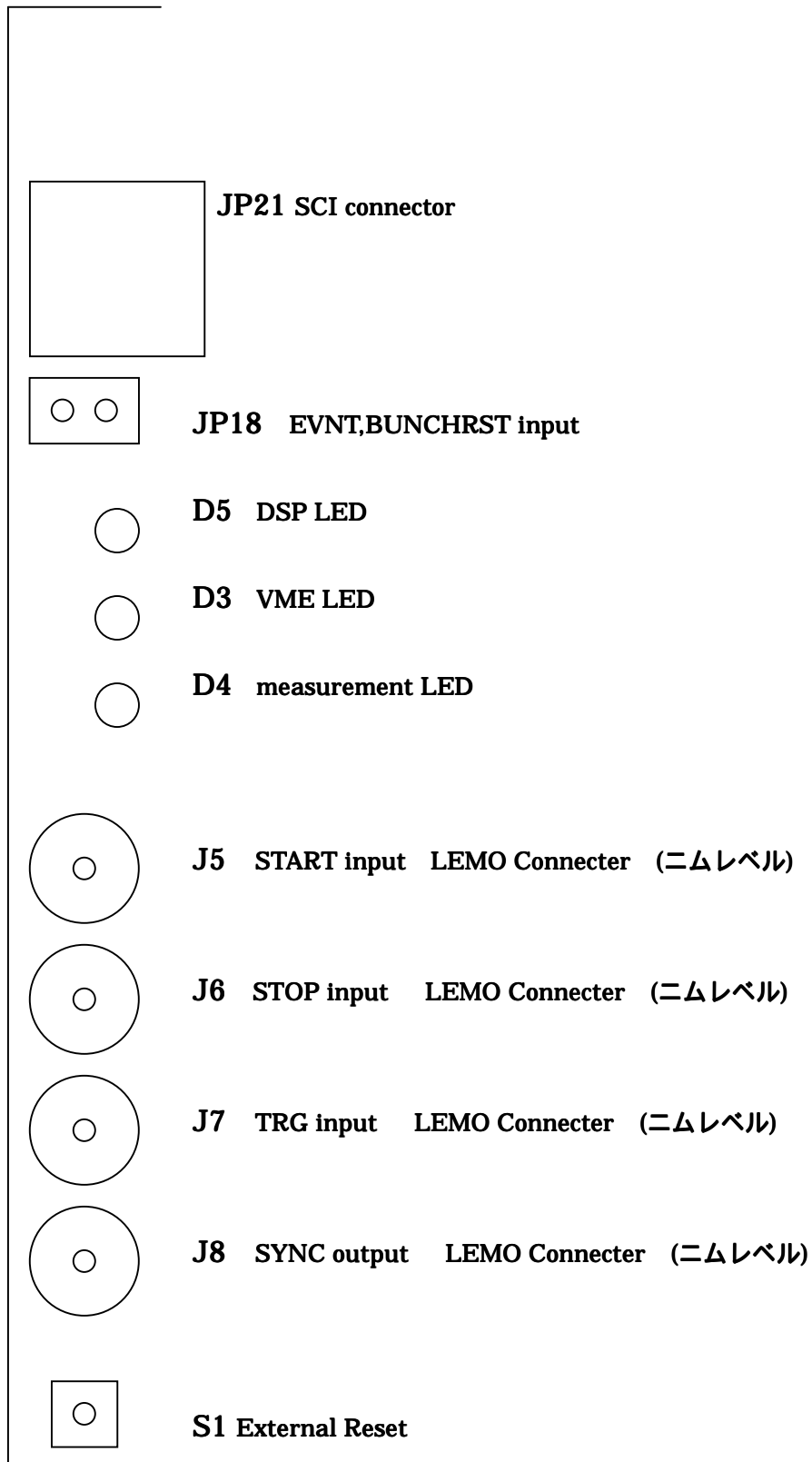
a).JP14 short : J1 connector GND

b).JP15 short : J2 connector GND

c).JP16 short : J3 connector GND

d).JP17 short : J4 connector GND

3,Front Panel



4,VME Connector

1).拡張 bus を使用

Pin	J1A1	J1B1	J1C1	J2A1	J2B1	J2C1
1	D0	BBSY#	D8		+5V	
2	D1	BCLR#	D9		GND	
3	D2	ACFAIL#	D10			
4	D3	BG0IN#	D11		A24	
5	D4	BG0OUT#	D12		A25	
6	D5	BG1IN#	D13		A26	
7	D6	BG1OUT#	D14		A27	
8	D7	BG2IN#	D15		A28	
9	GND	BG2OUT#	GND		A29	
10	SYSCLK	BG3IN#			A30	
11	GND	BG3OUT#	BERR#		A31	
12	DS1#	BR0#	RESET#		GND	
13	DS0#	BR1#	LWORD#		+5V	
14	WRITE#	BR2#	AM5		D16	
15	GND	BR3#	A23		D17	
16	DTACK#	AM0	A22		D18	
17	GND	AM1	A21		D19	
18	AS#	AM2	A20		D20	
19	GND	AM3	A19		D21	
20	IACK#	GND	A18		D22	
21	IACKIN#	SERCLK	A17		D23	
22	IACKOUT#	SERDAT#	A16		GND	
23	AM4	GND	A15		D24	
24	A7	IRQ7#	A14		D25	
25	A6	IRQ6#	A13		D26	
26	A5	IRQ5#	A12		D27	
27	A4	IRQ4#	A11		D28	
28	A3	IRQ3#	A10		D29	
29	A2	IRQ2#	A9		D30	
30	A1	IRQ1#	A8		D31	
31					GND	
32	+5V	+5V	+5V		+5V	

5, VME memory Map

1.メモリーマップ

\$xxxFFFFFF	Not use
\$xxx7FFFFF	Dual Port RAM (32K x 32) (64K x 16)
\$xxx60000	Not Use
\$xxx5FF08	Internal Register
\$xxx5FF00	Not Use
\$xxx50000	FLASHROM (160K x 16)
\$xxx00000	

1).flash rom

- ・ word access のみ有効
byte, long word access の場合 Time out による bus err
- ・ boot program は、 \$xxx1F000-\$xxx1FFFE

2).Dual Port ram

- ・ word , long word access 有効
- ・ \$60000-\$7FFFE
DSP アクセス可能領域
VME : \$68000-\$7DFFE (DSP : \$4000-\$EFFF)

3). CPLD Internal Register

Base Address = \$5FF00

DSP	VME	REG	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
X	0	VECTR	Vector cord							
2	2	VCNTR	FWE	HE	RE	VEN	Hold	IRQ	IEN	BRST
3	4	VSTR	X	X	X	X	IRQ	VEN	RST	HACK
X	6	ADCNTR	Start address							
X	8	DCNTR	Data size							

Notes: DSP = DSP bus offset

VME = VME bus offset

a).Vector register(VECR) R/W

Vector code for interrupt

b).control Register(CNTR) R/W

bit7: Flash access enable enable/ disable = 1 / 0

bit6: HOLD enable enable/ disable = 1 / 0

bit5: Board reset enable enable/ disable = 1 / 0

bit4: VME action enable/ disable = 1 / 0

bit3: DSP HOLD enable/ disable = 1 / 0

bit2: Interrupt enable enable/ disable = 1 / 0

bit1: Interrupt signal from DSP to VME enable/ disable = 1 / 0

Not Automatic disable

bit0: Board Reset enable/ disable = 1 / 0

Not Automatic disable.

c).status Register(STR) Read only

bit3: Interrupt status 発生/割込み無し = 1 / 0

clear after read

bit2: VME action status 点灯/消灯 = 1 / 0

VME LED 点灯

bit1: board reset status reset/not reset = 1 / 0

clear after read

bit0: DSP HOLD acknowledge hold/not hold = 1 / 0

6, DSP Memory MAP

1).Flash ROM

- ・ DATA スペース\$F800-\$FFFF このエリアは、Boot 用 program が格納されております。
- ・ Program スペースは、page0\$8000~\$EFFF、Page1~7\$4000 ~ \$FFFF を FlashROM に割り当てております。

2)Dual Port RAM

- ・ DATA スペース\$4000-EFFF までを割り当てております。
- ・ Program スペース\$4000-7FFF までを割り当てております。
注(DATA スペースと Program スペースの RAM エリア\$4000-7FFF までは共有)

3).AMT

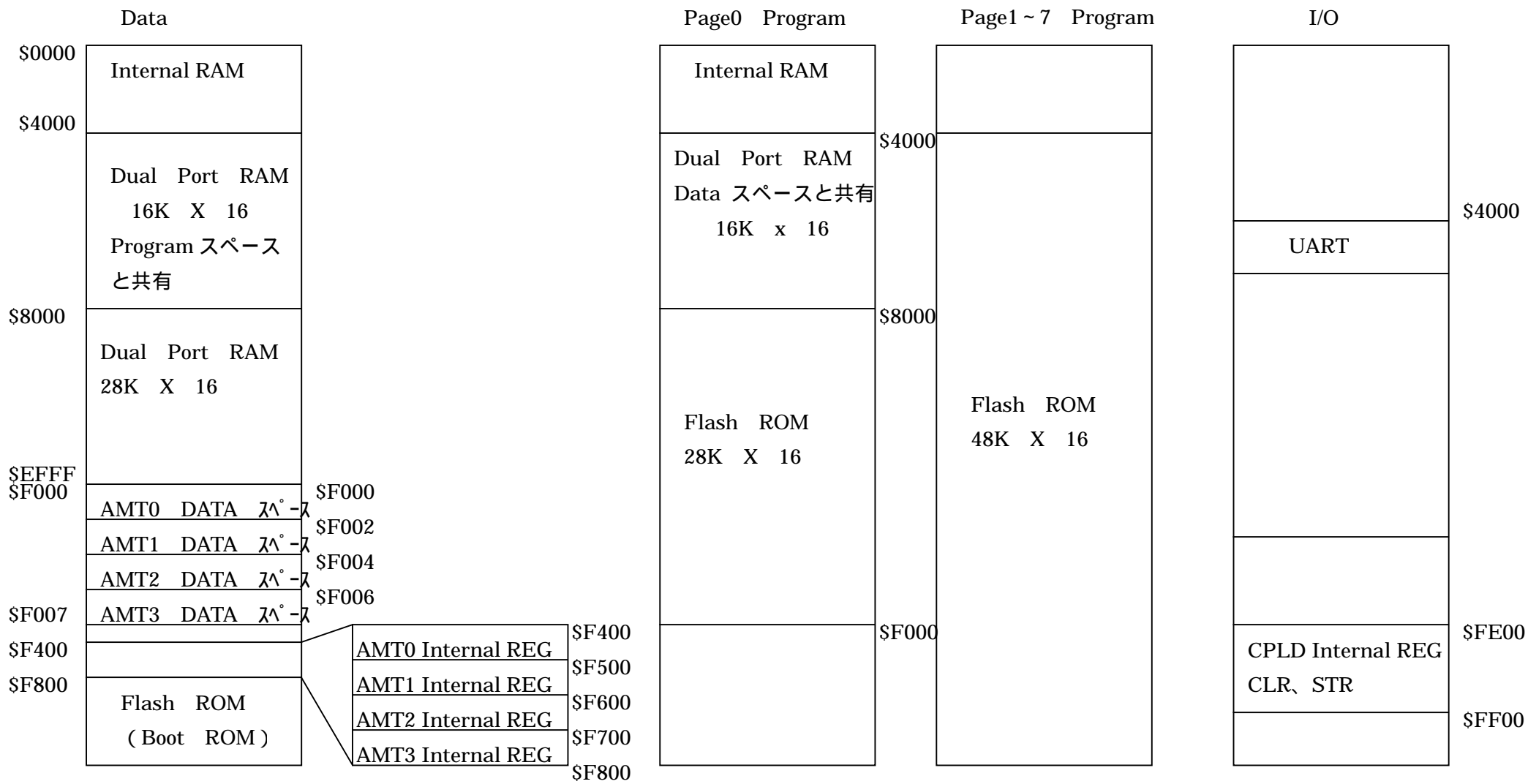
- ・ AMT[0:3]の Register は DATA スペース\$F400-\$F7FF までを 512word 単位で割り当てております。
- ・ AMT[0:3]の DATA は、DATA スペース\$F000-\$F007 までを 2word 単位で割り当てております。

4).UART

- ・ I/O スペース\$4000-\$5000 までを割り当てております。

5).AMT Control CPLD Internal Register

- ・ I/O スペース\$FE00-\$FF00 までを割り当てております。



6-1,AMT Control CPLD Internal Register

Base Address = \$FE00

DSP	REG	15	14	13	4	3	2	1	0
0	CNTR									
1	STAR									
2	VCNTR	X	X	X	X					
3	VSTR	X	X	X	X					
4	STPCR	Start mode measurement time								

Note: DSP : DSP bus offset

1).Control Register (CNTR) R/W

Bit15	DSP 動作	enable / disable = 1 / 0
Bit14	ENCNT enable	enable / disable = 1 / 0
Bit13	not use	
Bit12	not use	
Bit11	INT0 enable	enable / disable = 1 / 0
Bit10	not use	
Bit9	INT1enable	enable / disable = 1 / 0
Bit8	100us output enable	enable / disable = 1 / 0
Bit7	測定モード	COMSTOP/COMSTART = 1 / 0
Bit6	収集開始	START / STOP = 1 / 0
Bit5	TRG モード	TRG / nomale = 1 / 0
Bit4	CLKO enable	enable / disable = 1 / 0
Bit3	BUNCHRST	enable / disable = 1 / 0
		40M 1パルスの出力 read時 = 0で ステータス bit9 で保持される。
Bit2	EVENTRST	enable / disable = 1 / 0
		40M 1パルスの出力 read時 = 0で ステータス bit8 で保持される。
Bit1	UART RST	enable / disable = 1 / 0
		40M 1パルスの出力 read時 = 0で ステータス bit7 で保持される。
Bit0	AMTRESET	enable / disable = 1 / 0
		40M 1パルスの出力 read時 = 0で ステータス bit7 で保持される。

2).Status Register(STAR) Read only

Bit15	データ収集モードステータス	START/STOP = 1 / 0
Bit14	External stop status read 後クリア -	hit/not hit = 1 / 0
bit13	External start status read 後クリア -	hit/not hit = 1 / 0
bit12	External trg status read 後クリア -	hit/not hit = 1 / 0
bit11	JP23 1-4 status	
Bit10	JP23 2-3 status	
Bit9	BUNCHRESET ステータス read 後クリア -	Reset/not reset = 1 / 0
Bit8	EVENTRESET ステータス read 後クリア -	Reset/not reset = 1 / 0
Bit7	AMTRESET ステータス read 後クリア -	Reset/not reset = 1 / 0
Bit6	AMT1 Err read 後クリア -	ERR/not ERR = 1 / 0
Bit5	DSP 動作中 (DSPLED)	点灯/消灯 = 1 / 0
Bit4	AMT データ収集中 (AMTLED)	点灯/消灯 = 1 / 0
Bit3	AMT1_3 データ HIT	HIT/Empty 1/0
Bit2	AMT1_2 データ HIT	HIT/Empty 1/0
Bit1	AMT1_1 データ HIT	HIT/Empty 1/0
Bit0	AMT1_0 データ HIT	HIT/Empty 1/0

3).VME Control Register(VCNTR) R/W

bit3: DSP HOLD	enable/ disable = 1 / 0
bit0: Interrupt enable	enable/ disable = 1 / 0
bit1: Interrupt signal from DSP to VME clear after IACK disable	enable/ disable = 1 / 0
bit0: Board Reset	enable/ disable = 1 / 0

We most disable after enable.

4).VME status Register(VSTR) Read only

bit3: Interrupt status clear after read	発生/割込み無し = 1 / 0
bit2: VME action status VME LED 点灯	点灯/消灯 = 1 / 0
bit1: board reset status clear after read	reset/not reset = 1 / 0
bit0: DSP HOLD acknowledge	hold/not hold = 1 / 0

5).STOP Counter Register(STPCR) R/W

12bit カウンター

measurement time 0ns-100us 分解能 25ns

7 Dual port RAM

DP Memory map

DSP Add	VME add	31	contents	0	Direction
\$8F80	DPtop		Module Control parameters	(8Dword)	VME=> 1)
			Reserved		
\$8FA0	+\$0040		Offset table	(64word)	VME=> 1)
			Reserved		
\$8FF0	+\$00E0		AMT Board Monitor Data	(3DWord)	<= AMT
			Reserved		
\$9000 ~ \$EFFF	+\$0100		Recording data buffer	(Fix length Max8KDWord)	<=AMT

Dptop = VME_BASE + \$11F00

1)ただし、シリアル IF がホストとなる場合は、DSP 側からも書込み可能。

1 . Module Control parameter (VME => AMT)

DSP Add	VME add	31	contents	0
\$ 8F80	DPtop		Pcount (*1) (Parameter counter:16bit)	
\$ 8F82	+\$0004	RunStatus (bitmap) Bit0: not used Bit1: start measurement (1:start) (default = 0) Bit2: Common start/stop (1:stop mode (default)) Bit3 - 4: Edge detection(dedge) =0 rising (default) =1 rising and falling =2 falling =3 rising and width Bit5 - 6: Subtract offset(dsuboff) =0 don't subtract (default) =1 input data =2 subtract using offset table =3 don't subtract Bit7: measurement control =0 TRG measurement (default) =1 Nomal measurement Bit28 - 30: width_select(0 ~ 7) (default=0)		
\$ 8F84	+\$0008		Time range count (dcount 12bit) Rec time = 25ns x dcount	
\$ 8F86	+\$000C		Module ID (5bit)	
\$ 8F88	+\$0010	CH_Enable(#31(MSB) - #0(LSB))		
\$ 8F8A	+\$0014	CH_Enable(#63(MSB) - #32(LSB))		
\$ 8F8C	+\$0016		Number of partitions (12bit)	
\$ 8F8E	+\$0018		Icount (Input counter: 16bit)	

2 . Offset table (VME => AMT)

DSP Add	VME add	31	contents	0
\$ 8FA0	Dptop +\$0040		Offset ch#0 16bit signed	Offset ch#1 16bit signed
\$ 8FA2	+\$0044		Offset ch#2 16bit signed	Offset ch#3 16bit signed
			: : :	
\$ 8FDE	+\$007C		Offset ch#62 16bit signed	Offset ch#63 16bit signed

RunStatus の bit5-6 にテーブルによるオフセット補正(2)が指定された場合、この表により計測値の補正を行う。Offset ch#xx の初期値は全て0である。

3 . AMT Board Monitor Data (AMT =>VME)

DSP Add	VME add	31	contents	0
\$ 8FF0	Dptop +\$00E0			EchoPcount (16bit Copy of Parameter counter)
\$ 8FF2	+\$00E4			AMT Status 0:wait 1:running 2:end -1:error
\$ 8FF4	+\$00E8			Scount (Save counter: 16bit)

4 . 2 Common start/stop time

D31			D28			D24	D23	D22 - D20	D19 - D18	D17	D16	
1	1	0	Module ID				0	Width_select	Edge detection	MC (*1)	Common start/stop time	

D15															D0
Common start/stop time (17bit)															

(*1) measurement control

4 . 3 Hit data

D31			D28			D25				D20	D19			D16
0	0	0	F/R			CH#(6bit 0-63)					HIT time data			

F/R: Edge direction Falling (=1)/Rising (=0)

CH#: Refer Appendix A (Module Ch# assignment)

D15															D0
HIT time data (20bit offset from common start/stop timing)															

4 . 4 Error Report (if exists)

D31			D28			D24	D23				D18	D17	D16
0	1	1	Module ID				Unused					OVR	ERR

D15		D13											D0
AMT#		AMT Error Flag (Refer AMT1&2 User's Manual § 2.10)											

4 . 5 End of data

D31																D16
End of data (\$5555)																

D15																	D0
Event #																	

Appendix A Ch# assignment

AMT#	Ch#(Chip)	Ch#(Module)
AMT0	#0 to #23	#0 to #23
AMT1	#0 to #23	#24 to #47
AMT2	#0 to #15	#48 to #63
AMT3	#0, #1	Start, Stop

8.測定範囲

1、TRG モードの場合、(Reject 機能付)

- ・COMMONSTART

start 信号入力からカウンター値まで、
カウンター値は、0~\$7EA まで設定可能
(Time range counter 12bit カウンター分解能 25ns)

- ・COMMONSTOP

stop 信号入力からさかのぼって\$7EA までのデータを測定可能です。

2、Normal モードの場合

- ・COMMONSTART

start 信号入力からカウンター値まで、
カウンター値は、0~\$FFE まで設定可能
(Time range counter 12bit カウンター分解能 25ns)

- ・COMMONSTOP

全ての信号が有効であるが、coarse counter1 周と 2 周の差がないので、
実際は、100us