

20aSG-4



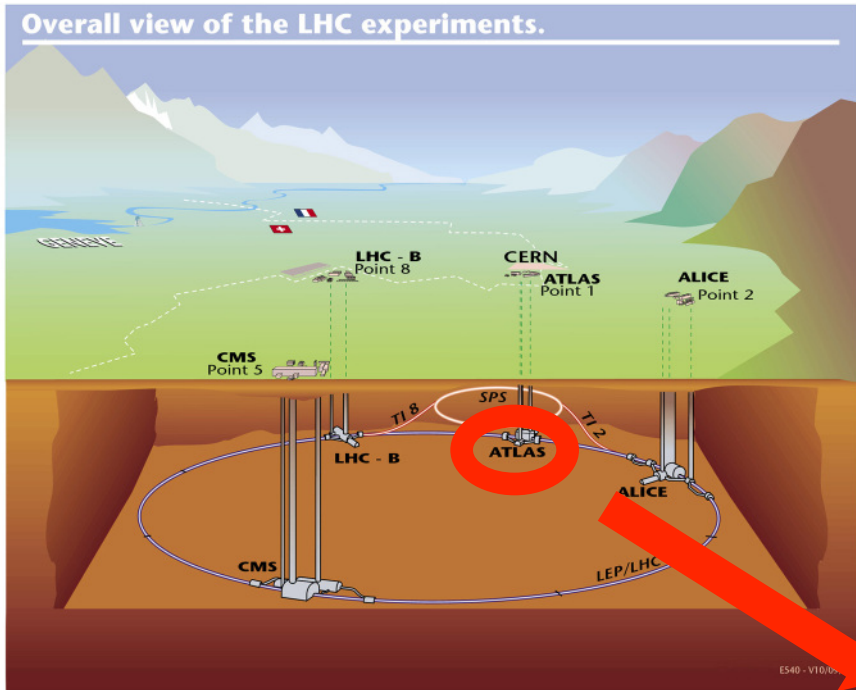
# LHC-ATLAS 実験Run3 のための新しいレベル1 ミュオントリガー装置読み出しの研究開発

東京大学 素粒子物理国際研究センター  
徳永 孝之

坂本宏、二ノ宮陽一、加藤千曲、浦野祐作、  
佐々木修<sup>A</sup>、池野正弘<sup>AB</sup>、内田智久<sup>AB</sup>、鈴木翔太<sup>C</sup>、  
他ATLAS 日本TGC グループ

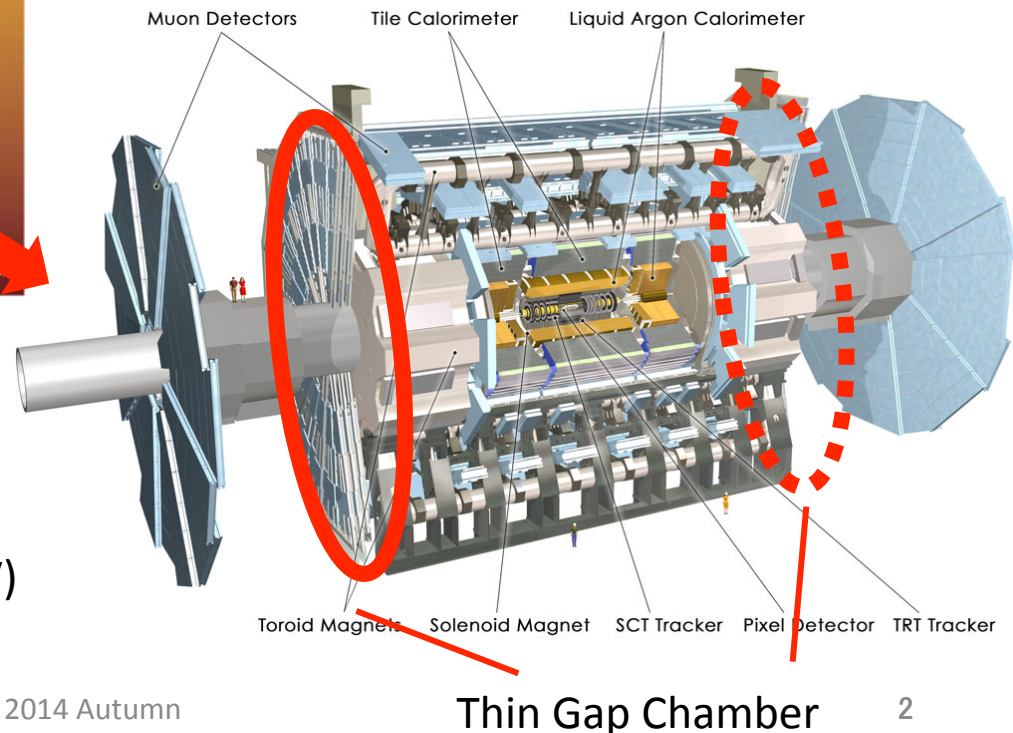
東大素セ、高工研<sup>A</sup>、Open Source Consortium (Open-It)<sup>B</sup>、総研大<sup>C</sup>

# LHC-ATLAS 実験



## ATLAS 検出器

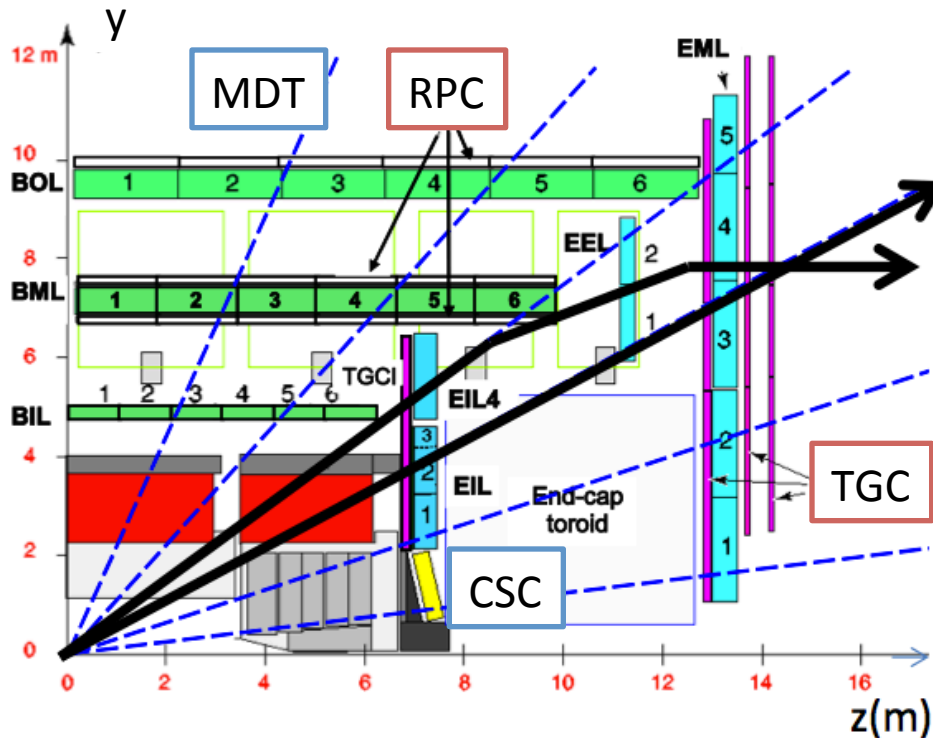
- 内部飛跡検出器 (Pixel detector, SCT, TRT)
- カロリメーター (ElectroMagnetic, Hadronic)
- ミューオンスペクトロメーター  
(MDT, CSC, RPC, **TGC (Thin Gap Chamber)**)
- ヒッグス粒子や新物理の探索



## LHC (Large Hadron Collider)

- 陽子・陽子衝突型加速器
- 周長 : 26.7km
- 衝突頻度 : 40MHz
- ビームエネルギー : 14TeV (2012年: 8TeV)

# RUN1のミュオントリガーシステム



- TGC レベル1 (L1) ミュオントリガー
- ミュオンは磁場で曲げられ3ステーションのTGCにヒット
- 無限運動量の直線からのずれで運動量を測定し、高い運動量のミュオンを選び出す

現状では **TGC 3ステーションのみ** で運動量を判定している。

# LHC アップグレード

- LHC parameter

	RUN1 (2011~12)	RUN2 (2015~18)	RUN3 (2020~)
重心系 energy [TeV]	8	13~14	14
Luminosity [cm <sup>-2</sup> s <sup>-1</sup> ]	0.77 × 10 <sup>34</sup>	1.5~2.0 × 10 <sup>34</sup>	2.0~3.0 × 10 <sup>34</sup>
バンチ間隔 [ns]	50	25	25

- ATLAS Level1 Muon Trigger

	RUN1 (2011~12)	RUN2 (2015~18)	RUN3 (2020~)
p <sub>T</sub> threshold [GeV]	15 (20)	20	20
Trigger rate [kHz]	9 (6)	34 (RUN1の条件)	60 (RUN1の条件)

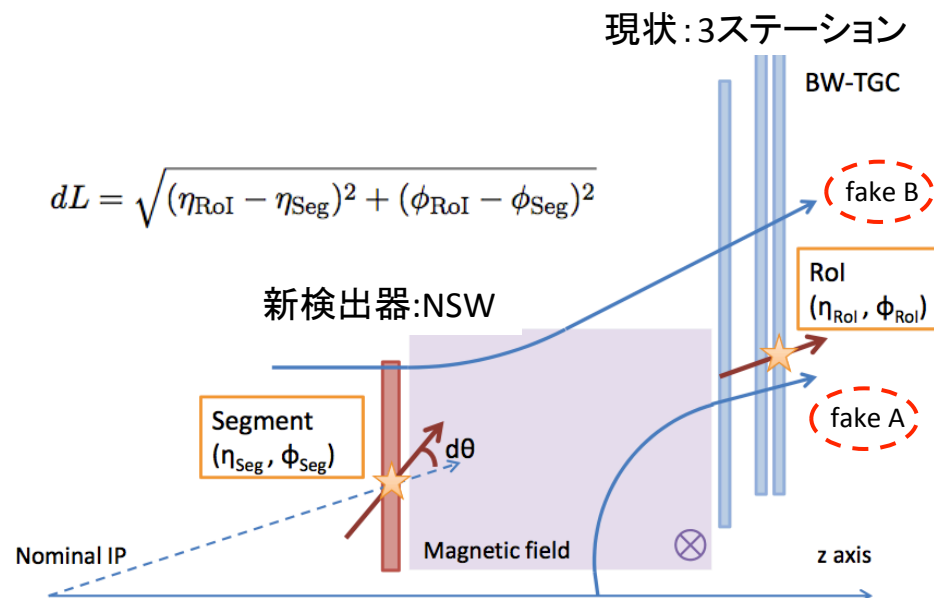
Level1 Muon Trigger 単体で ATLAS 全体の Level 1 Trigger Rate (100kHz) を圧迫する

物理解析の要求により、p<sub>T</sub> threshold 20GeV を維持してトリガーレートを削減する

# RUN3 にむけたATLAS Level1 ミューオントリガーアップグレード

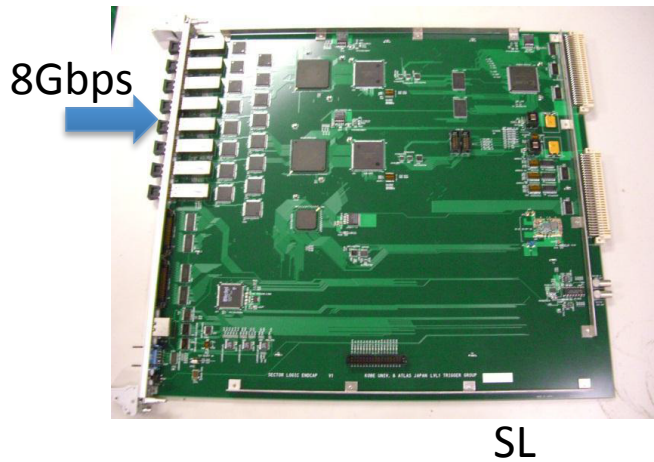
## 新しいトリガーシステム

- 現行では TGC L1トリガーの約6割がフェイク(衝突点以外からくる荷電粒子)
  - 2020年に向けて、内側の新検出器情報を取り入れた新しいトリガーシステムを構築することで、トリガーレート削減を試みる
- エレクトロニクスアップグレードが必要  
→ミューオン運動量判定装置SL (Sector Logic) が重要



新検出器 (New Small Wheel、NSW) のうち限られた範囲にヒットを要求する事でA,Bのようなフェイクを排除する事が出来る。

# ミュオン運動量判定装置SLと新SL

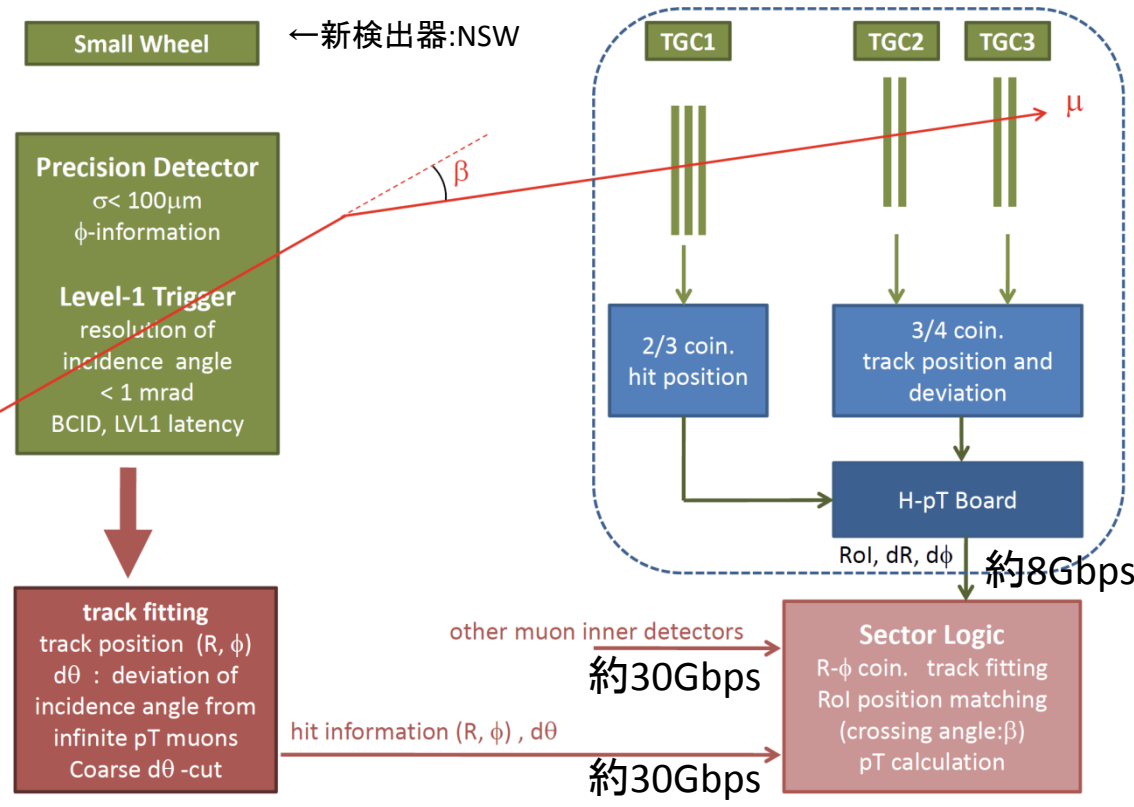


SL

## SL (Sector Logic)

- R と  $\phi$  の情報を統合してミュオンの運動量を判定する装置
- 新 SL は SL のアップグレード
- フェイクを落とすために 新 SL では内側の新検出器情報を用いる

→ 新SL開発に向けた新技術の試験、読み出しの開発



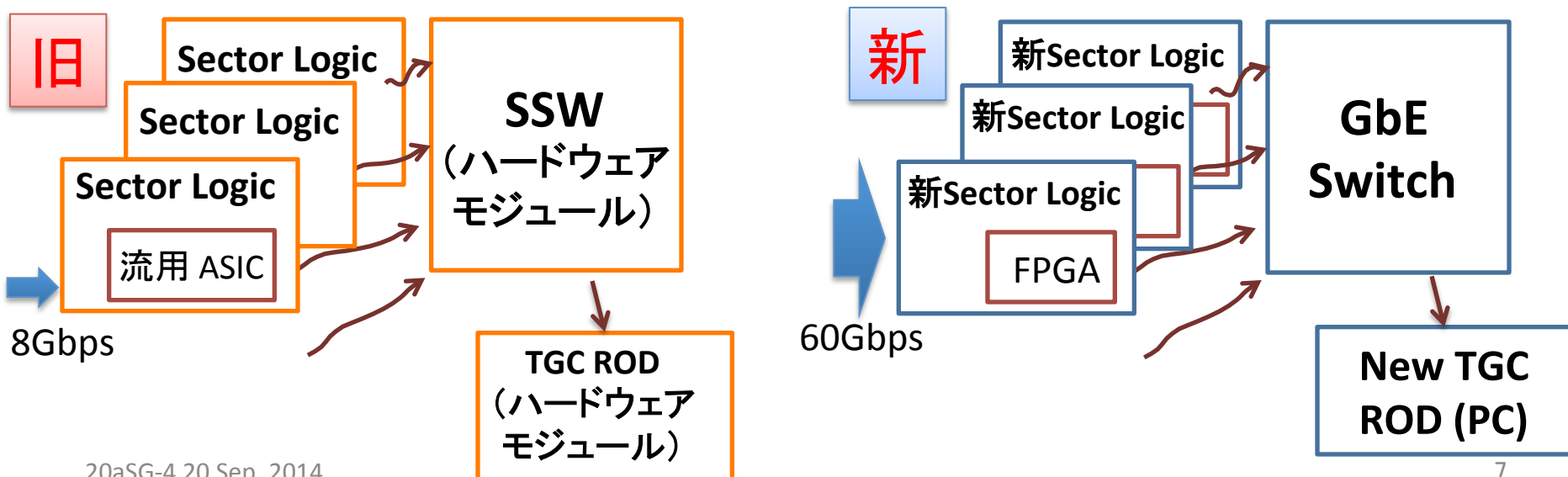
# 新 SL における改善点

## ◆ 入力の増量

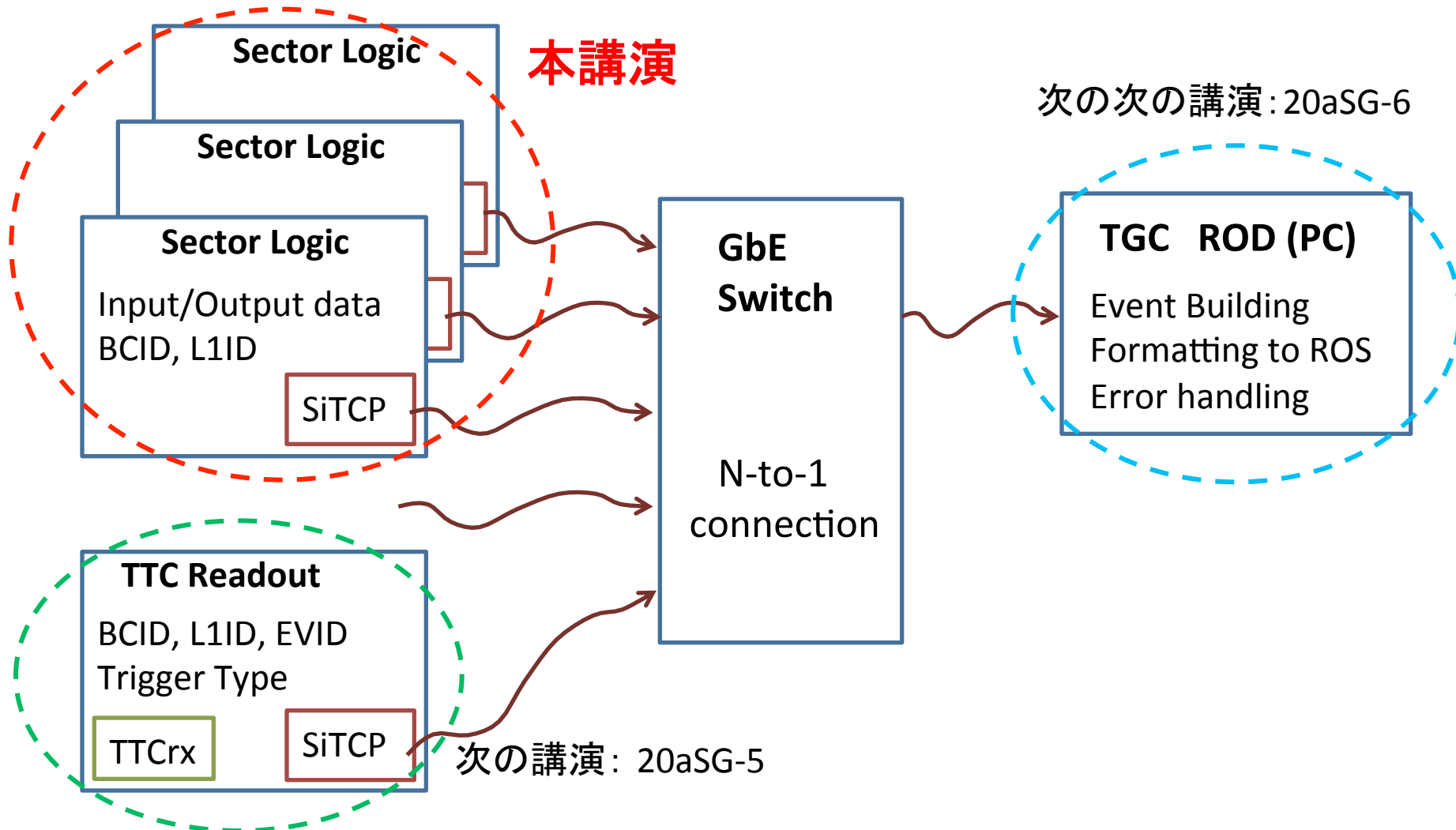
- 従来の入力:  $101 \times 2 = 202 \text{bit}$  (約8Gbps)
- 内側の検出器からの追加入力:
  - $128 \text{bit/fiber} \times 6 \text{fiber} = 768 \text{bit}$  (約30Gbps) → 約4倍の入力
  - 最大12fiberで1536bit (約60Gbps) → 約8倍の入力

## ◆ 新しい読み出しの構築

- 現行ではSL内の読み出しbuffer は他モジュールのASICを流用
  - ASICの出力に合わせて後段も他モジュールに合わせている
- bufferをFPGA内に作成し、独立した経路を確立する



# RUN3 に向けた新SL読み出しスキーム





# 新 SL に必要な技術

- 入力: GTX Transceiver
  - Xilinx社のミドルクラス、Kintex™-7やハイエンドクラス、Virtex®-7のFPGAに搭載されたギガビットトランシーバ
  - 1 laneで最大12.5Gbps
    - 外付けICなしで新SLの入力を受け入れ可能
- 出力: SiTCP
  - KEK Open-itが提供するFPGAによるTCP処理技術
  - TCPによるデータの読み出し
    - TCPを用いる事で後段のDAQが容易になり、市販のものを使える

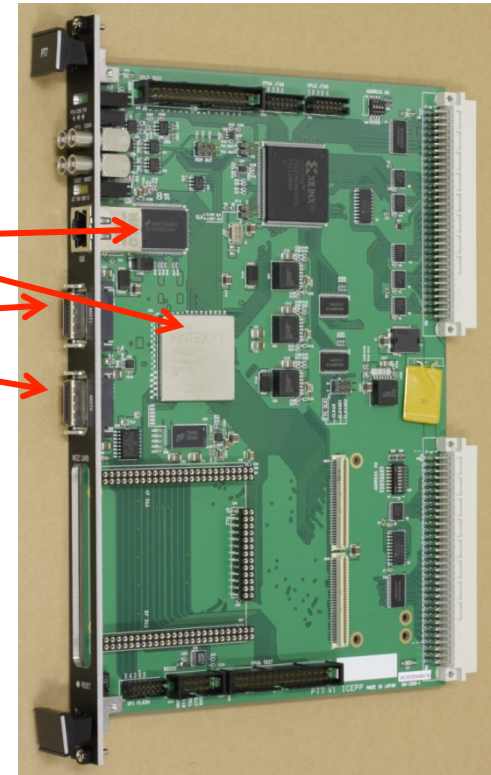
# 新SLの技術検証用モジュール: PT7

## ➤ 仕様

- Xilinx FPGA Kintex-7 XCK325T-2ffg900
- SiTCP 用 PHY DP83865
- GTX 4 lane 用 Infiniband 4x 接続を 2 つ
- Timing Trigger Control (TTC) 受信機接続  
LHC clock 40 MHz や L1トリガー信号 L1A を受信
- G-link, LVDS メザニンカード接続
- DDR3-1333 SDRAM MT41J64M16

このPT7を用いて

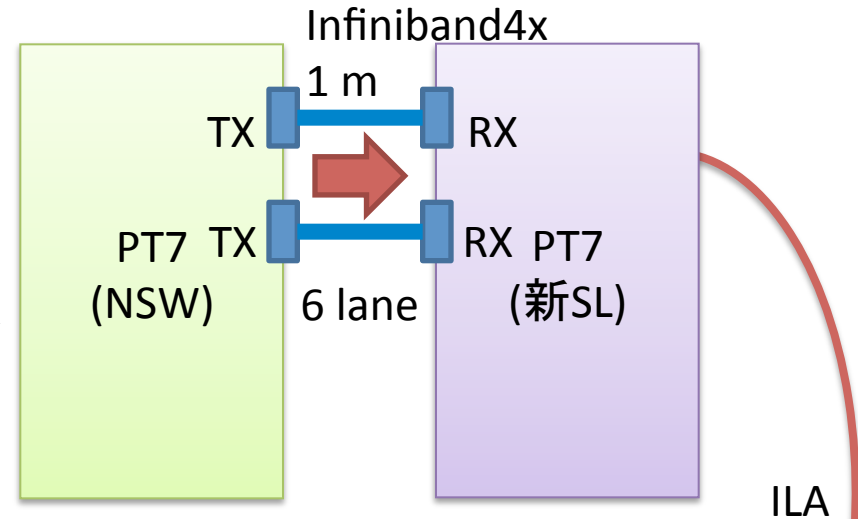
- GTX Transceiver の検証
- 新SL 読み出しロジック開発を行った。



# GTX Transceiver の検証1

目的: GTX Transceiver を用いてデータの送受信が可能か検証

- 新SL技術検証用モジュール: PT7 を用いる
- GTX Transceiver Wizard でデザインを作成する
  - 送信データはNSW データ形式
- 6 laneでPT7 から他のPT7 へ送信
- データ受信側でILAを用いて検証: 次ページ
  - ILA はJTAG 経由で内部信号が見れるツール



- Line rate : 6.4 Gbps/lane
- Data : 16 bit x 320 MHz = 5.12 Gbps
- Comma : BCBC once in 8 times
- Cable : Infiniband 1 m

Data Format from NSW trigger electronics to Sector Logic

Words (16-bit)	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2		
Word-3	track-1	
Word-4	track-2	
Word-5		
Word-6	track-3	
Word-7	ID (4-bit)	BCID (12-bit)



# GTX Transceiver の検証1 (結果)

Value	bcbc	000000	111111	222222	333333	a b46	bcbc	00		
1lane目	bcbc	0000	0011	1111	2222	2233	3333	ab46	bcbc	0000
2lane目	bcbc	0000	0011	1111	2222	2233	3333	ab46	bcbc	0000
3lane目	bcbc	0000	0011	1111	2222	2233	3333	ab46	bcbc	0000
4lane目	bcbc	0000	0011	1111	2222	2233	3333	ab46	bcbc	0000
5lane目	bcbc	0000	0011	1111	2222	2233	3333	ab46	bcbc	0000
6lane目	bcbc	0000	0011	1111	2222	2233	3333	ab46	bcbc	0000

ILA でみたデータ

128bit sample data

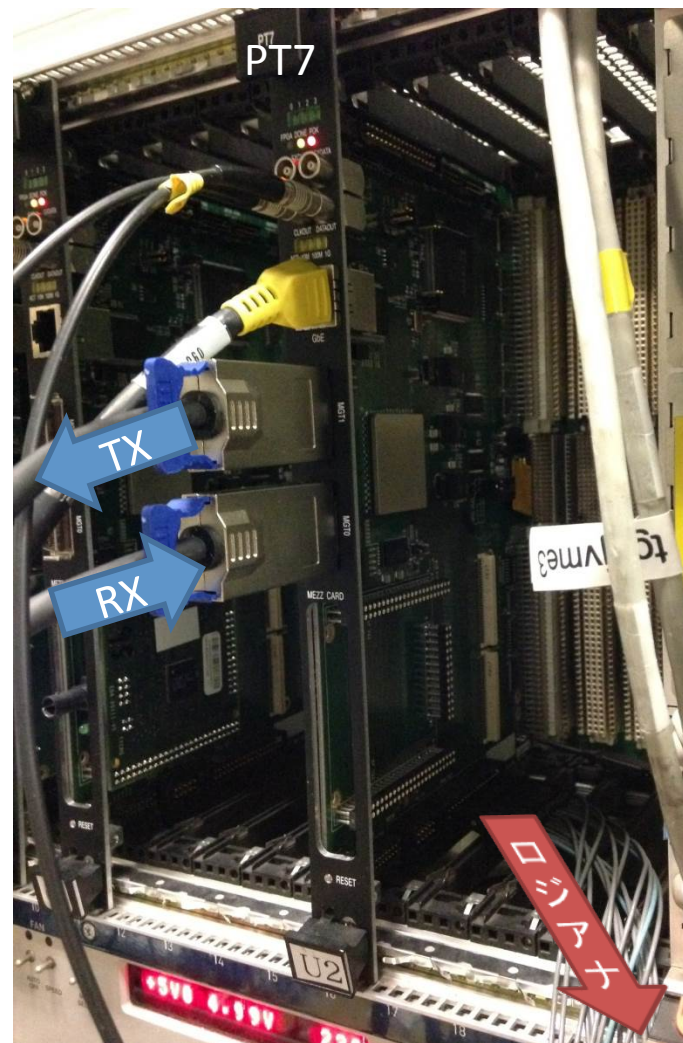
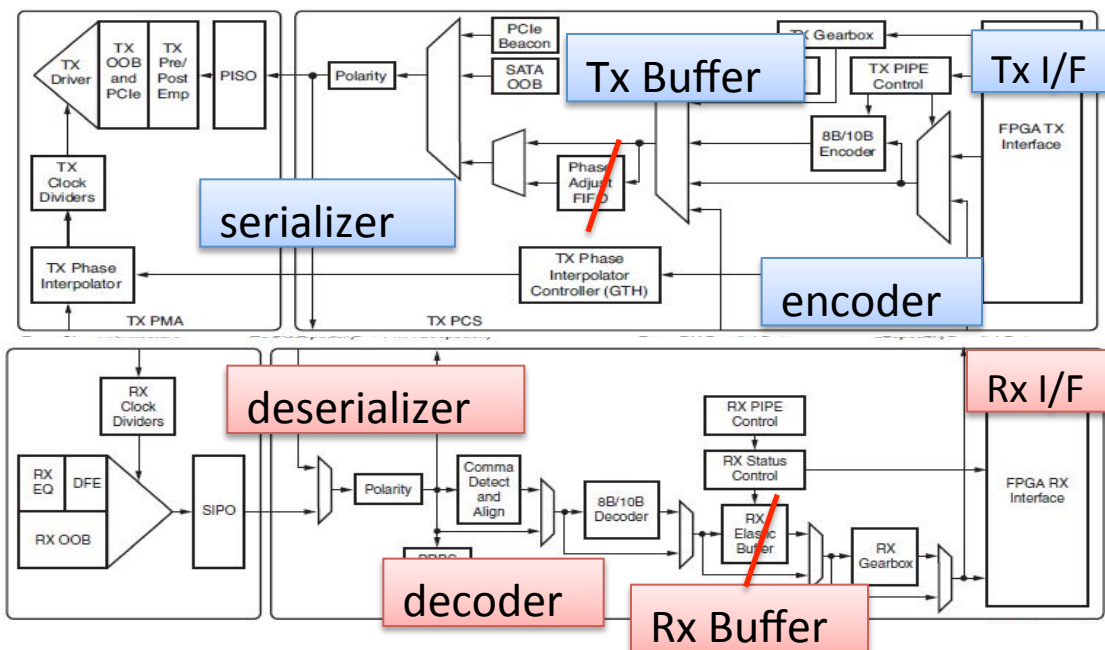
Words (16-bit)	first byte	second byte
Word-0	comma	comma
Word-1	(track-0) 16'h0000	
Word-2	8'h00	8'h11
Word-3	(track-1) 16'h1111	
Word-4	(track-2) 16'h2222	
Word-5	8'h22	8'h33
Word-6	(track-3) 16'h3333	
Word-7	(ID) 4'hA	(BCID) Count up

- NSW形式のデータがGTX Transceiverにより6.4 Gbps/laneで正しく送信され受信出来ている事が分かる
- 同時にNSW エミュレータを作成する事が出来た

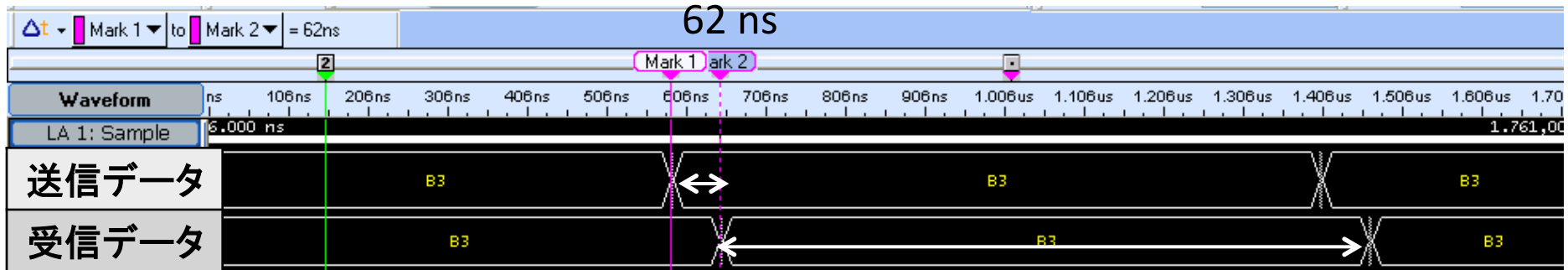
# GTX Transceiverの検証2

目的: GTX Transceiver のlatency が要求値  
75ns以内であるか検証

- GTX Transceiver Wizard でデザインを作成する
  - 送信データは256回に1回BCBC、その他は00B3
  - 通常のデザインと、Latency を最小かつ固定にする為に、GTX Transceiver のアドバンス機能の、内部のbufferをバイパスするデザインの2種類で試験する
- 3 lane 使用してPT7 でループバック
- ロジックアナライザを用いてlatency の測定: 次ページ



# GTX Transceiver の検証2 (結果)



ロジックアナライザーでみた下位16bit (bufferバイパス)

795 ns

## 結果

### •通常デザイン

TX+RX+Cable のLatency: 92 ns

TX+RXのLatency は約87ns > 75ns

### •内部buffer バイパスデザイン

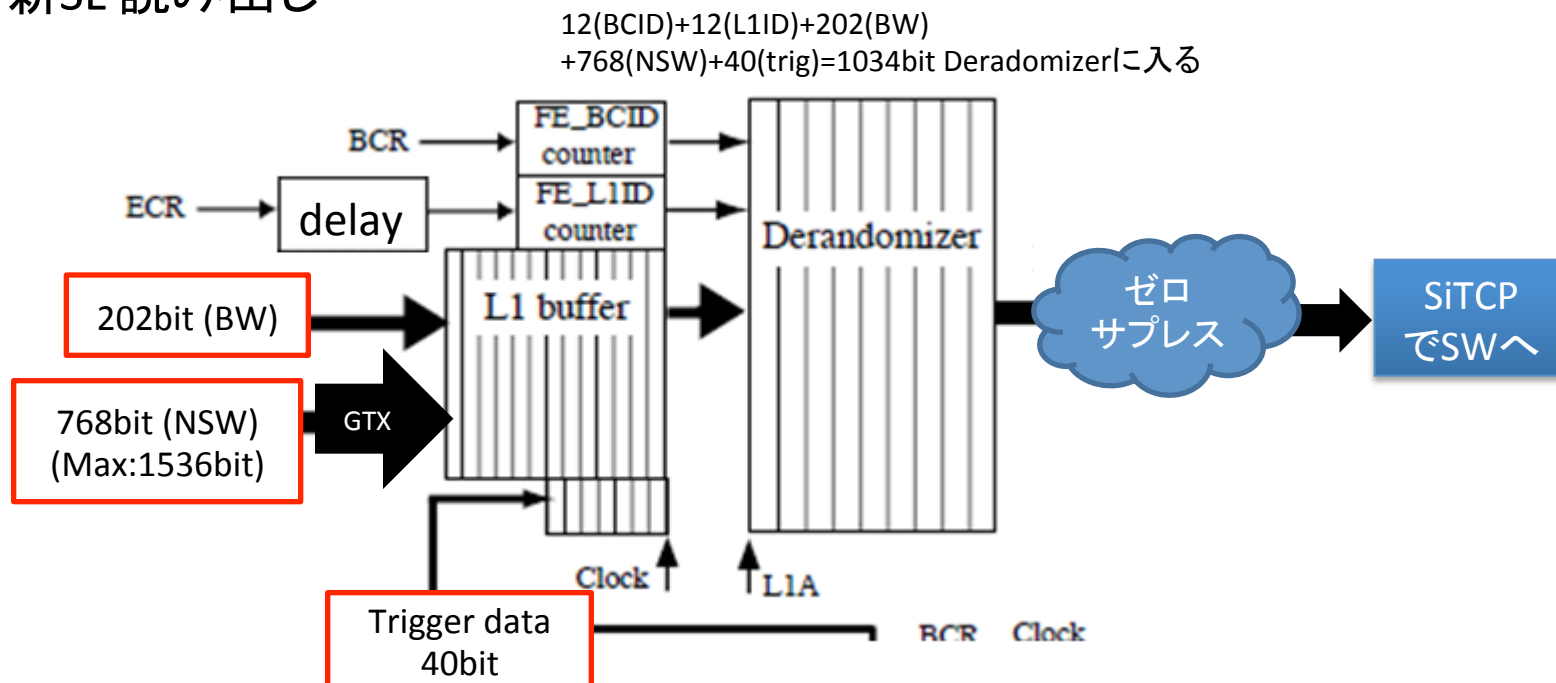
TX+RX+Cable のLatency: 62 ns

TX+RXのLatency は約57ns < 75ns

内部buffer をバイパスする事で、Latency が固定値約57nsで、要求値である75ns以内を満たした。

# 新SL FPGA読み出し開発

- 新SL 読み出し



- 今回作成した新SL 読み出しデザイン

擬似BW データとNSW データをSL 内部で用意し、L1A信号を受け取り  
3バンチ分をDerandomizer に入れ、ゼロサプレスをした後でSiTCP でPCに渡す

# 新SL FPGA読み出し開発 (結果)

- Readout data format (仮)

16bit	
Header 0x0B0D	
DataSize	
00000000_00000000	
0000	L1ID 12bit
0000	BCID 12bit
0000	SLID 12bit
ゼロサプレスされた 3bunch分データ (BW+NSW+trig)	
Footer 0x0E0D	

- new zero suppress logic data format

1111	Tag [3bit]	cell_address[9bit]	cell_data[16bit]
------	---------------	--------------------	------------------

Tag[3bit]-> 101:previous, 100:current, 110:next

- SL内部で準備した1bunch分データ

000A 0000 0000 0000 0000 0000 1991 ABCD 0126 0000 ...

- SiTCPで出力したデータ

0B 0D 00 40 00 00 00 01 03 62 00 33

FA 00 00 0A FA 05 19 91 FA 06 AB CD FA 08 01 26 :1bunch目

F8 00 00 0A F8 05 19 91 F8 06 AB CD F8 08 01 26 :2bunch目

FC 00 00 0A FC 05 19 91 FC 06 AB CD FC 08 01 26 :3bunch目

00 00 0E 0D

0xFC051991... 1111b, 110b, 0x5, 0x1991

Tag ↑ Cell\_data

Cell\_addr

期待通りのフォーマットで読み出せた



# まとめと今後

- RUN3に向けて新SLの技術検証用モジュールPT7を用いて GTX Transceiver の試験を行った
  - 新検出器NSW データを正しく送受信出来た
  - Latency はトリガーの目標値75nsに対し固定値57nsを確認した
- PT7 を用いてFPGA 読み出し開発を行い、TTCからL1Aが来たら3バンチ分をDerandomizer に入れ、ゼロサプレスをした後でSiTCP でPC に渡す動作を確認した
- 今後
  - GTX Transceiver を用いたFPGA読み出し開発
  - 新SL、新TTC readout、新TGC ROD を組み合わせた総合的試験

# backup

# Latency

## New Small Wheel (sTGC + MM)

	nsec	CLK	Total CLK
TOF from interaction point to NSW (10m)	34	1.5	1.5
Signal Processing on detector		12.5	14
Optical Fibre (90m)		18	32
Signal Processing at USA15 ( including sTGC and MM merge board )		6	
Serializer + Optical Tx			38
Optical Fibre (5m)		1	39
Signal fanout		1	40
Optical Fibre to Sector Logic (5m)		1	41

## Big Wheel TGC (measurement)

	nsec	CLK	Total CLK
TOF from interaction point to TGC	50	2	2
Propagation delay on wire/strip	5	0.2	2.2
TGC response	2	0.1	2.3
ASD	5	0.2	2.5
Cable to PS-Board		2.5	5
Variable Delay, Bunch ID, OR		1.5	6.5
Variable Delay		1	7.5
3/4 Coincidence Matrix or 2/3 Coin.		1	8.5
LVDS TX (SN65LV1022)		1	9.5
Variable Delay		3	12.5
LVDS RX (SN65LV1224A)		2	14.5
Variable Delay		1	15.5
H-pT Matrix		2	17.5
G-Link Tx (HDMP-1032A) + Optical Tx		1.5	19
Optical Fibre to Sector Logic (90m)		18	37

37 BCs (NSW TDR)

appointment time : 41 BCs

New SL needs 5 BCs for de-serializer/serializer and 9 BCs for trigger processing. Delivery time to the MUCTPI is 57 BCs, which is an increase of 3.5 BCs from the current system (RUN2).

## New Sector Logic

	nsec	CLK	Total CLK
Receive signals from BW and NSW			41
Optical Rx + De-serializer		3	44
TGC R-phi coin. (LUT)		3	47
BW - NSW coin. (LUT)		3	50
Track selection		2	52
pT encoding		1	53
Serializer (64-bit/clock, 3.2Gbps) + Optical Tx		2	55
Optical fibre to MUCTPI (10m)		2	57

Waiting

4 CLKs