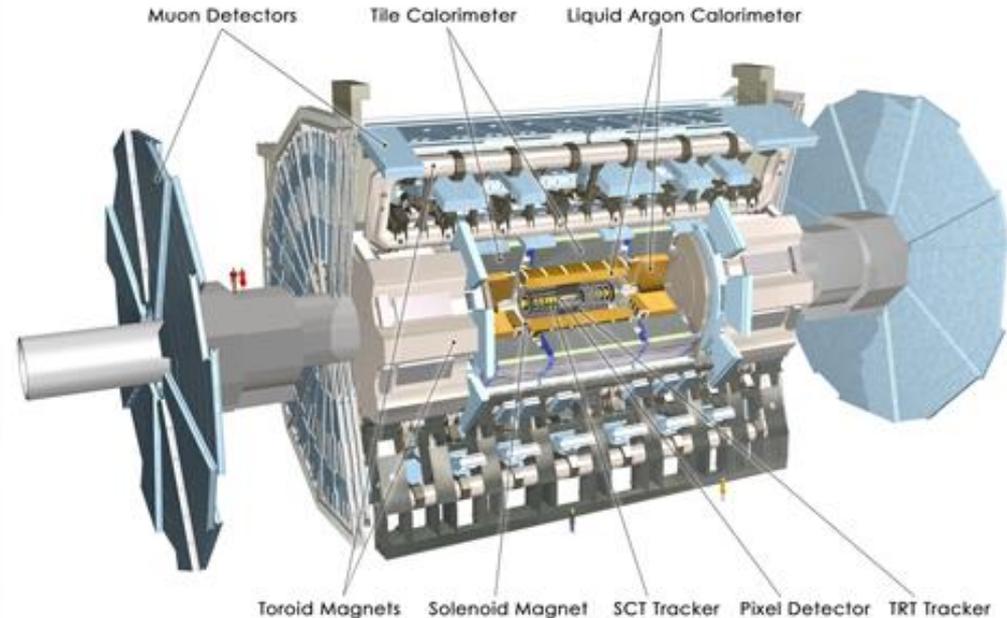
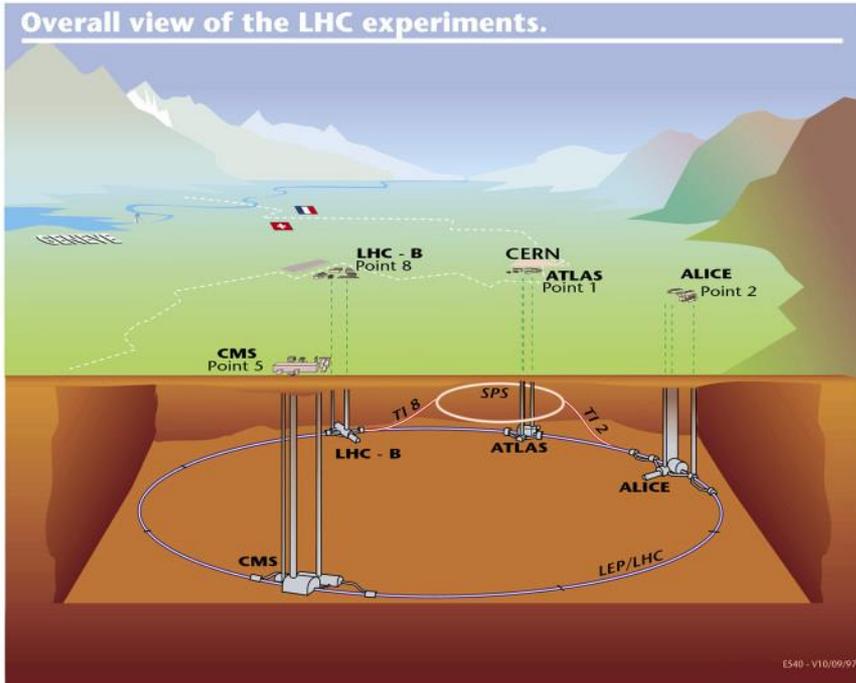


ATLAS レベル1ミューオントリガーのアップグレード に向けた TCP を用いたデータ収集システムの検証

日本物理学会 2013年春季大会 広島大学

加藤千曲, 坂本宏, 結束晃平, ニノ宮陽一, 大谷育生
佐々木修A, 石野雅也B, 田代拓也B, 池野正弘A,C, 内田智久A,C
他ATLAS日本TGCグループ
東大素セ, 高工研A, 京都大B, Open-ItC

LHC と ATLAS 実験

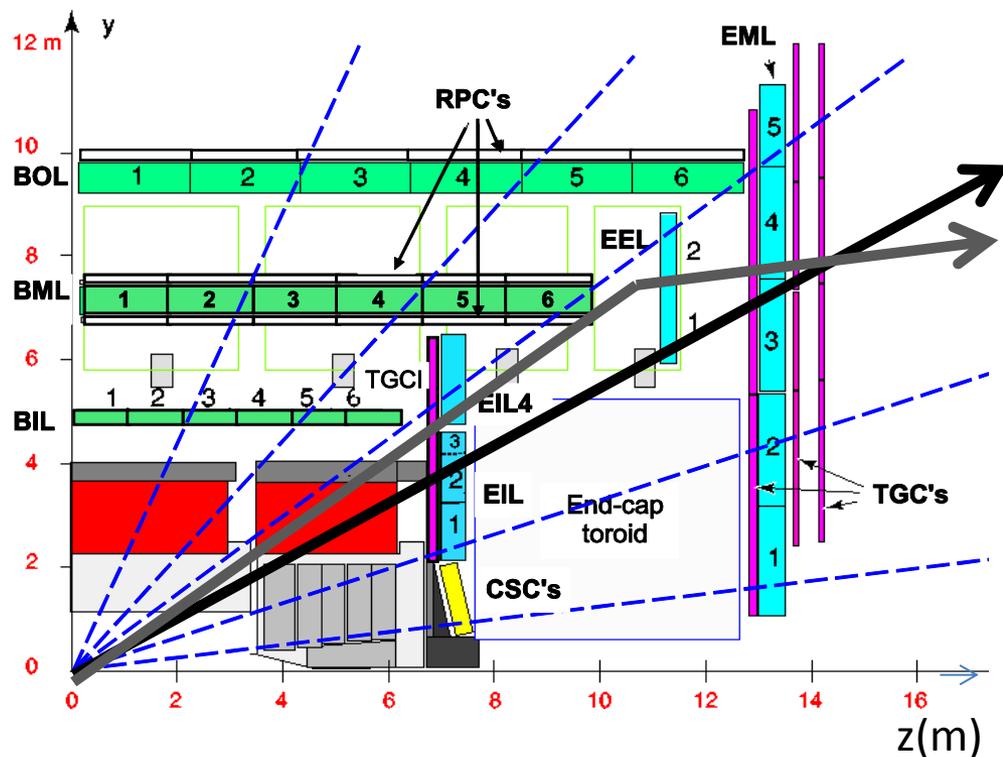
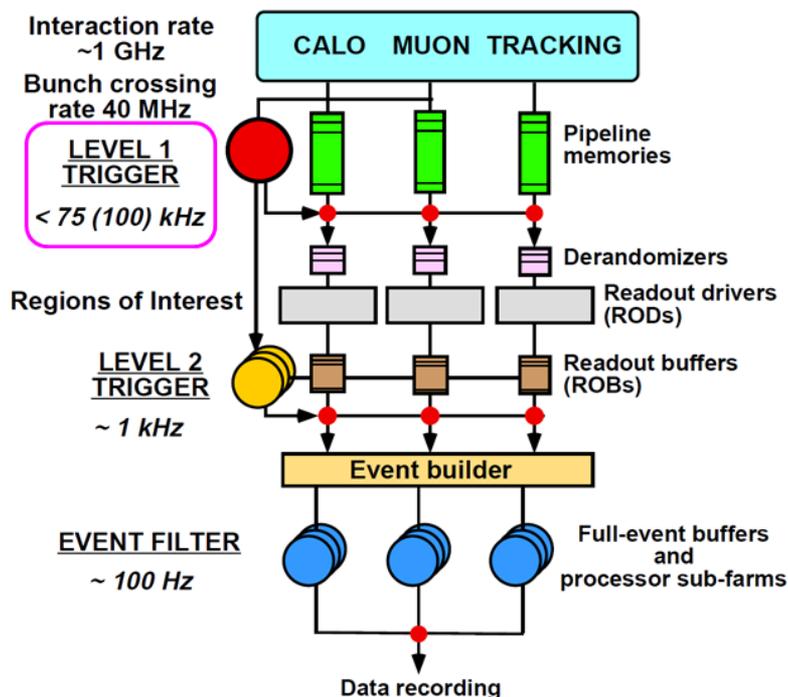


- LHC(Large hadron Collider)
- 陽子陽子衝突型加速器
 - 周長 27.6km
 - 衝突頻度 40MHz
 - ビームエネルギー 8TeV
 - ルミノシティ $10^{34}\text{cm}^{-2}\text{s}^{-1}$

ATLAS 検出器

- トラッカー(Pixel detector, SCT, TRT)
- カロリメーター(ElectroMagnetic, Hadronic)
- ミューオンスペクトロメーター
(MDT, CSC, RPC, **TGC(Thin Gap Chamber)**)
- ヒッグス粒子や新物理の探索

ATLAS のトリガーシステム



3段階のトリガー

- **Level 1** (40MHz → 約 75kHz)
2.5 μ s 以内に処理する必要がある
ので、ハードウェアによるトリガー
TGCやカロリメータが担当
- Level 2 (→ 約 5kHz)
- Level 3 Event Filter (→ 約 400Hz)

L1(Level1) ミューオントリガー-TGC

- ミューオンの割り当ては 20kHz
- 磁場で曲げられ3枚のTGCにヒット
- 無限運動量の直線からのずれで運動量を算出し、運動量の大きいミューオンを選び出す

ATLAS のアップグレード

2020年代 High Luminosity LHC へ

- 2018年には2倍の $2 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ になる

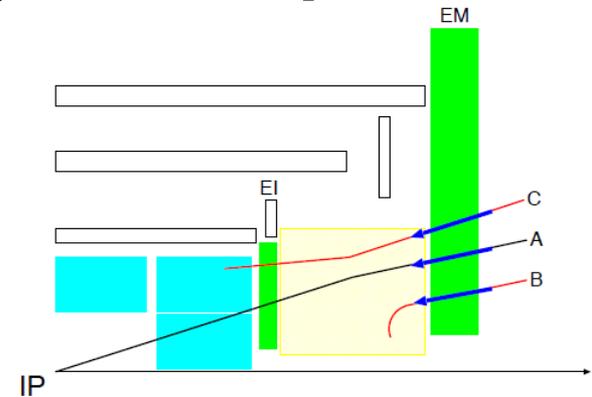
→ $p_T 20 \text{GeV}$ のミュオンのトリガーレートは要求 20kHz に対し 60kHz になってしまう

ATLAS のアップグレード

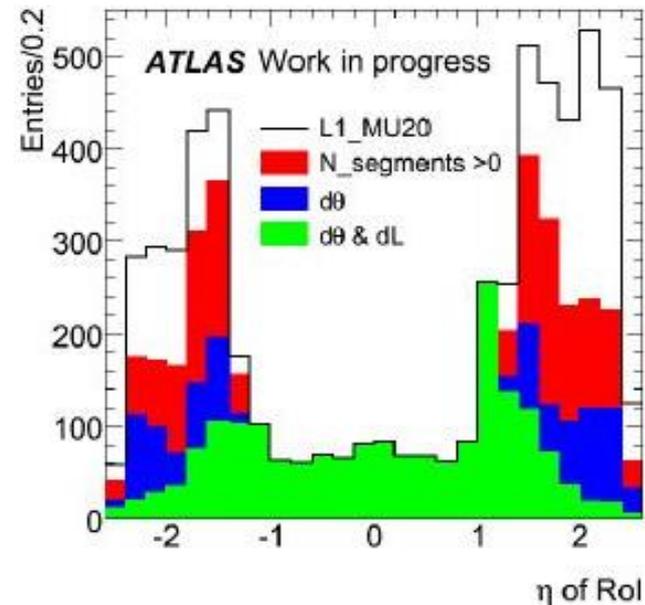
- 放射線損傷した検出器の交換
- 新しいトリガーシステム

現行では TGC L1トリガーの約6割がフェイク(衝突点以外からくる荷電粒子)、
2018年に向けて内側の検出器情報を取り入れた新しいトリガーシステムを構築、
角度情報などを用いた $d\theta$ 、 dL カットという新しいカットを導入し、 20kHz 以下に落とす!

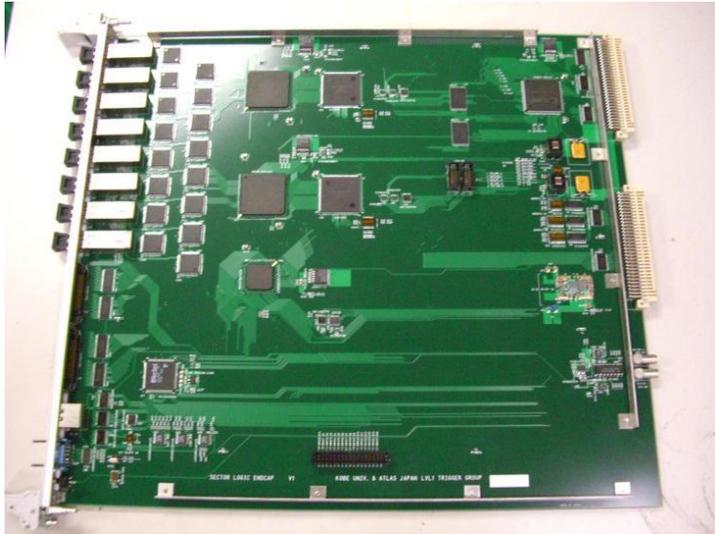
→ エレクトロニクスアップグレードが必要



A が衝突点由来のミュオン
B, C は別由来だが衝突点から来るように見える



SL (Sector Logic) と新SL

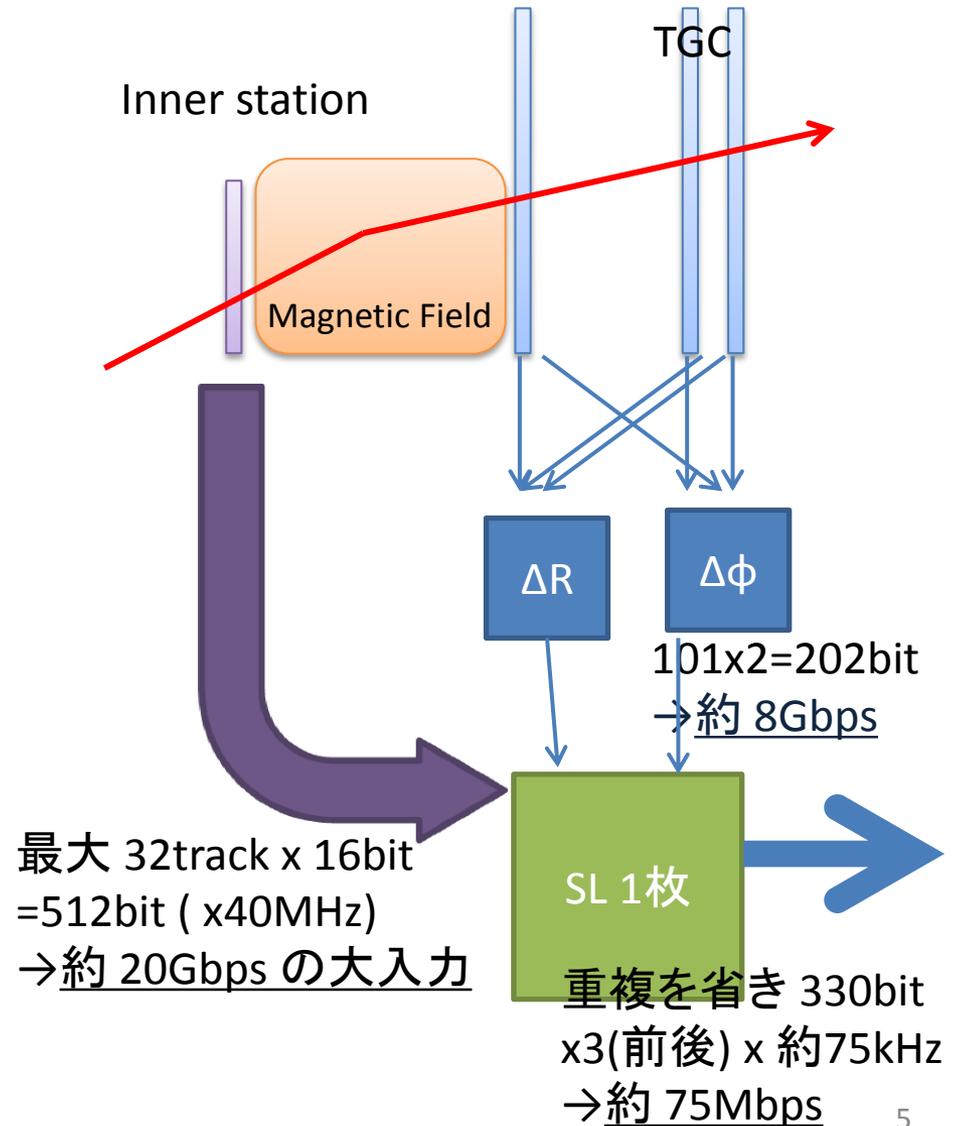


SL (Sector Logic)

- R と ϕ の情報を統合して運動量を計算し、トリガーを出すモジュール
- フェイクを落とすために、内側の新検出器情報を用いる新SLを計画

→新SL 開発に向けたプロトタイプ

→その前に新技術の試験



新SLの入出力

新SLの開発には、まず入出力の確保が重要



• 入力 **GTX?**

最大約 **28Gbps**
の大入力!

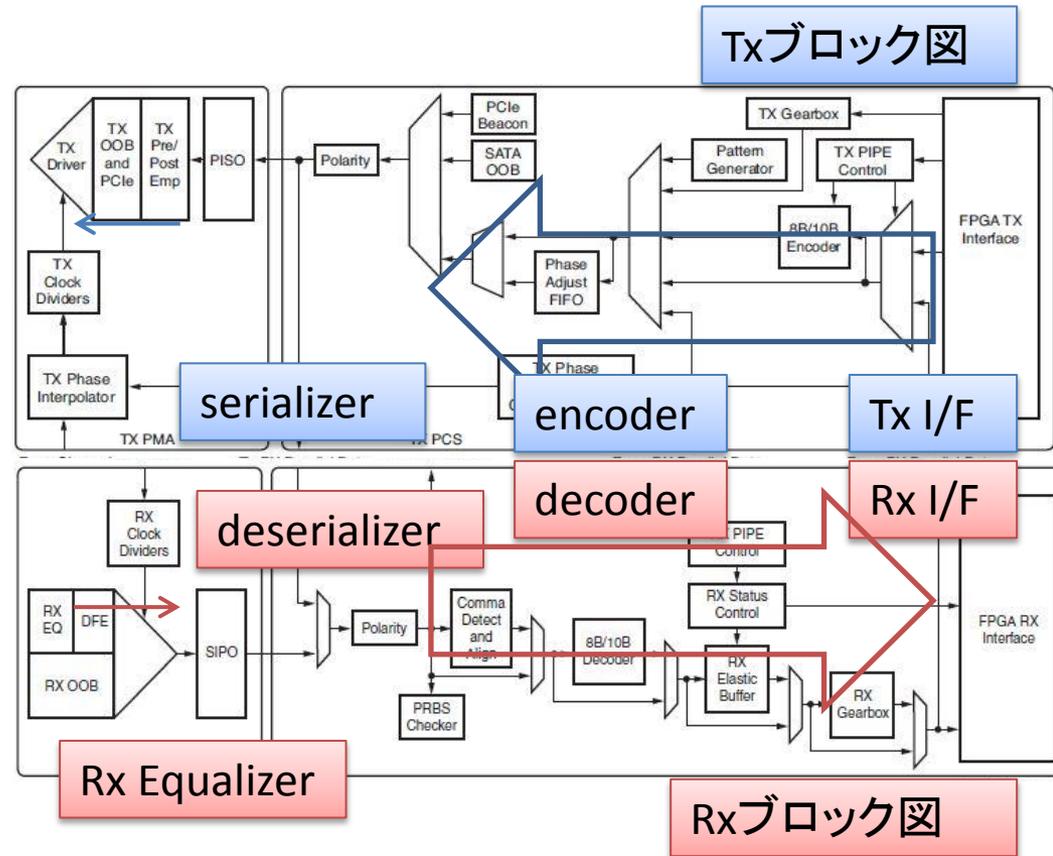
• 出力 **SiTCP?**

約 **75Mbps/SL** で、72枚
健全に読み出したい!

GTX

Multi Gigabit Transceiver の一種

- Xilinx 最新 FPGA Kintex-7 に搭載
- 外付けチップなしで高速シリアル通信
- 最大 12.5Gbps/lane の全二重通信
- 8b10b など多彩なコーディング
- Rx にリニアイコライザやDFE (Decision Feedback Equalizer) などを搭載、高周波補償



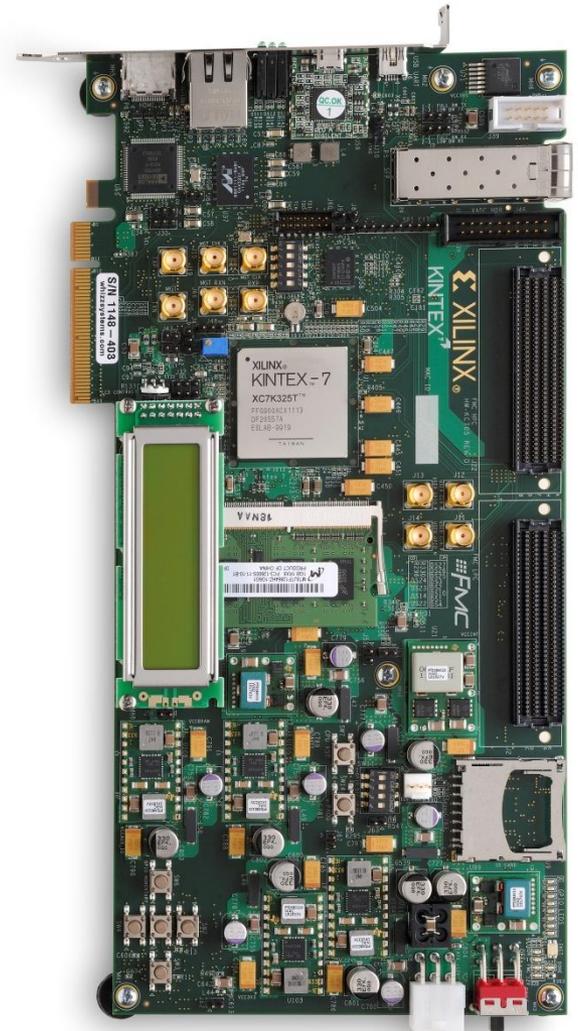
新SL の最大入力約 28Gbps を再現できる可能性がある

Kintex7 評価ボード KC705

Kintex-7 FPGA 評価用ボード

- Kintex-7 は Xilinx の最新 FPGA
- GTX 16lane のうち 1lane がSMA
- SMA tx±から rx±に 2本の同軸ケーブルをループバックしてテスト
- 内部ループバックで lane 数を増やし、各電源の電流と FPGA の温度を測定
- SMA プラグ付同軸ケーブルは HUBER+SUHNER 社の S04272B を使用
- 10GHz では 1m で約 0.8倍に減衰

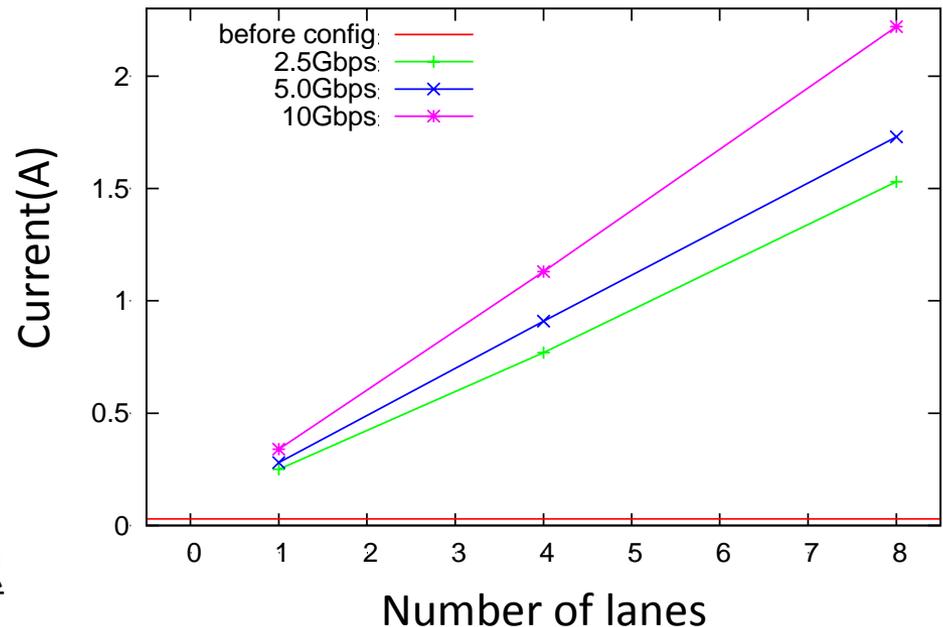
この環境で GTX を試験



KC705 を用いた GTX の試験

- 10Gbps で電流値を測定したところ、GTX アナログ電源で約 250mA/lane
→ 16lane では 5A の調整装置が必要
- FPGA ダイの温度を計測したところ、レートに依らず約 1.2°C/lane 上昇
→ ヒートシンク、ファンの効果、必要
- Bit Error Rate は、同軸ケーブル 14m まで BER < 10⁻¹⁴
→ 減衰に対する十分な補償能力を確認

GTX アナログ電源

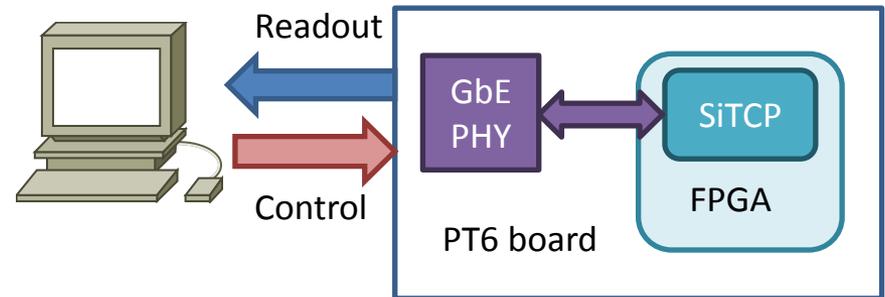
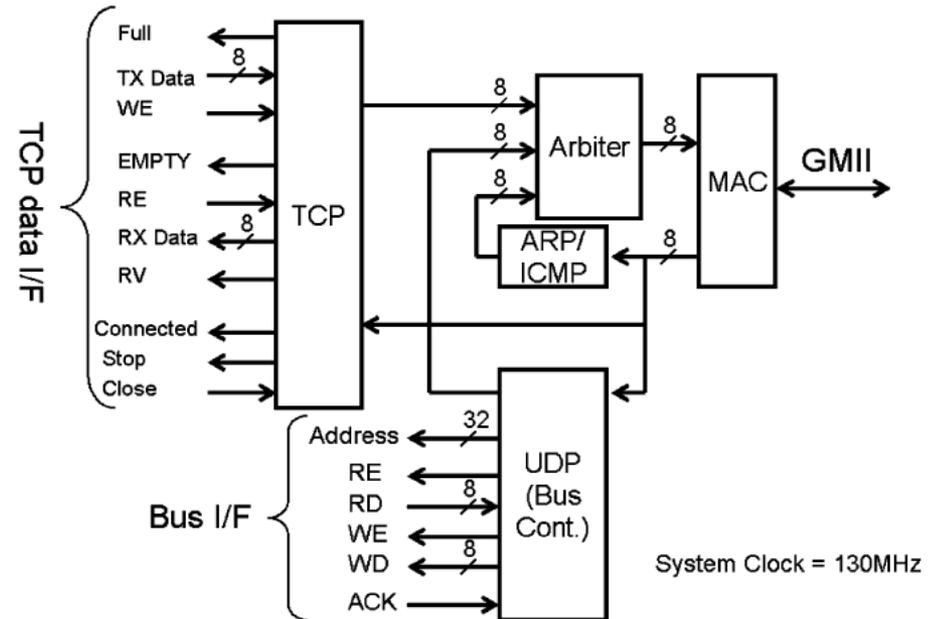


→ 8Gbps x 4lane で、新SL の最大入力約 28Gbps を再現可能！

SiTCP

ハードウェアによる TCP プロセッサ

- FPGA で Gigabit Ethernet が使える
- FPGA 側からは FIFO, PC 側からはサーバーに見える
- TCPによる高速リードアウト
1000BASE-T(1Gbps)
100BASE-TX (100Mbps > 75Mbps)
- 1Gbps の場合最低 130MHz のシステムクロック
- UDPによるスローコントロール
- PROM 書き込み用のファイルを購入して MAC アドレスを変更可能
- TCP window size 最大 64kB



新SL の出力約 75Mbps を読み出せる可能性がある

VME 汎用モジュール PT6

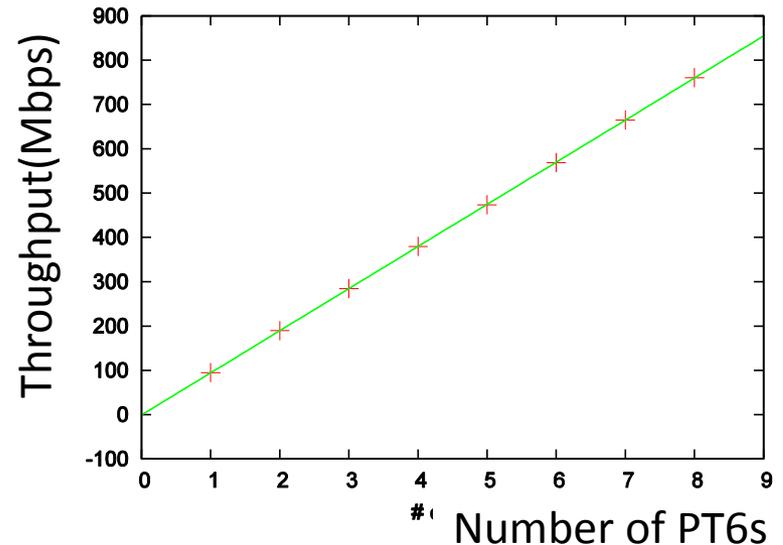
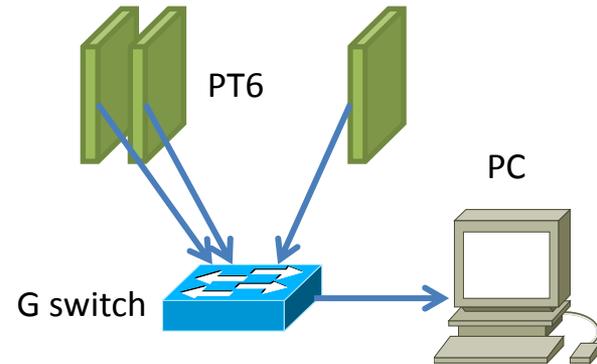
- PT6 (ProtoType6)
 - 2010 年に開発
 - Xilinx の FPGA, Spartan6
 - CPLD で VME 制御 FPGA 構成
 - Gigabit Ethernet 搭載
 - Mezzanine Card で光の送受信
 - DPM (Dual Port Memory)
 - SDRAM と Flash Memory
 - 4ch の Rocket IO GTP (Gigabit Transceiver with Performance)
- 2.5G x 4ch = 10G



この PT6 を用いて SiTCP を検証

PT6 を用いた SiTCP の試験

- 1000BASE-T(1Gbps)
PT6 1枚 対 PC 1台 では 860Mbps
PT6 複数では 帯域上限を超えるため
scalability はないが 893Mbps
- 100BASE-TX(100Mbps)
PT6 1枚 対 PC 1台 では理論上限の
94.8Mbps
PT6 複数では台数に比例して
throughput が増える scalability を確認
- その他 SiTCP の設定
throughput の変化を確認

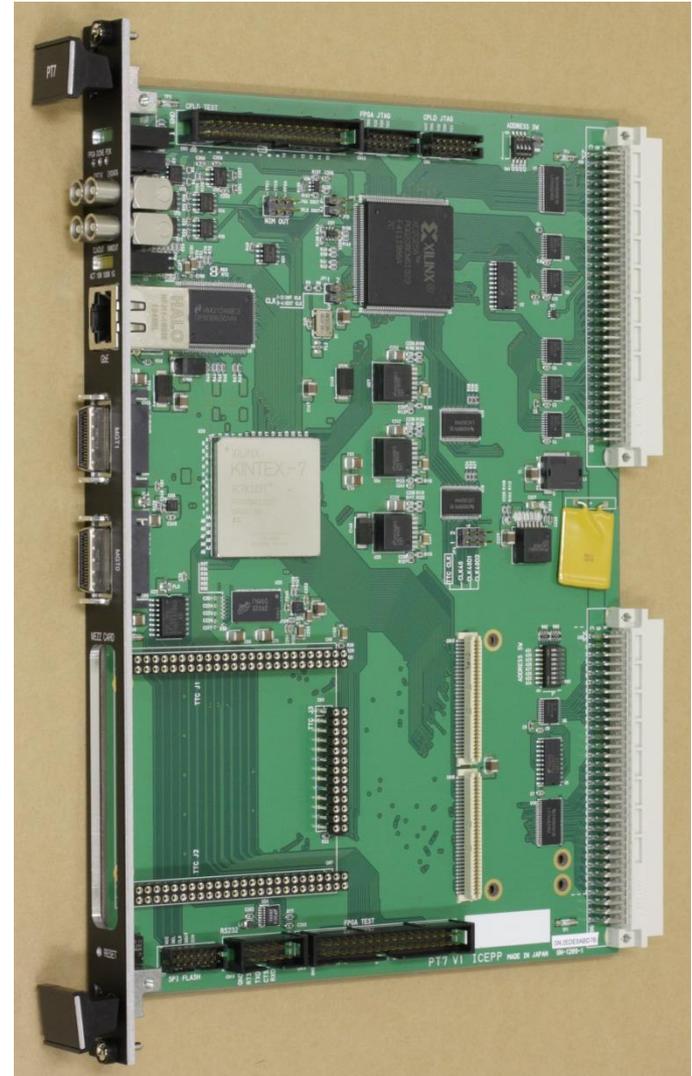


本番は約 75Mbps/SL で、SL は衝突点片側に 36枚
→ PC 1台に SL 8枚までとした場合、PCは片側 5台で利用可能！

新SLプロトタイプ PT7

- 2013年 2月 一号機完成!
- Xilinx 最新の FPGA, Kintex7 を搭載
- SiTCP を使用するため Gigabit Ethernet PHY DP83865 を搭載
- GTX 16lane を使用するために Infiniband 4x のコネクタを2つ
- DDR3-1333 SDRAM MT41J64M16
- トリガータイミング受信ピンヘッダ
- メザニンカードコネクタ
- OS 格納用のFlash memory
- コンソール用のRS232C

- 3.3V 電源の不具合→ 3/15 部品交換
- GTX クロックの配線のミス→修正中
- 量産前に検査と修正を重ねる



まとめと今後

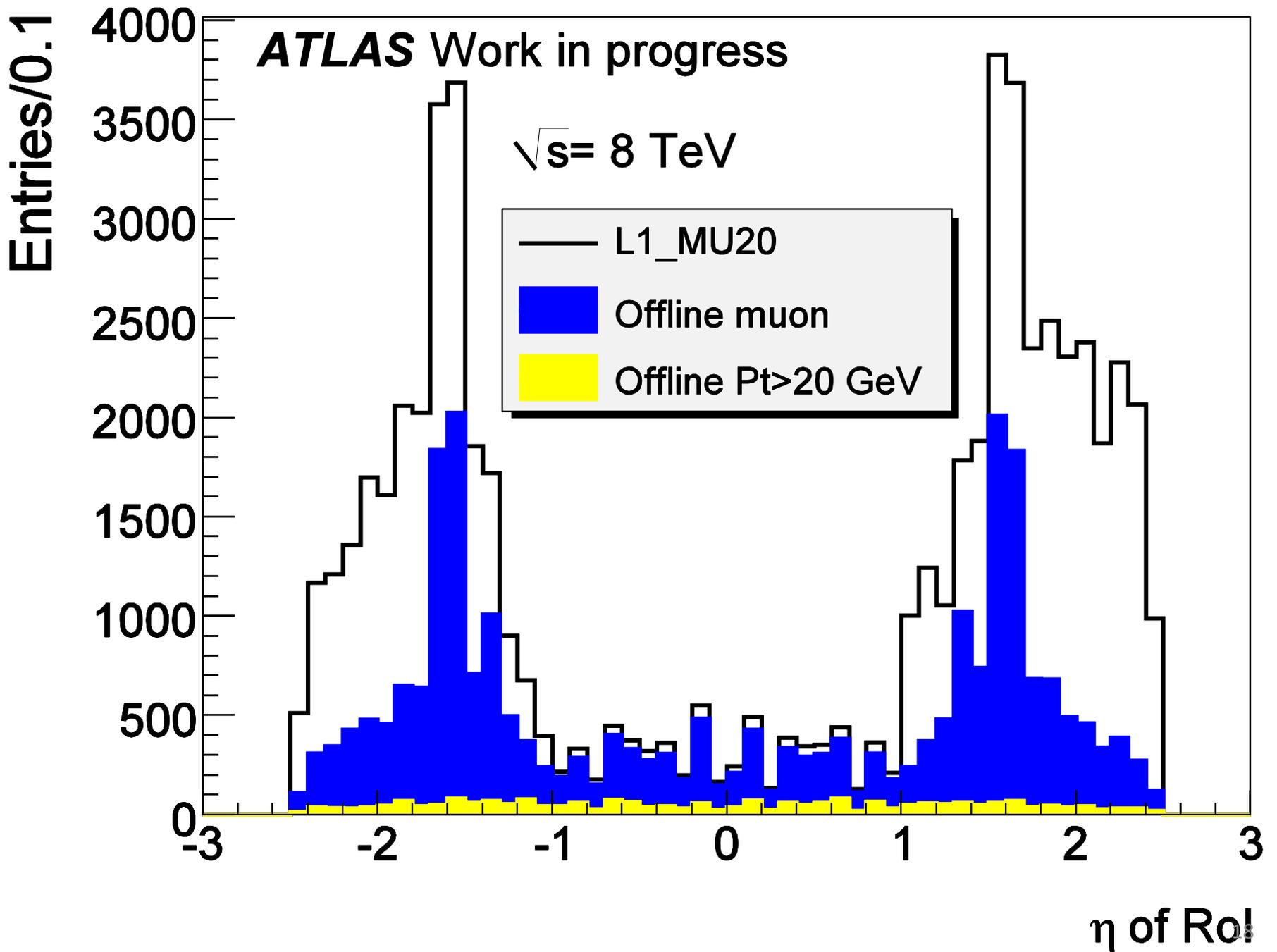
- 新SLの入出力のために GTX と SiTCP の試験を行い、有用性が確かめられた。
- これらを取り入れた 新SL プロトタイプ PT7 が 2013 年 2月に完成し、修正と性能評価を進めている。
- 今後は PT7 を用いて実際の 新SL の FPGA ロジックの開発やテスト環境の構築を行う。

おわり

ご清聴ありがとうございました。

目次

- LHC と ATLAS 実験
- SL (Sector Logic) と 新SL
- PT6 を用いた SiTCP の試験
- KC705 を用いた GTX の試験
- 新SL プロトタイプ PT7
- まとめと今後



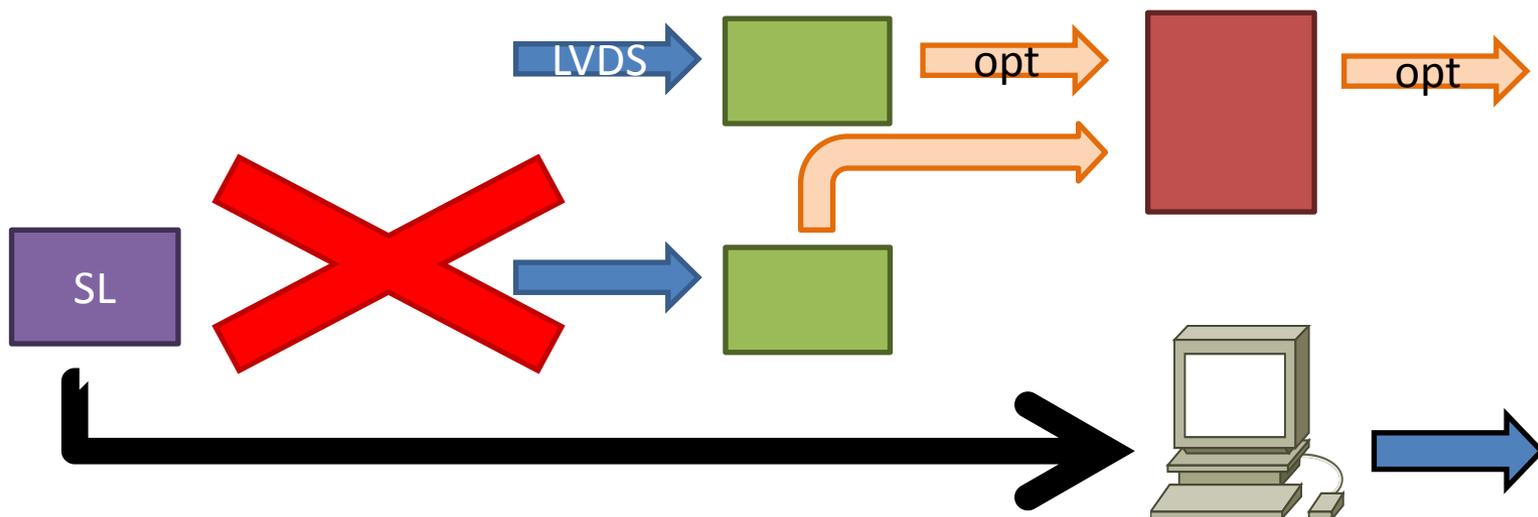
新SLにおける改善点

- 入力の増加
従来の入力: 202bit (8Gbps)
内側の検出器からの追加: 最大 512bit (20.4Gbps)
→ 約 3.5倍 28Gbps の入力!

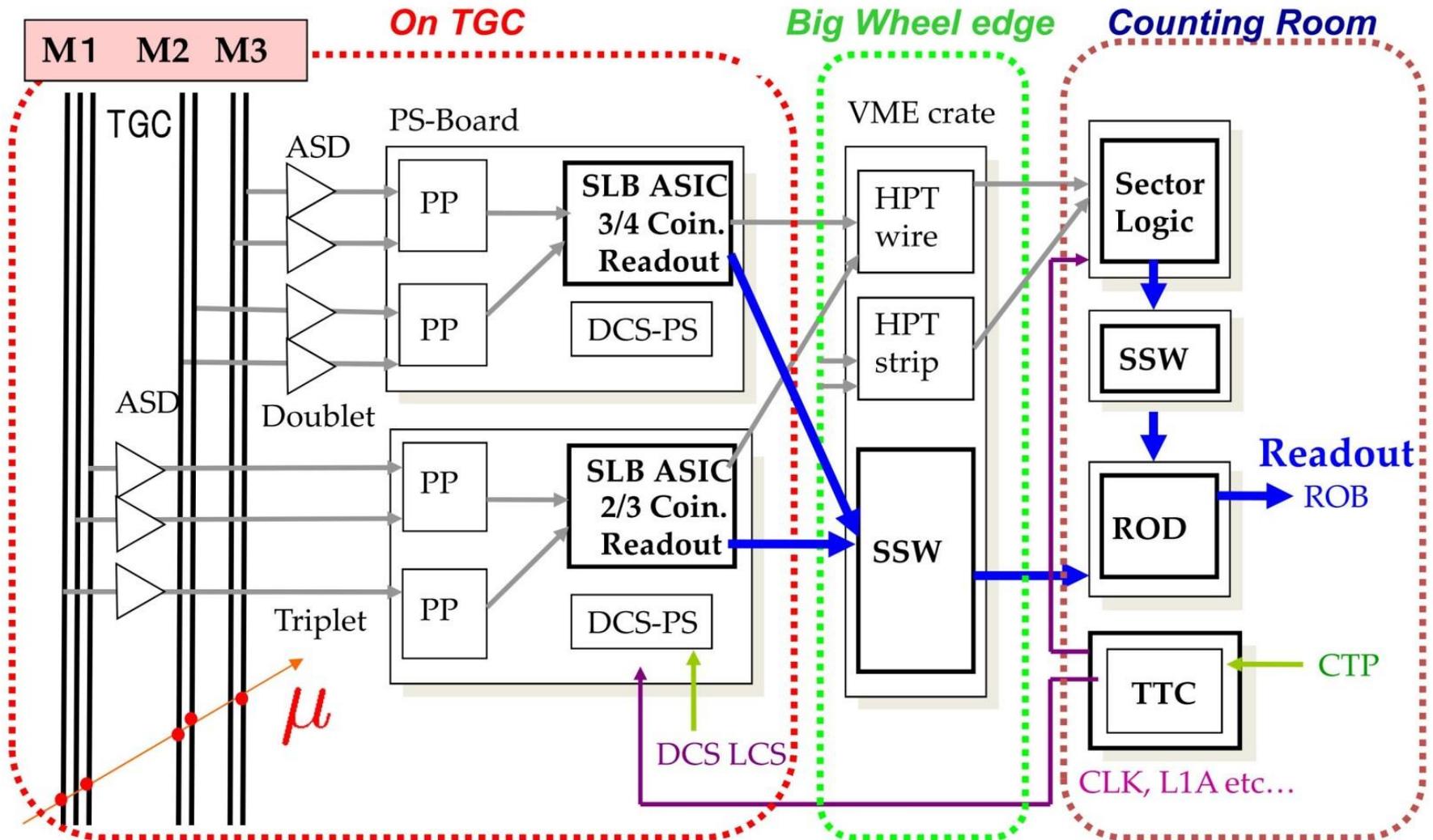
GTX?

SiTCP?

- 新しい読み出し経路
現行では読み出しバッファは他モジュールのASICを流用
ASICの出力に合わせて後段も他の経路に組み込んでいる
→ バッファをFPGA内に作り、新しい読み出し経路を確立する!



現在の読み出し経路



重複を省いて読み出す

内側の検出器は最大で 512bit を SL に入力しトリガーに使うが、読み出すのは各 SL のカバー領域の分 128bit だけでよい。

