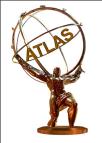


## アトラス実験レベル 1 ミューオントリガー への新しいアルゴリズムの導入

京都大理

田代 拓也

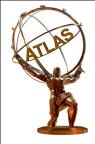
石野雅也,隅田土詞,佐々木修A,藏重久弥B,織田勧C,長谷川慧D,鈴木友E KEKA,神戸大B,九州大C,名大D,総研大E



### LHC upgrade

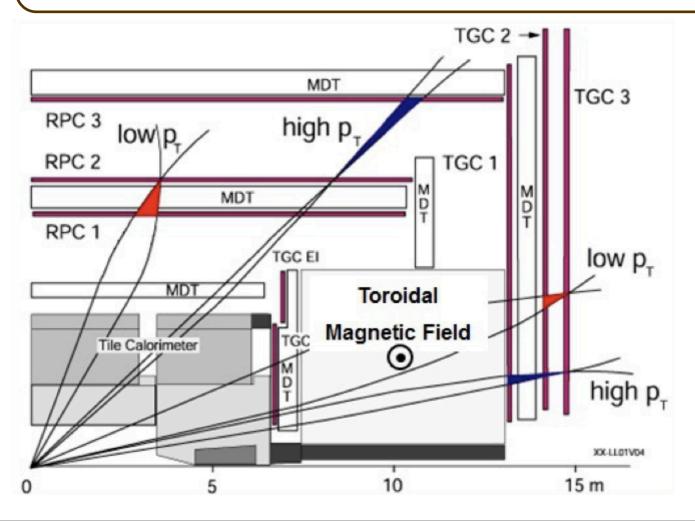
	Energy [TeV]	Luminosity [10 <sup>34</sup> cm <sup>-2</sup> s <sup>-1</sup> ]				
2011	7	< 0.36				
2012	8	< 0.77				
Shutdown						
2015 ~ 2017	13 ~ 14	~				
Shutdown						
2018 ~	14	~ 2				

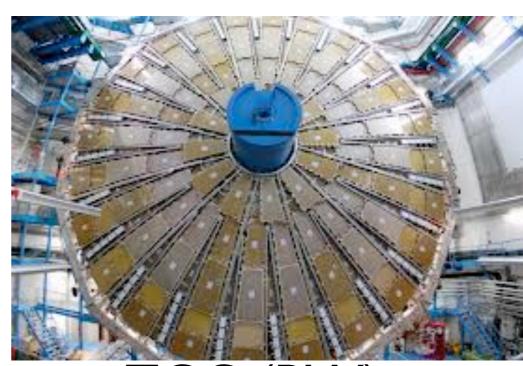
2013 ~ 2014 のshutdown中に、 TGC trigger のupgradeを行う (Phase-0 Upgrade)



#### **TGC**

- TGC (Thin Gap Chamber): EndCap LVLI muon trigger
- 外側の3層(Big Wheel, BW)と内側のI層(Small Wheel, SW)
- wire (R方向) とstrip (Φ方向)による2次元読み出し
- BW でµの飛跡を測り、横運動量(pт)を算出
- •6段階のpTに分け、LVLI triggerを出力





TGC (BW)



#### Sector Logic

#### Sector Logic (SL)

- TGC のtrigger出力を決定
- wire, stripのcoincidenceをとる
- BW, SW のcoincidenceをとる

Phase-0 Upgradeで追加

#### 動作

- R, Φ サジッタ(dR, dΦ)からμ pTを算出
- pT 情報を含んだtriggerを出力
- •9 CLK を消費

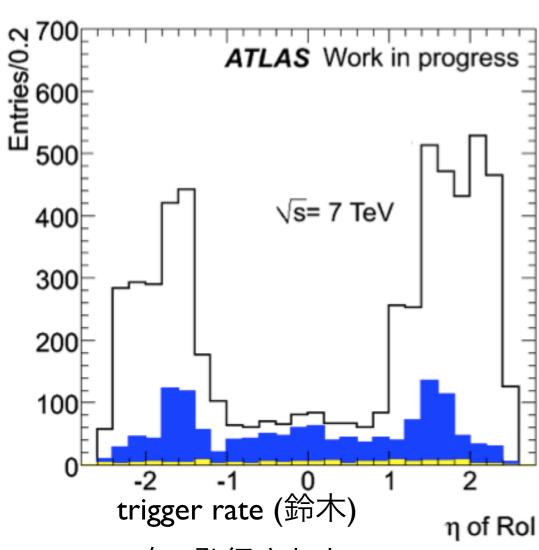


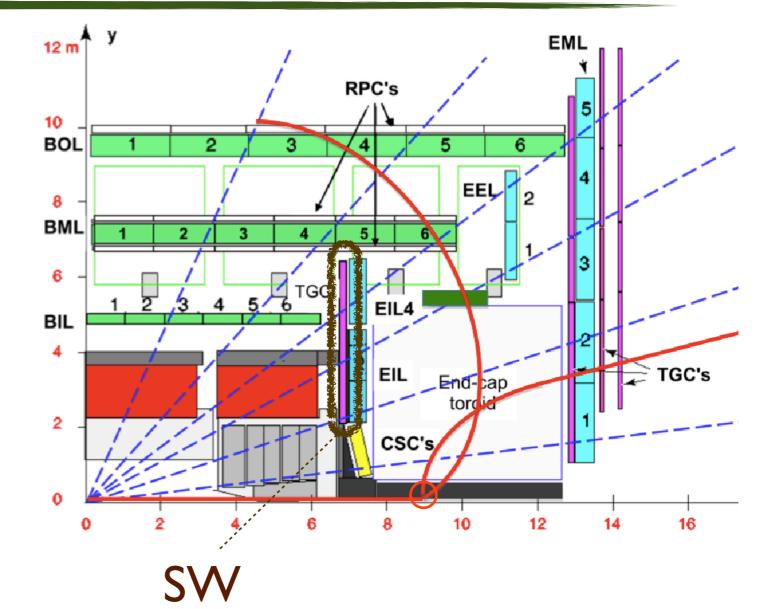
Sector Logic board

#### Phase-0 Upgradeでfirmwareをupgrade



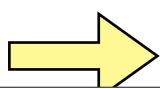
#### Phase0 Upgrade motivation





- 白:発行されたLI trigger
- 青:発行されたLI triggerのうち、muonを伴ったもの

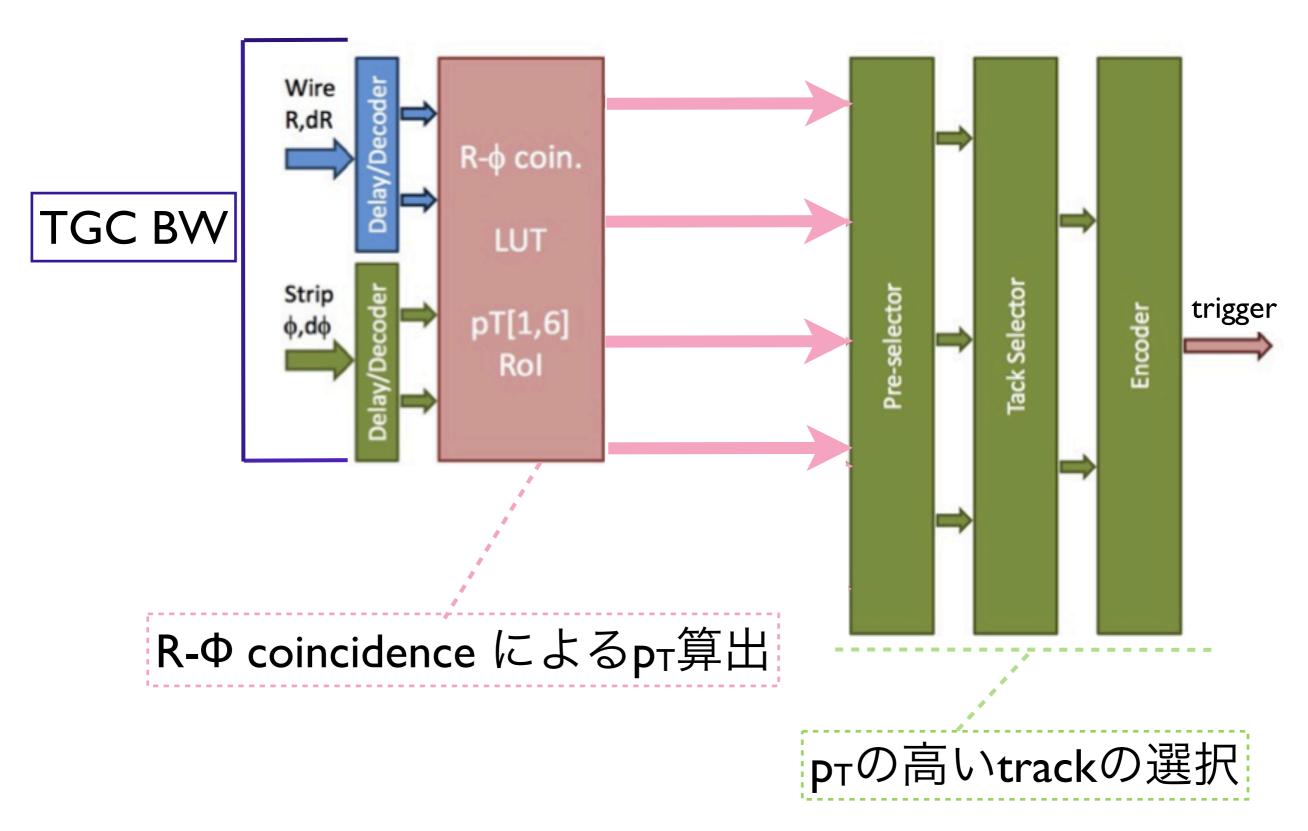
|η|>1.0で発行されたtriggerには
muon由来でないtrigger(Fake trigger)が多く含まれる



内側のSWにhitを要求することでFake trigger削減

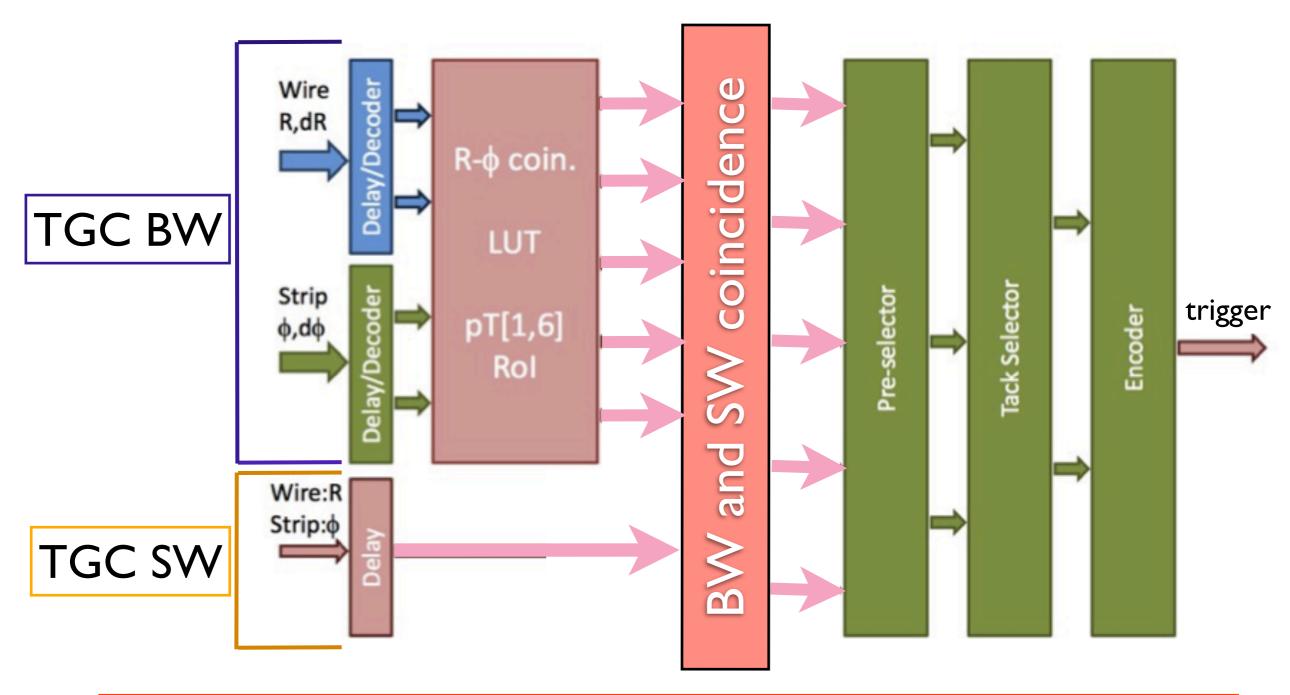


#### Data scheme in SL



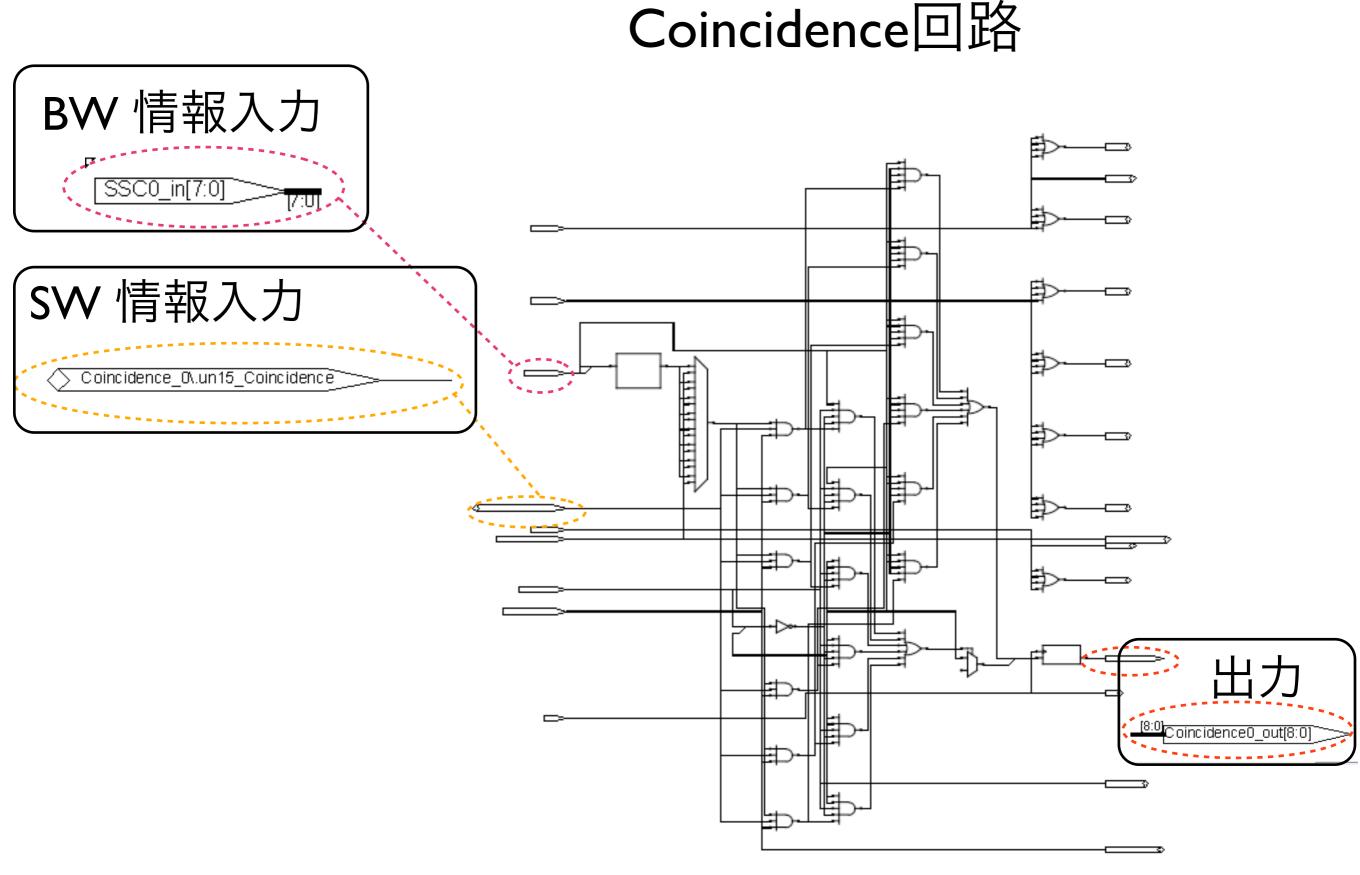


#### Data scheme in SL



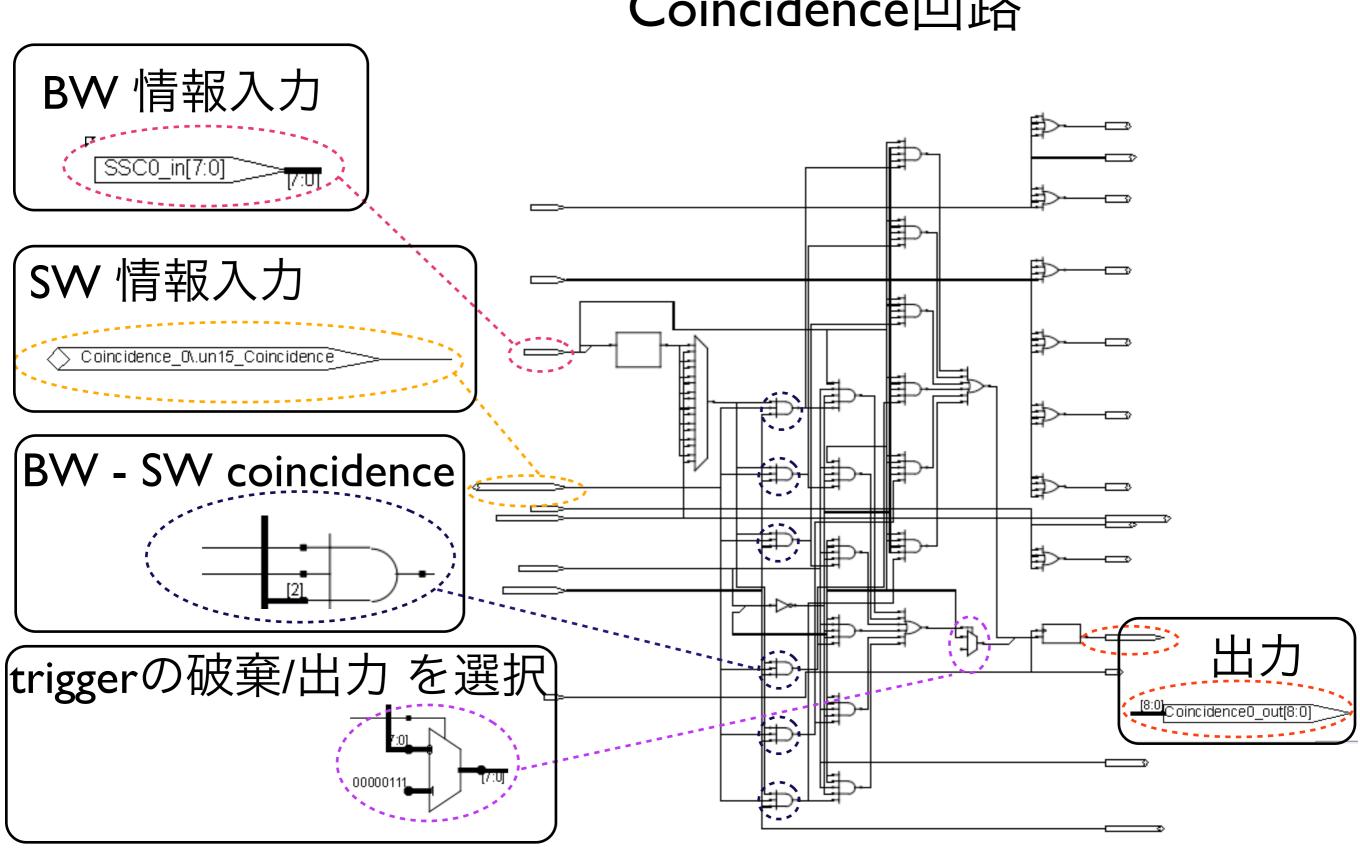
BW と SW のcoincidence を追加







#### Coincidence回路



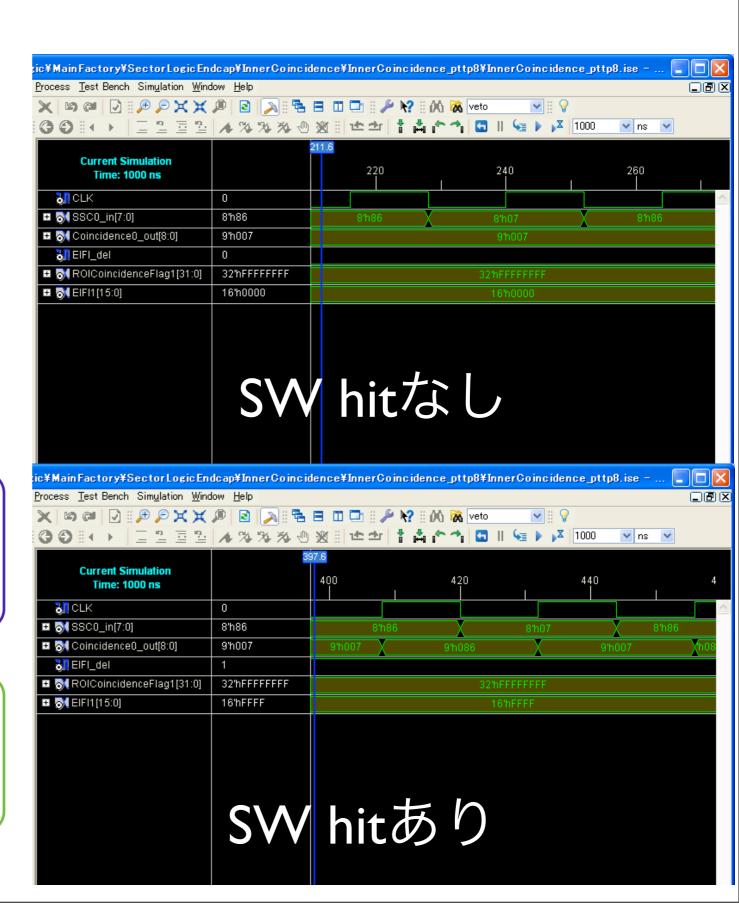


coincidence 機能のsimulation Xilinx社 ISE Suiteを使用

SW信号の有無による 出力の違いを確認

• SW信号なし LUTの情報が出力されない

SW信号あり LUTの情報が出力される



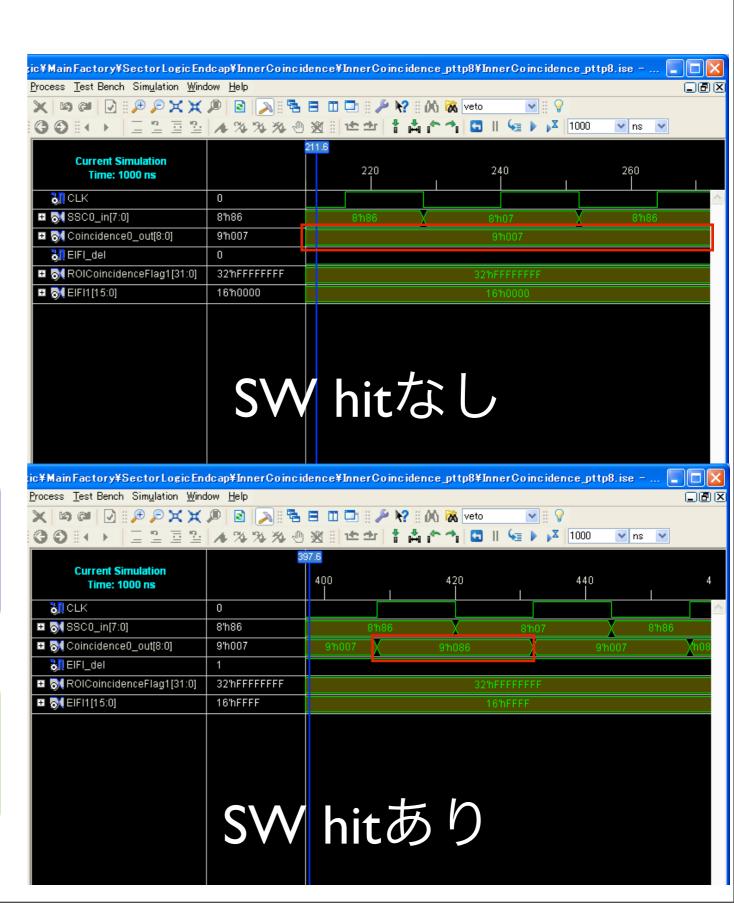


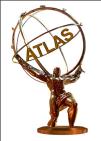
coincidence 機能のsimulation Xilinx社 ISE Suiteを使用

SW信号の有無による 出力の違いを確認

• SW信号なし LUTの情報が出力されない

SW信号あり LUTの情報が出力される





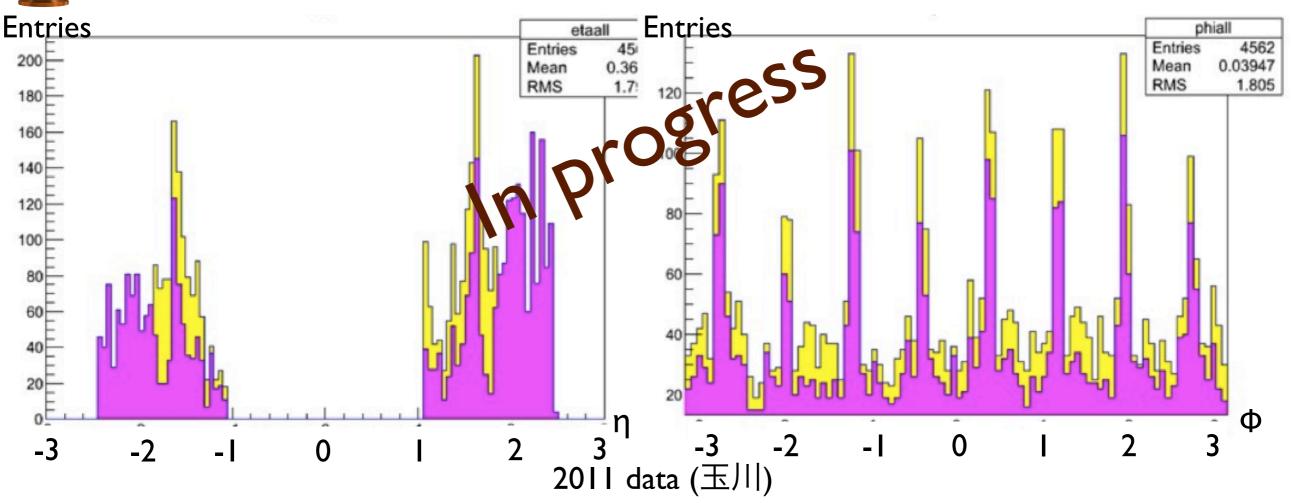
#### Monitoring mode

monitoring mode 要求SW hitが得られなかった場合、
triggerを落とさずIbitの情報だけを加える

- ATLAS全体に影響を与えない、 新SL firmwareの動作検証を可能にした
- 動作modeの選択はcontrol registerで行う
  - 動作選択用control registerを実装



#### Trigger rate reduction



黄:SW hit の要求がない場合のtrigger

紫:SW hit を要求した場合のtrigger

新SLの実装により、27%のtrigger削減が可能



#### Schedule

- 9/17~:LHC メンテナンス
  - 新firmwareを実装したSLを導入
  - 宇宙線測定
- メンテナンス後
  - 新firmwareを実装したSLでp-p runを測定
    - \* monitoring modeで運用
    - \*2013 まで
- LHC shutdown後
  - 新firmwareを実装したSLでp-p runを測定
    - \* SW hit要求を満たさないtriggerは落とす



#### Summary

- Phase-0 Upgradeに向け、新しいSector Logic firmwareの開発を行った
  - BWとSWのcoincidenceをとる回路の作成、実装
  - trigger を落とさないmonitoring modeの作成、実装

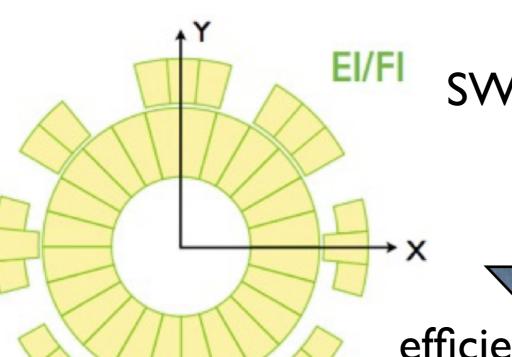
- 27% のtrigger rate 削減が可能
  - efficiencyを維持 Fake triggerだけを落とす

• 開発したfirmwareは9/17~ATLASの実機に導入される

# Back Up



#### BW - SW coincidence



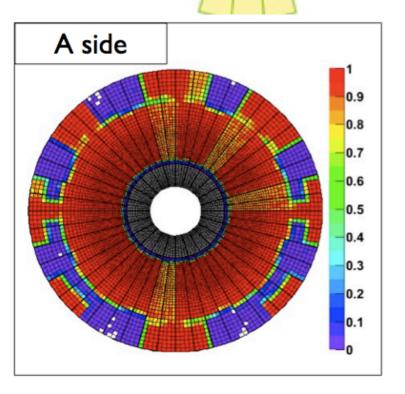
SW はBW全体を覆っていない

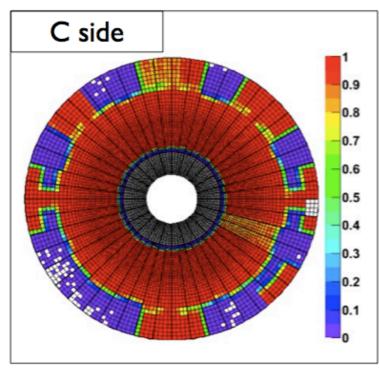
BW :  $\eta = 1.05 - 2.4$ 

FI :  $\eta = 1.3 - 1.9$ 

El: η = I - I.3 (Φ方向に欠けあり)

efficiencyを保てる領域でのみSW hitを要求





SW にhitのあったtrigger efficiency = trigger

SWに覆われない領域は efficiencyが落ちている

MC efficiency(神戸大学 谷)



#### Phase-0 Upgrade on SL

#### ·SLの入力を処理するFPGAのfirmwareをupgrade

- BWとSWのcoincidenceを追加
- control register追加

動作mode指定 SW hitを要求するPTを指定 SW hitを要求するROIを指定

	Scaler(chip13)after veto	ScalerInChip5_AftVeto	0x190	32	
	AllowContSignal	_AllowContSignal_	0 <u>x194</u>	1	
1	CoincidenceFlag	CoincidenceFlag	0x198	1	1
•	PTCoincidence	PTCoincidence	0x19c	8	
	ROICoincidence0	ROICoincidence0	0x1a0	32	
	ROICoincidence1	ROICoincidence1	0x1a4	32	
I	ROICoincidence2	ROICoincidence2	0x1a8	32	
ï	ROICoincidence3	ROICoincidence3	0x1ac	32	
Ţ	ROICoincidence4	ROICoincidence4	0x1b0	32	
	±UT∀ersion-0=	Eutid	0x1c0	32	
	LUT Version 1	LutPtHigh	0x1c4	32	
	LUT Version 2	LutPtLow	0.100	22	

新register表のI部

- triggerに出力情報追加 (要求されたSW hitが満たされたかどうか)
  - → debugに使用