

ATLAS実験における 高速トラッキングトリガーシステムの開発

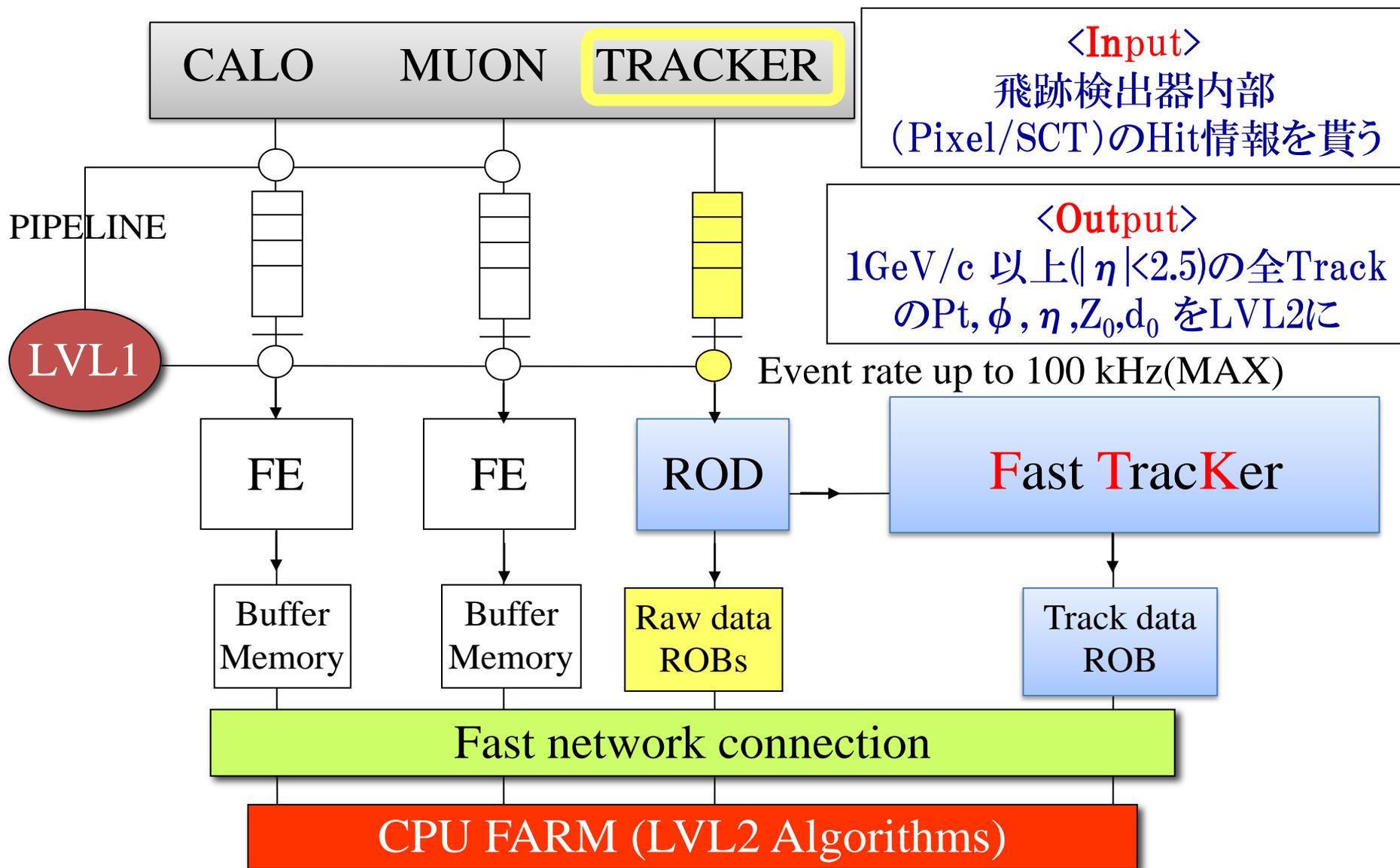


千葉英誉, 飯澤知弥, 大矢章晴
鎌塚翔平, 木村直樹, 寄田浩平
早稲田大学
他ATLAS FTK Group

日本物理学会 2011年 秋季大会

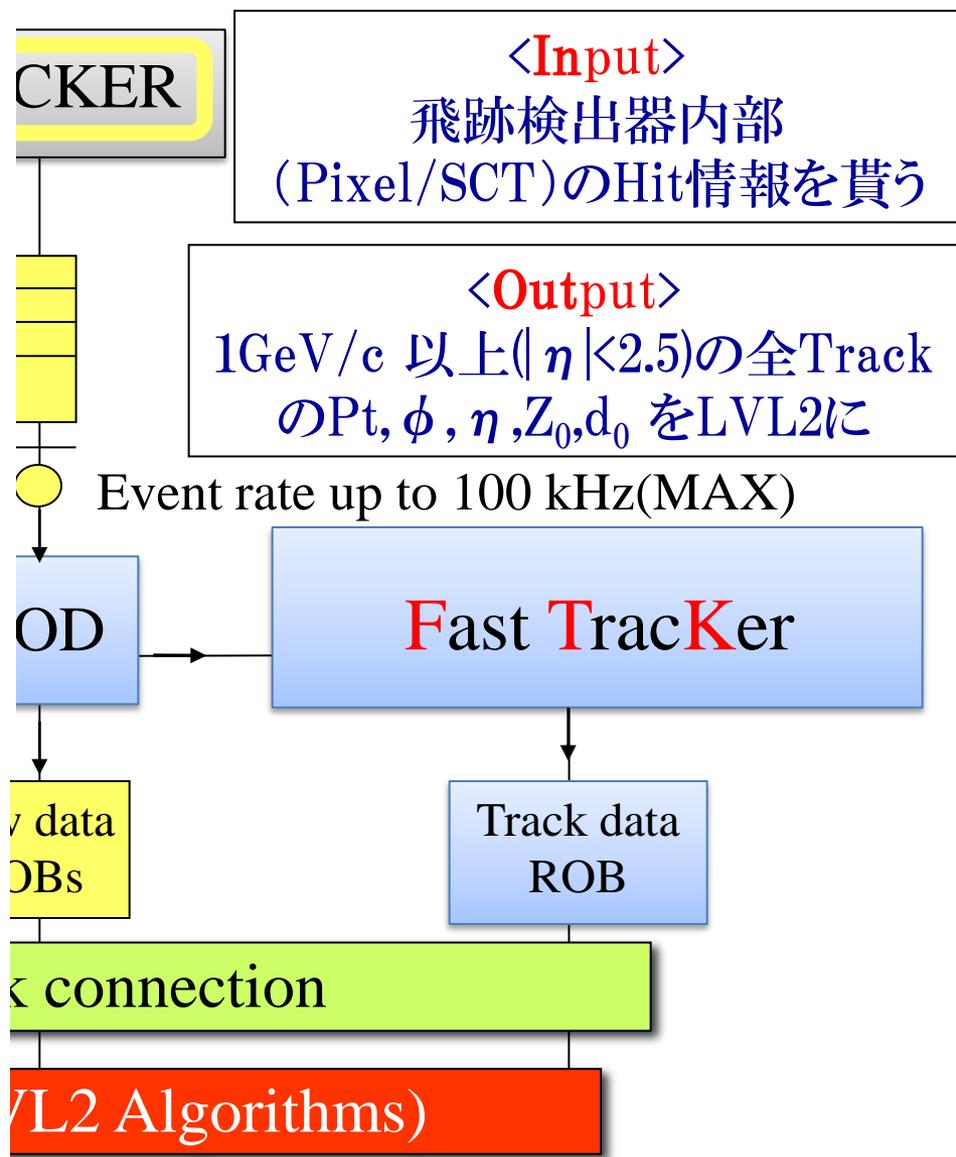
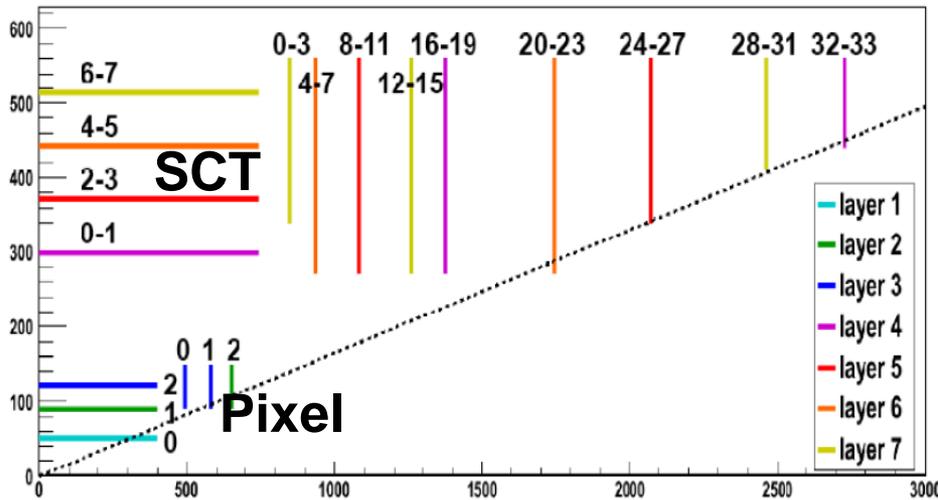
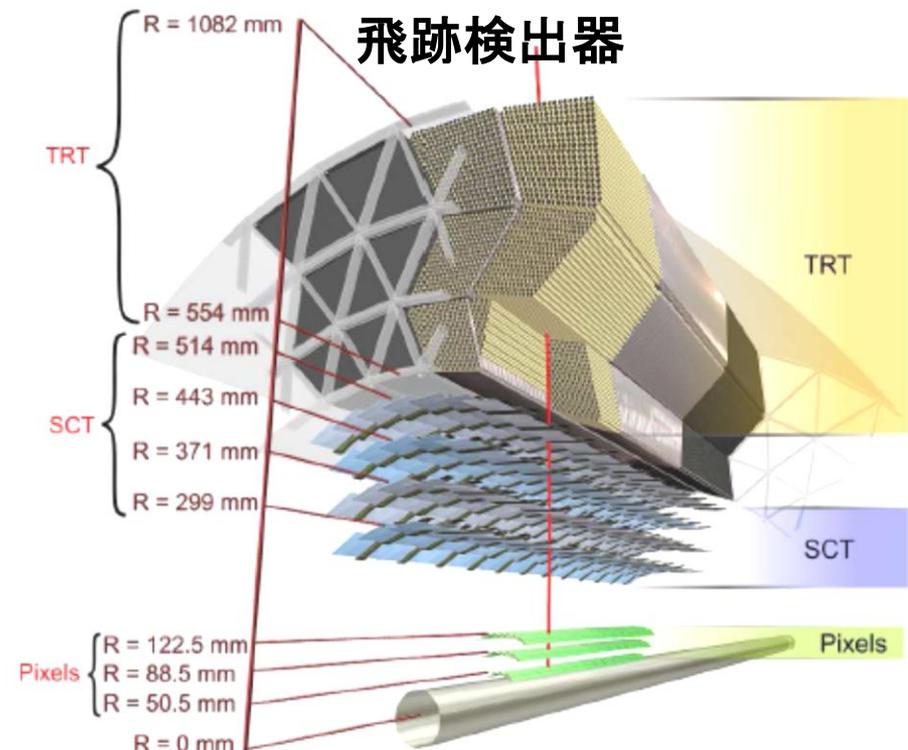
9月16日 弘前大学文京町キャンパス 16aSH-6

ATLAS Trigger System & Fast Tracker System (FTK)



➤ 全Track情報をLVL1直後(数十 μ sec)に、LVL2に提供することが可能。

ATLAS Trigger System & Fast Tracker System (FTK)



に、LVL2に提供することが可能。

FTKの目的

LHC -> Design Luminosity $3 \times 10^{34} [\text{cm}^{-2} \cdot \text{s}^{-1}]$ (現在 Peak $L = 2.7 \times 10^{33} [\text{cm}^{-2} \cdot \text{s}^{-1}]$)
-> Pileup : average 23 -> Trigger が重要!!

FTK導入により期待される効果

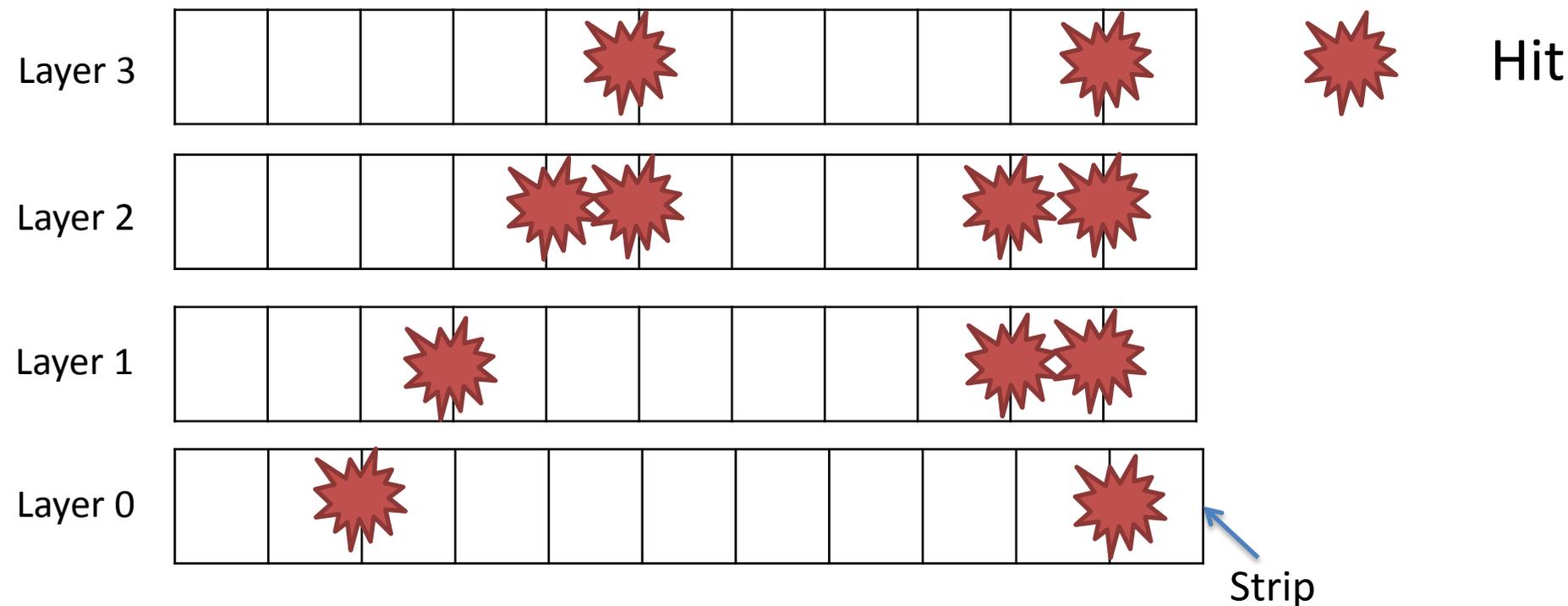
➤ Track情報の使用

- ・LVL2でTrackingする必要性がなくなる。
 - > より洗練されたAlgorithmがLVL2で使用可能
- ・全Track情報を用いることができるので
事象再構成の質が向上 (Online Vertexing)
- ・粒子同定の質を向上 (特にbジェット, τ)
 - > 物理解析の実行性を向上させる

➤ 高ルミノシティでも安定したTriggerオペレーション

➤ SLHCへのフィードバック(!?)

FTKの動作概念



Pattern Recognition

✓ Roadを見つける

⇒大容量Associative Memory Chip

にあらかじめ記憶

(約20M パターン/Region)

Track Fit

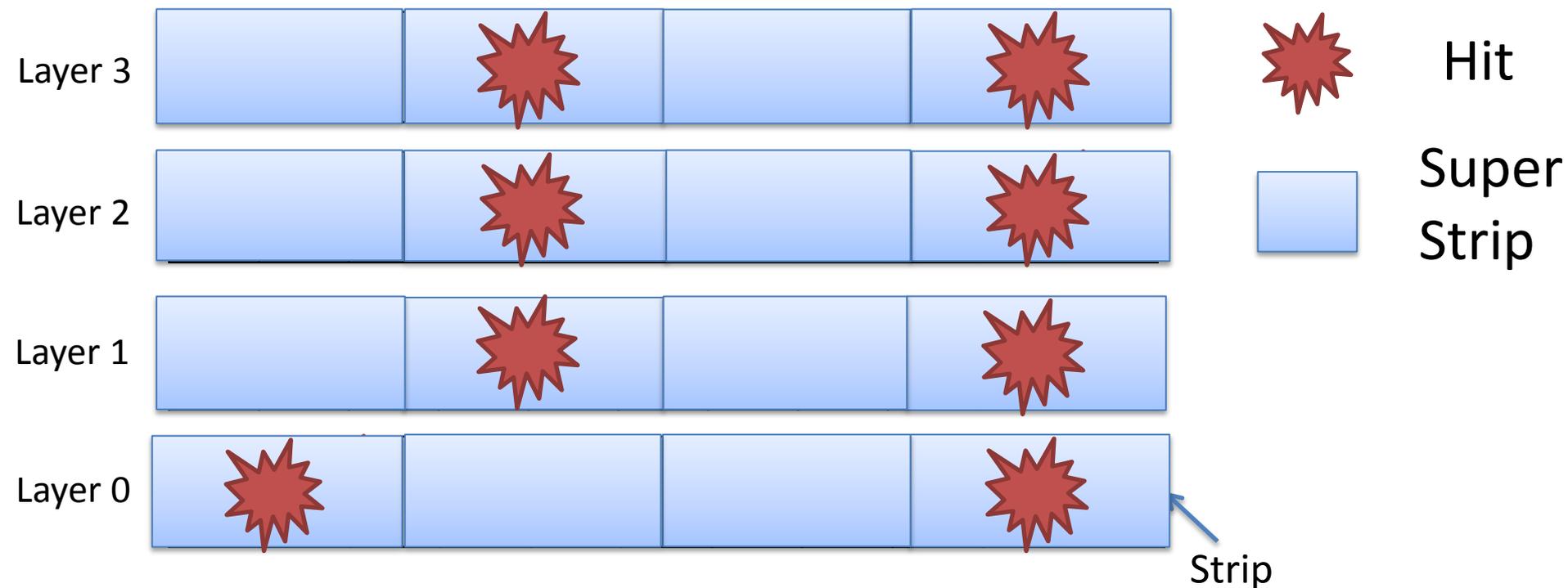
✓ Trackを算出する

⇒1パターンごとにFit Constantを記憶

$$\tilde{p}_i = \sum_{l=1}^N C_{il} x_l + q_i$$

5 helix parameters
 $\tilde{p}_i = d_0, \eta, \phi, P_t, z_0$
3

FTKの動作概念



Pattern Recognition

✓ Roadを見つける

⇒大容量Associative Memory Chip

にあらかじめ記憶

(約20M パターン/Region)

Track Fit

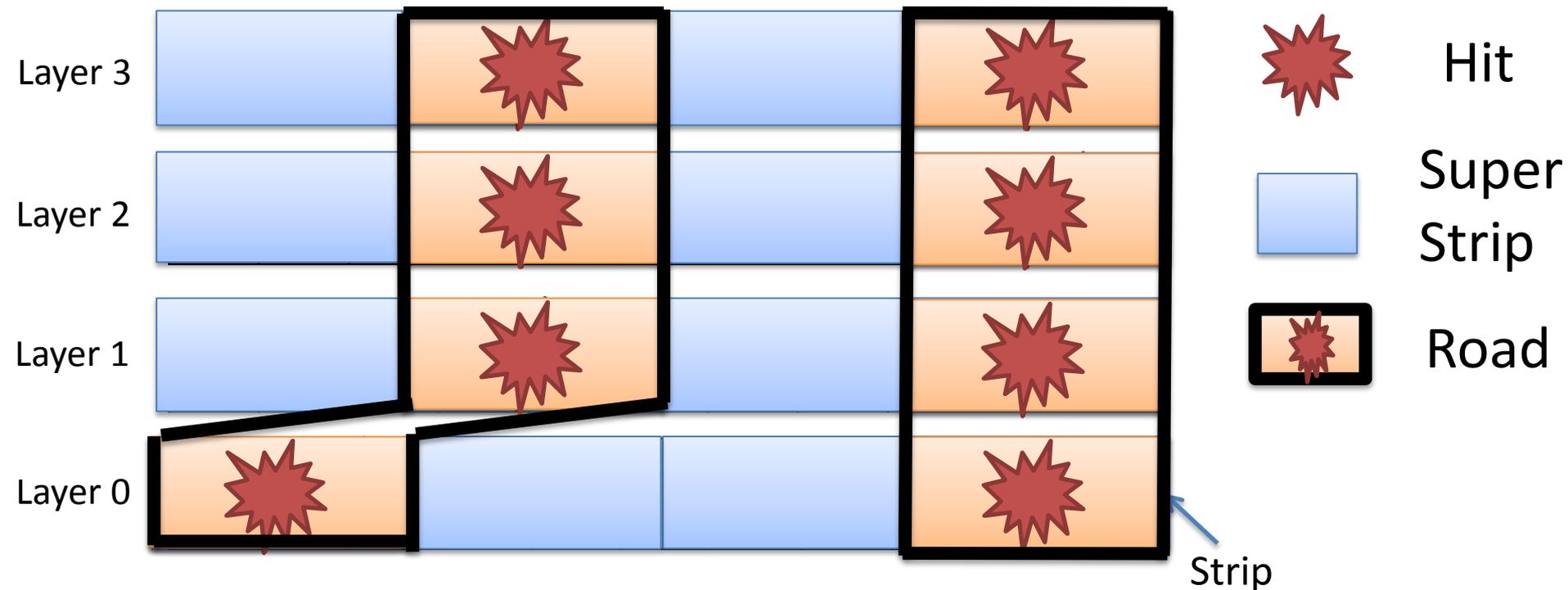
✓ Trackを算出する

⇒1パターンごとにFit Constantを記憶

$$\tilde{p}_i = \sum_{l=1}^N C_{il} x_l + q_i$$

5 helix parameters
 $\tilde{p}_i = d_0, \eta, \phi, P_t, z_0$
3

FTKの動作概念



Pattern Recognition

✓ Roadを見つける

⇒大容量Associative Memory Chip

にあらかじめ記憶

(約20M パターン/Region)

Track Fit

✓ Trackを算出する

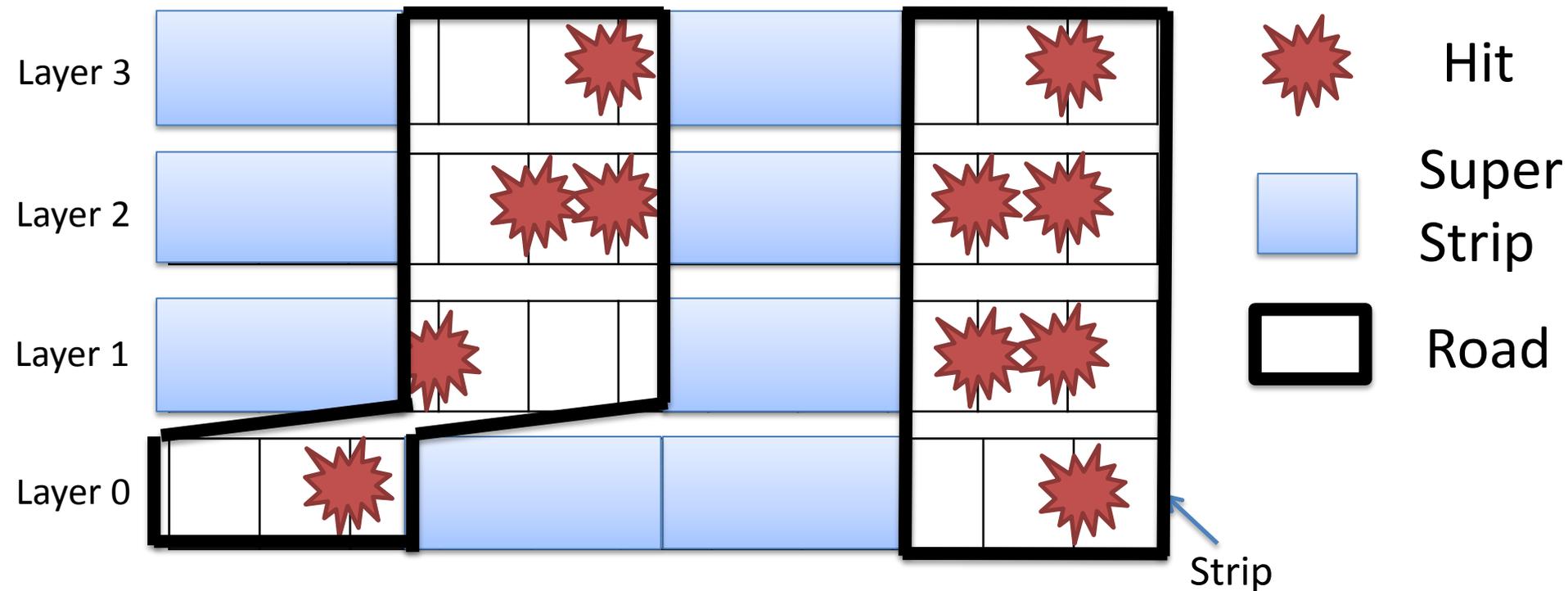
⇒1パターンごとにFit Constantを記憶

$$\tilde{p}_i = \sum_{l=1}^N C_{il} x_l + q_i$$

5 helix parameters
 $\tilde{p}_i = d_0, \eta, \phi, P_t, z_0$

3

FTKの動作概念



Pattern Recognition

✓ Roadを見つける

⇒大容量Associative Memory Chip

にあらかじめ記憶

(約20M パターン/Region)

Track Fit

✓ Trackを算出する

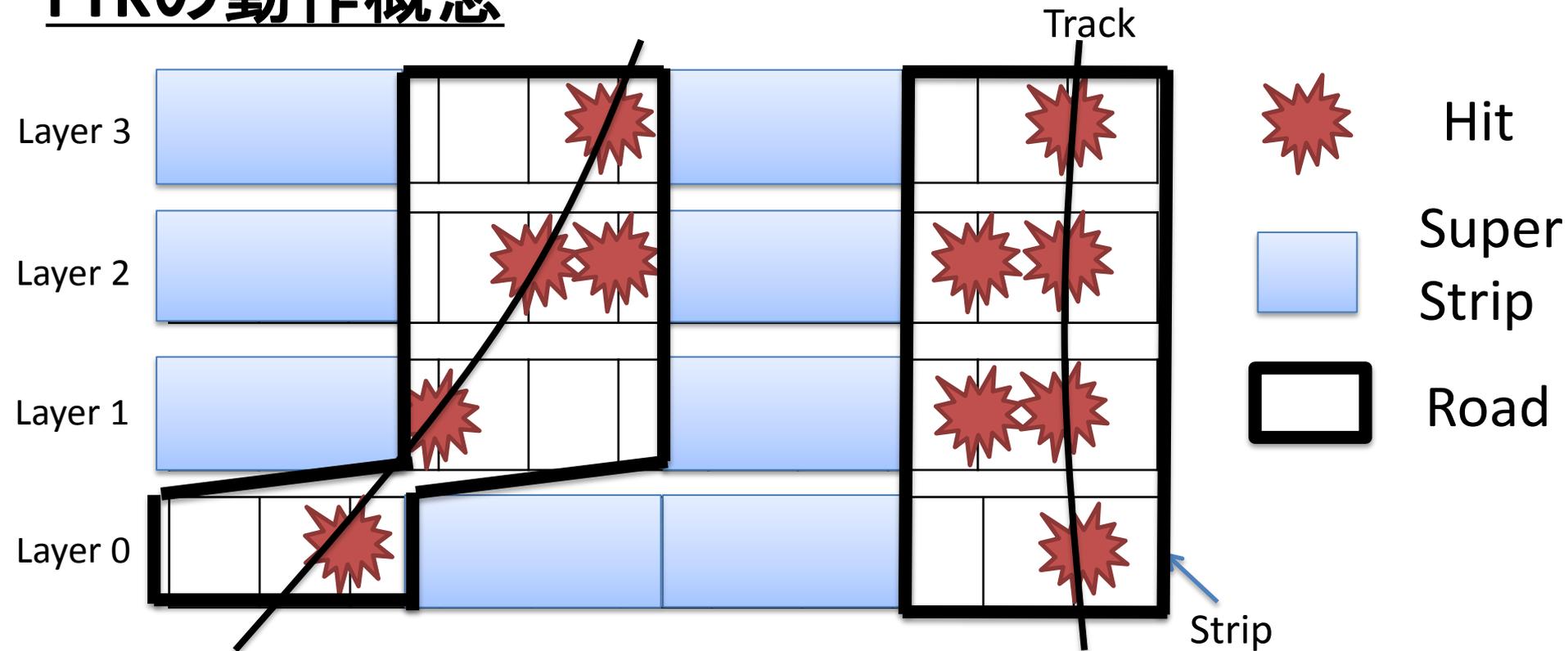
⇒1パターンごとにFit Constantを記憶

$$\tilde{p}_i = \sum_{l=1}^N C_{il} x_l + q_i$$

5 helix parameters
 $\tilde{p}_i = d_0, \eta, \phi, P_t, z_0$

3

FTKの動作概念



Pattern Recognition

✓ Roadを見つける

⇒大容量Associative Memory Chip

にあらかじめ記憶

(約20M パターン/Region)

Track Fit

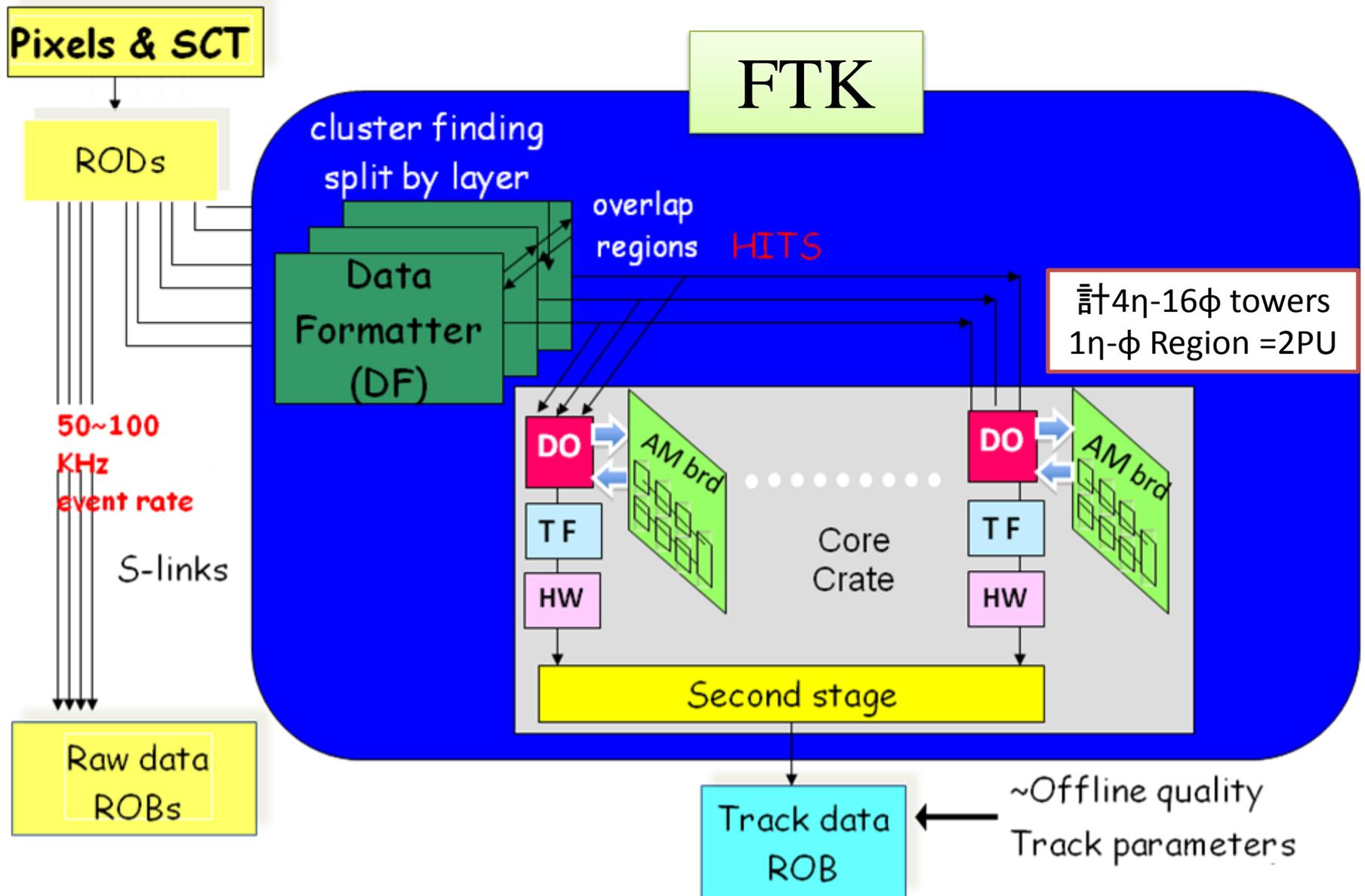
✓ Trackを算出する

⇒1パターンごとにFit Constantを記憶

$$\tilde{p}_i = \sum_{l=1}^N C_{il} x_l + q_i$$

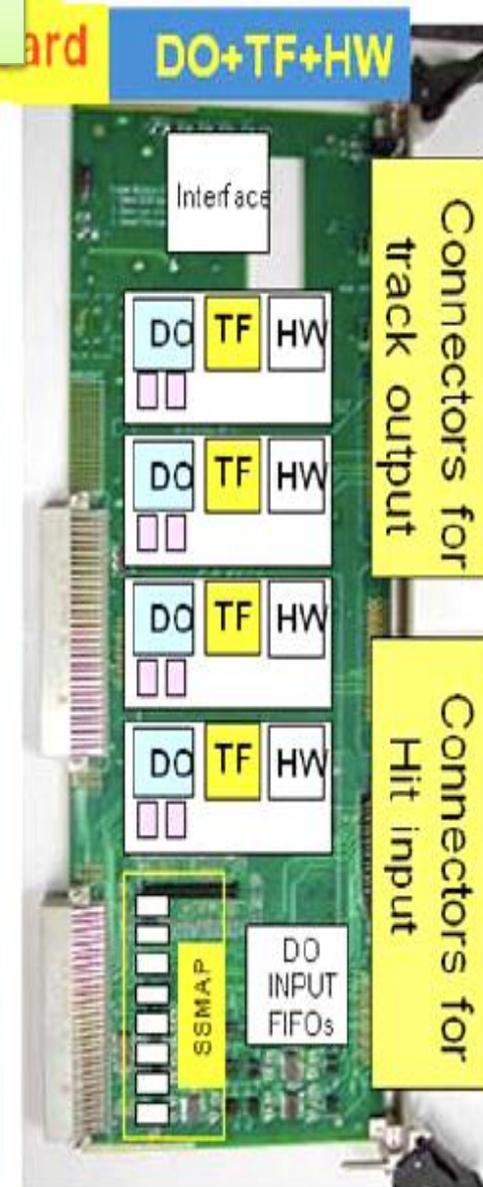
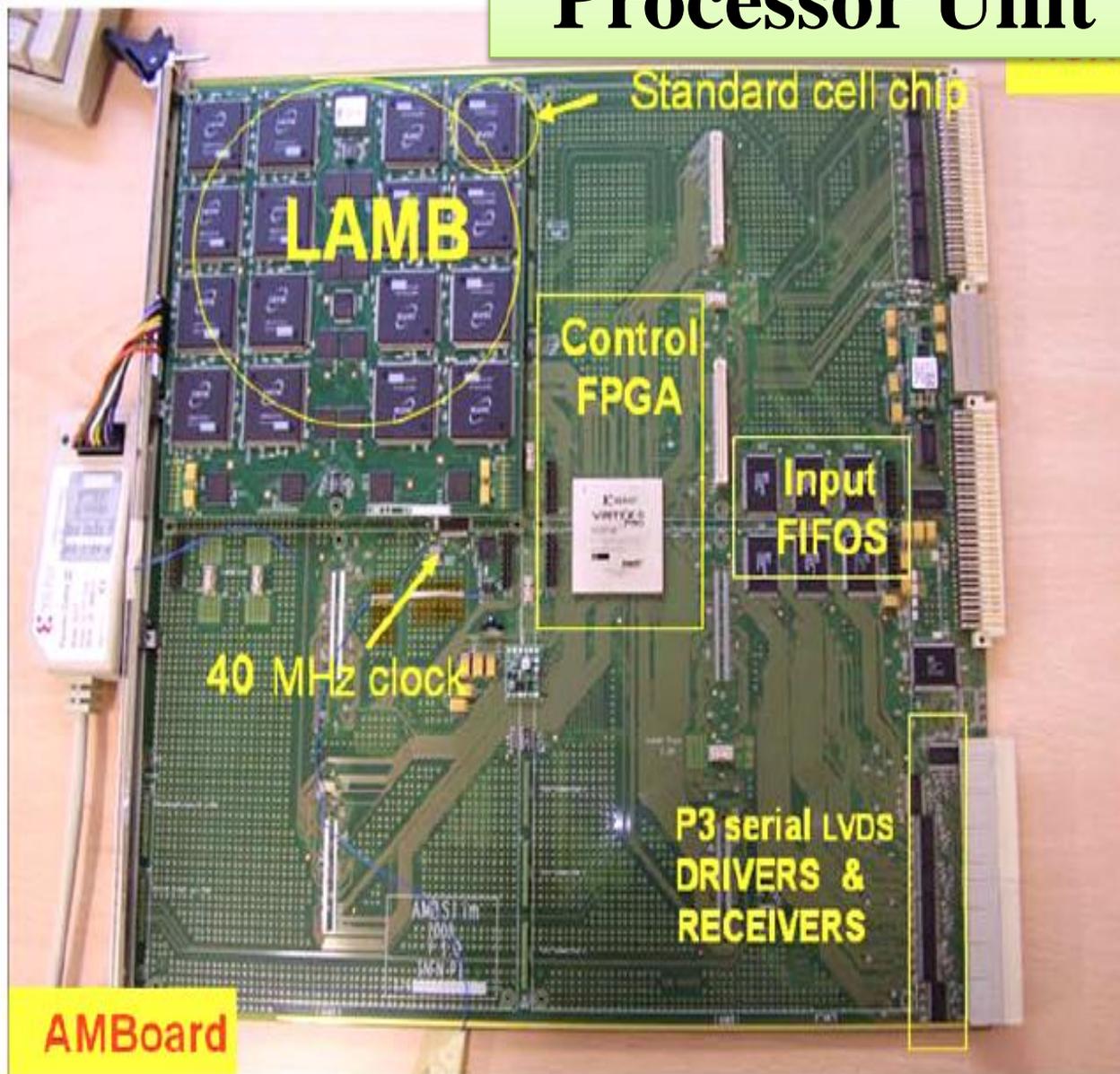
5 helix parameters
 $\tilde{p}_i = d_0, \eta, \phi, P_t, z_0$

FTKシステム



FTKシステム

Processor Unit

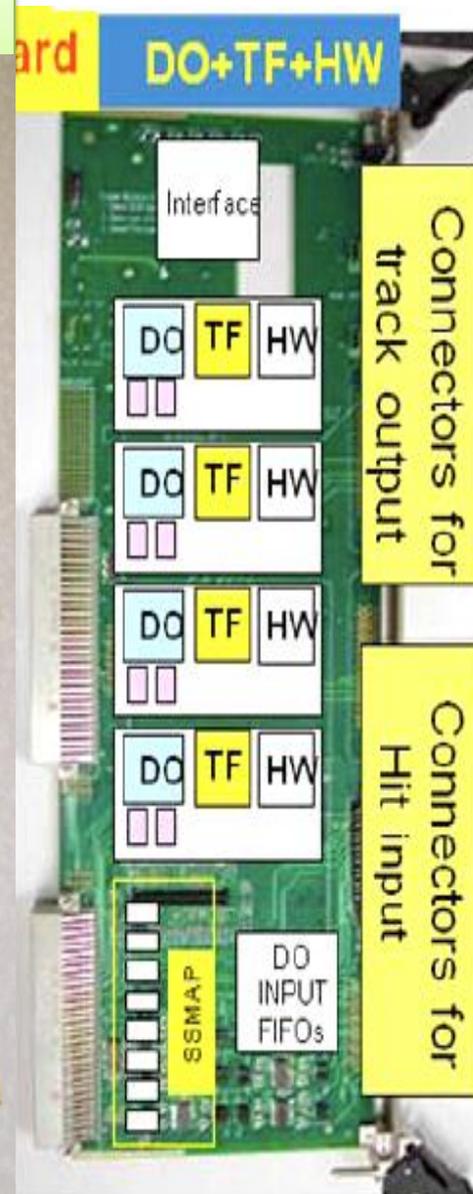


FTKシステム

Processor Unit



【完成イメージ】



Simulation Study

より現実的に状況を考えシミュレーションする

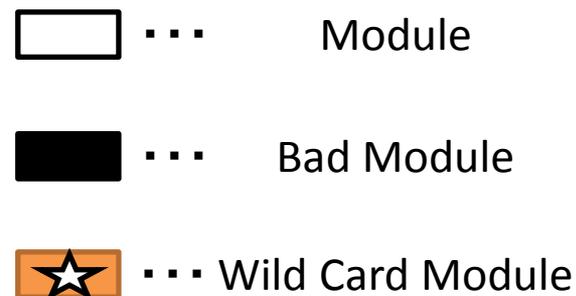
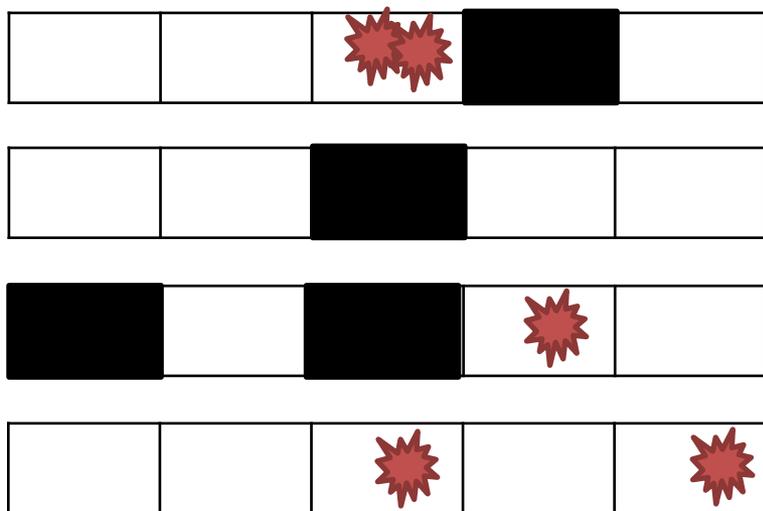
- Bad ModuleによるFTKへの影響
 - ✓ Trackを算出できなくなる ⇒ 再構成するEfficiencyが下がる

対策

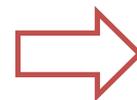


Wild Card アルゴリズム

… Bad ModuleをHitが常にあるModuleとあらかじめ記憶(下図)



- 1.現状のBad Moduleに対し、Wild CardアルゴリズムでPattern Recognitionにどのような影響が起きるか？
- 2.Bad Moduleが増加した場合では？
 - ◆ Wild Cardの適応数は？
 - ◆ Roadの数が増加？
 - Pattern Recognitionの処理時間が増加？



シミュレーションで
評価・検討

Simulation Study

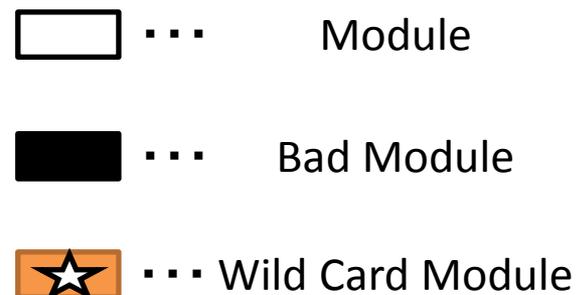
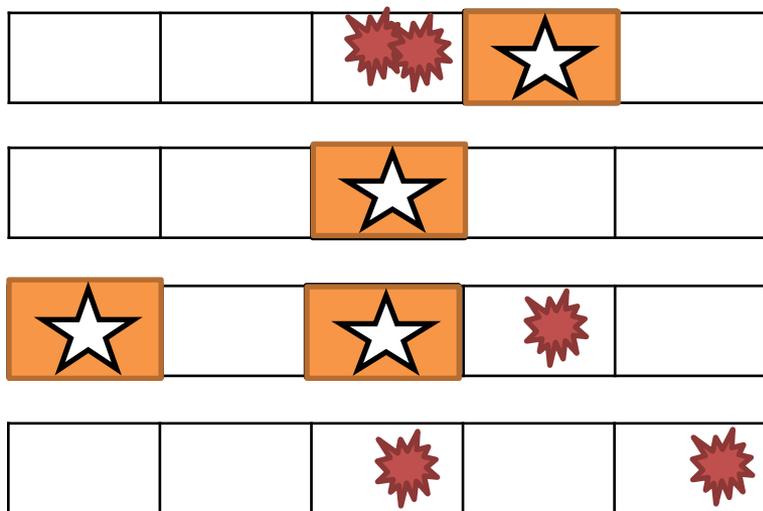
より現実的に状況を考えシミュレーションする

- Bad ModuleによるFTKへの影響
 - ✓ Trackを算出できなくなる ⇒ 再構成するEfficiencyが下がる

対策

Wild Card アルゴリズム

… Bad ModuleをHitが常にあるModuleとあらかじめ記憶(下図)

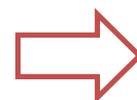


1.現状のBad Moduleに対し、Wild CardアルゴリズムでPattern Recognitionにどのような影響が起きるか？

2.Bad Moduleが増加した場合では？

- ◆ Wild Cardの適応数は？
- ◆ Roadの数が増加？

— Pattern Recognitionの処理時間が増加？



シミュレーションで
評価・検討

Simulation Study

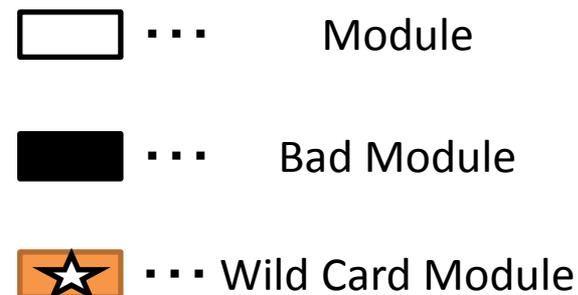
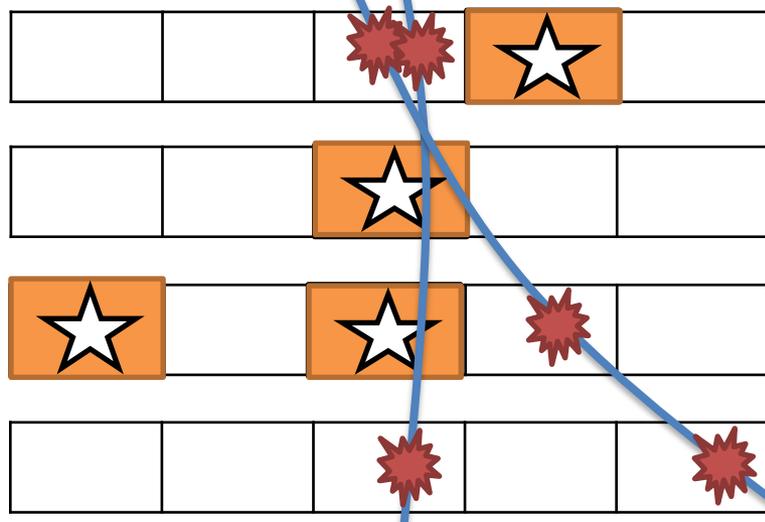
より現実的に状況を考えシミュレーションする

- Bad ModuleによるFTKへの影響
 - ✓ Trackを算出できなくなる ⇒ 再構成するEfficiencyが下がる

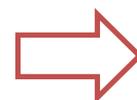
対策

Wild Card アルゴリズム

… Bad ModuleをHitが常にあるModuleとあらかじめ記憶(下図)



- 1.現状のBad Moduleに対し、Wild CardアルゴリズムでPattern Recognitionにどのような影響が起きるか？
- 2.Bad Moduleが増加した場合では？
 - ◆ Wild Cardの適応数は？
 - ◆ Roadの数が増加？
 - Pattern Recognitionの処理時間が増加？



シミュレーションで
評価・検討

Simulation Study

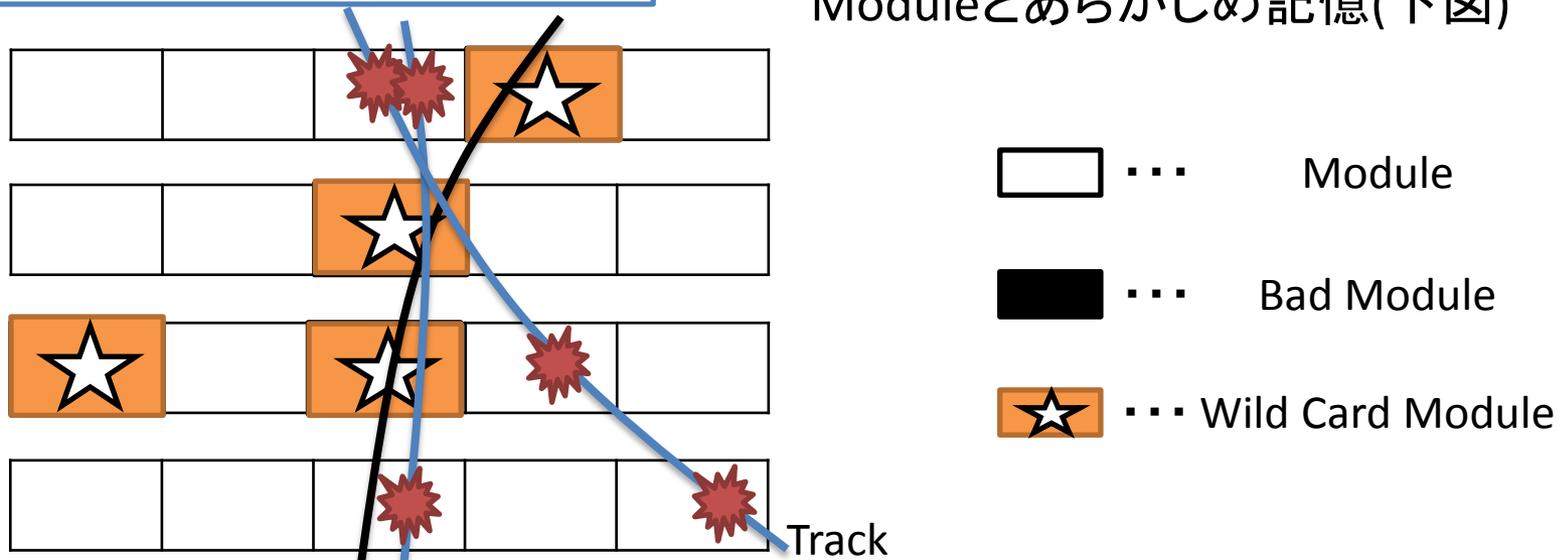
より現実的に状況を考えシミュレーションする

- Bad ModuleによるFTKへの影響
 - ✓ Trackを算出できなくなる ⇒ 再構成するEfficiencyが下がる

対策

Wild Card アルゴリズム

… Bad ModuleをHitが常にあるModuleとあらかじめ記憶(下図)



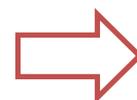
1.現状のBad Moduleに対し、Wild CardアルゴリズムでPattern Recognitionにどのような影響が起きるか？

2.Bad Moduleが増加した場合では？

◆ Wild Cardの適応数は？

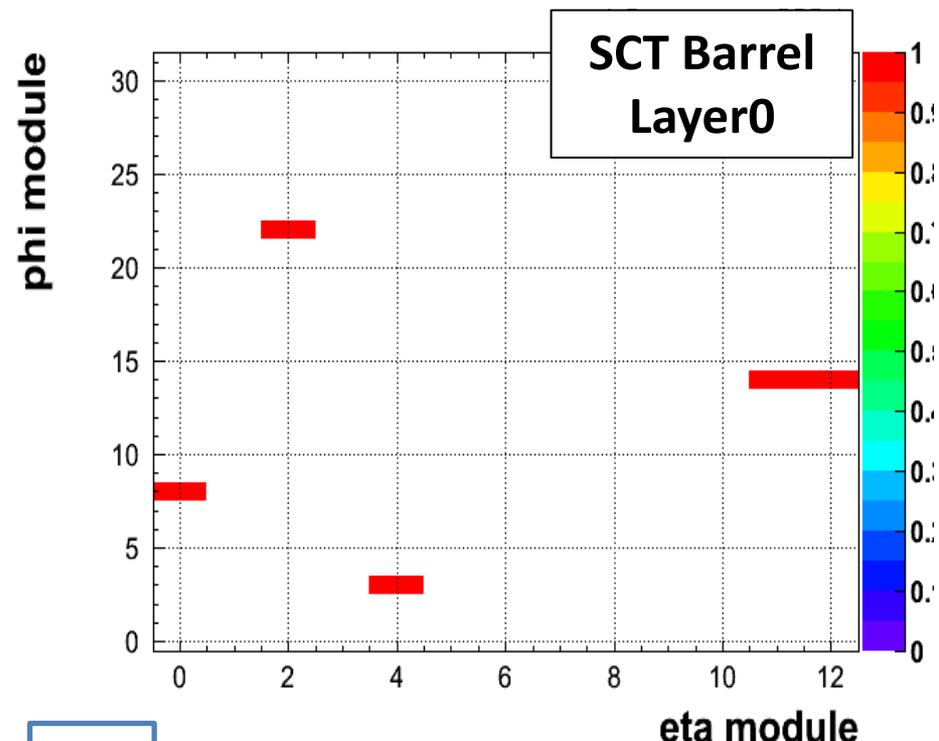
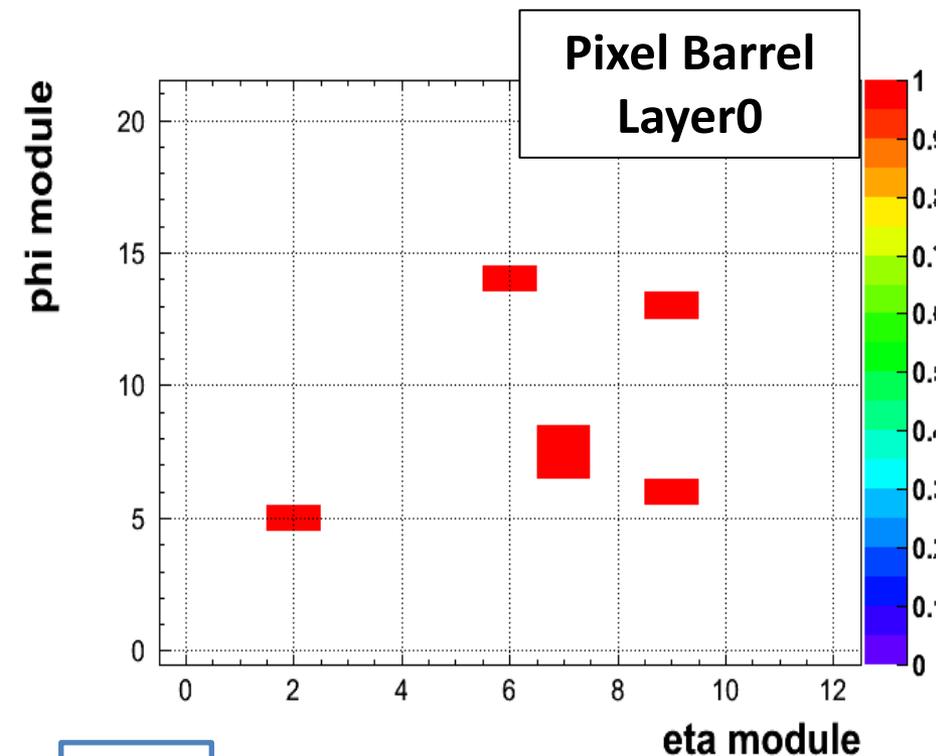
◆ Roadの数が増加？

— Pattern Recognitionの処理時間が増加？



シミュレーションで
評価・検討

Bad Module分布



Pixel

Bad Module率(Barrel)
各Layer 数%

SCT

Bad Module率(Barrel)
各Layer 1%以下

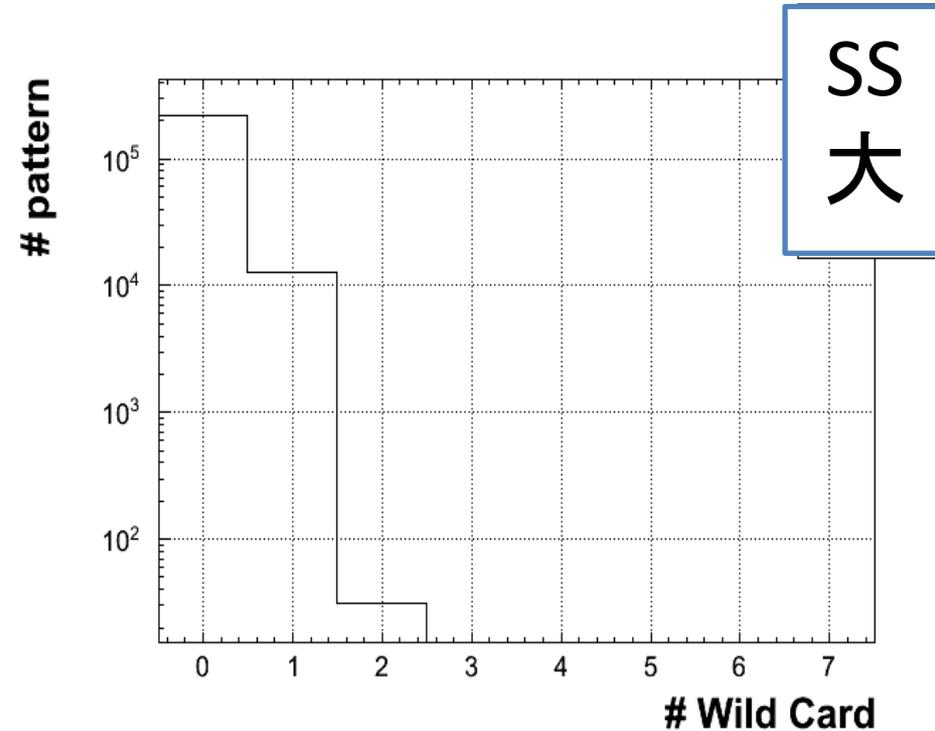
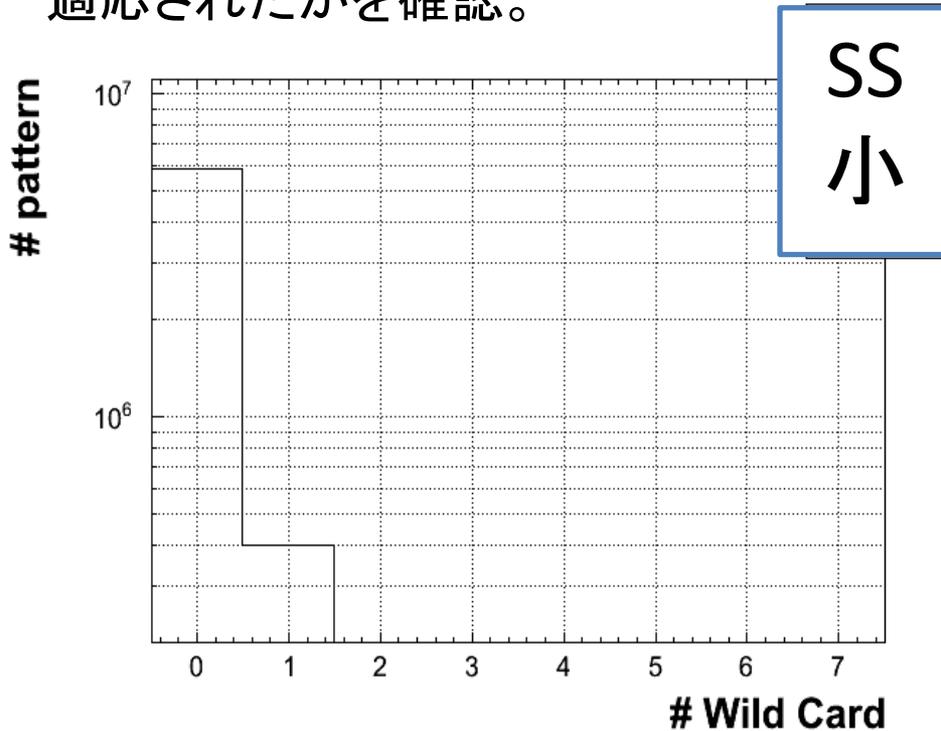
全Pixel+SCT Module : 全体のうち約1.1%がBad Module

現在のBad Module分布を使用してシミュレーションを行う。

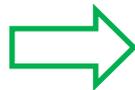
Wild Cardの個数

Super Strip	Pixel 縦	Pixel 横	SCT Strip
SS 小	24 μ m	36 μ m	1600 μ m
SS 大	50 μ m	144 μ m	5120 μ m

- 1つのパターンに対して適応された WildCardの数を確認
即ち,1Track辺りに何回Wild Cardが適応されたかを確認。



- ✓ 最大個数=2個
- ✓ 平均個数がほぼ0



現状のBad Module分布ではWild Card アルゴリズムを適応しても、然程大きな変化は見られない。

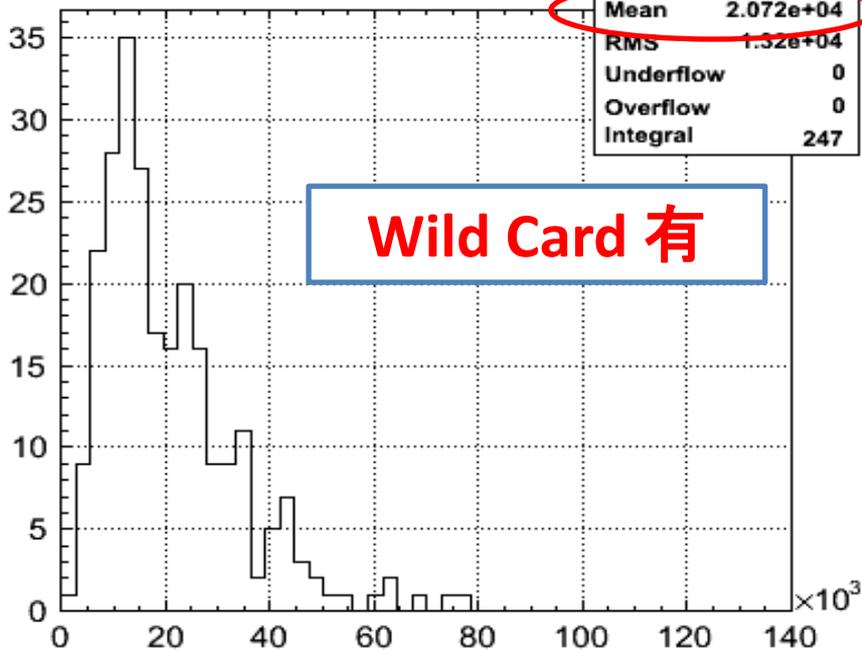
Roadの数

➤ WildCardの有無でRoadの数が変化するかの確認

WHbb L=3x10³⁴

#Road_BadModule_plus0	
Entries	247
Mean	2.072e+04
RMS	1.32e+04
Underflow	0
Overflow	0
Integral	247

Number of Event



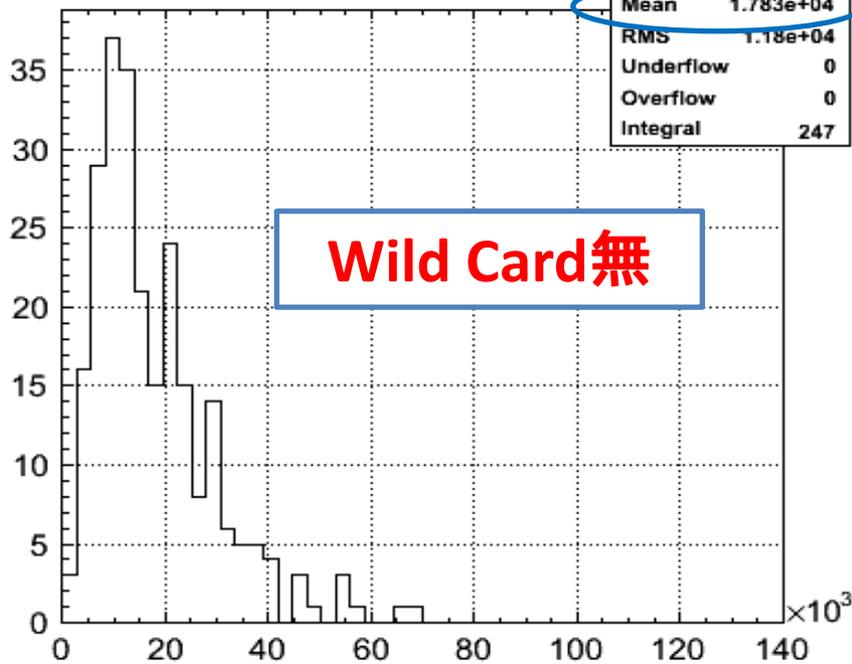
Wild Card 有

Number of road

WHbb L=3x10³⁴

#Road_0_BadModule	
Entries	247
Mean	1.783e+04
RMS	1.18e+04
Underflow	0
Overflow	0
Integral	247

Number of Event



Wild Card 無

Number of road

WHbb L=3x10 ³⁴	Wild Card 有	Wild Card 無
#Road Mean	2.07x10 ⁴	1.78x10 ⁴

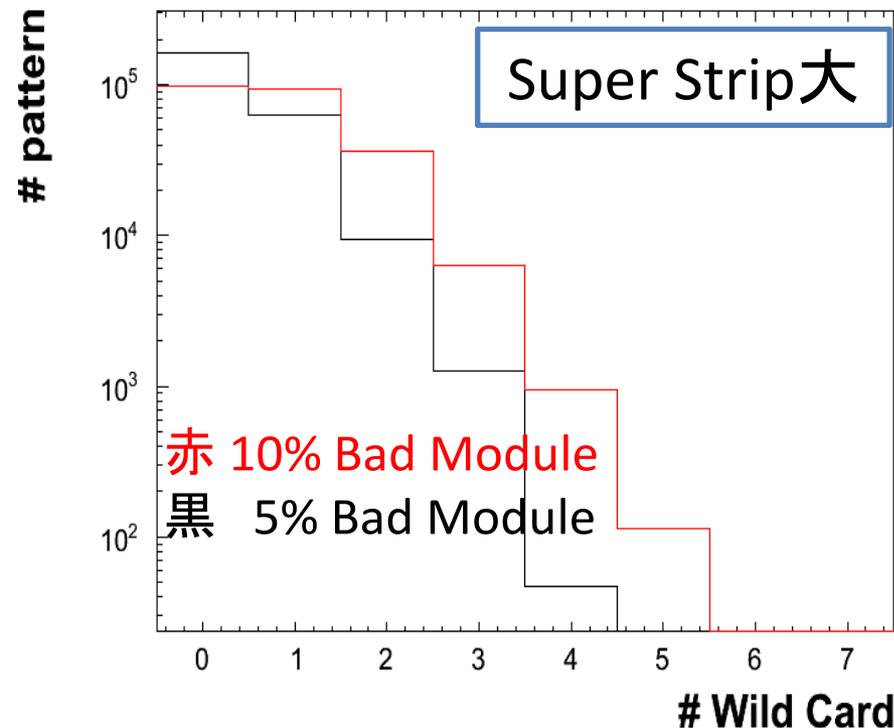
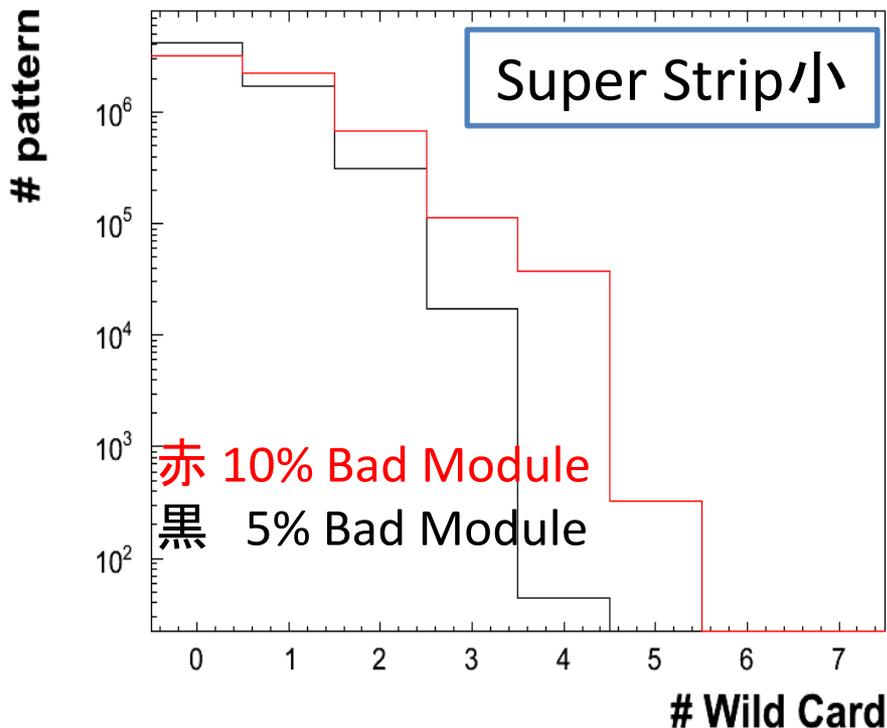


Bad Moduleに対しWild Cardを適応しても、Roadの数は10%程度の増加で然程変化は大きくはない。

Bad Moduleを増加させた時のWild Cardの個数

- 内部飛跡検出器全体の5%,10%がランダムにBad Moduleとなった時のWild Cardの個数を見た。

Super Strip	Pixel 縦	Pixel 横	SCT Strip
SS 小	24 μ m	36 μ m	1600 μ m
SS 大	50 μ m	144 μ m	5120 μ m



4~5個のWild Cardの存在



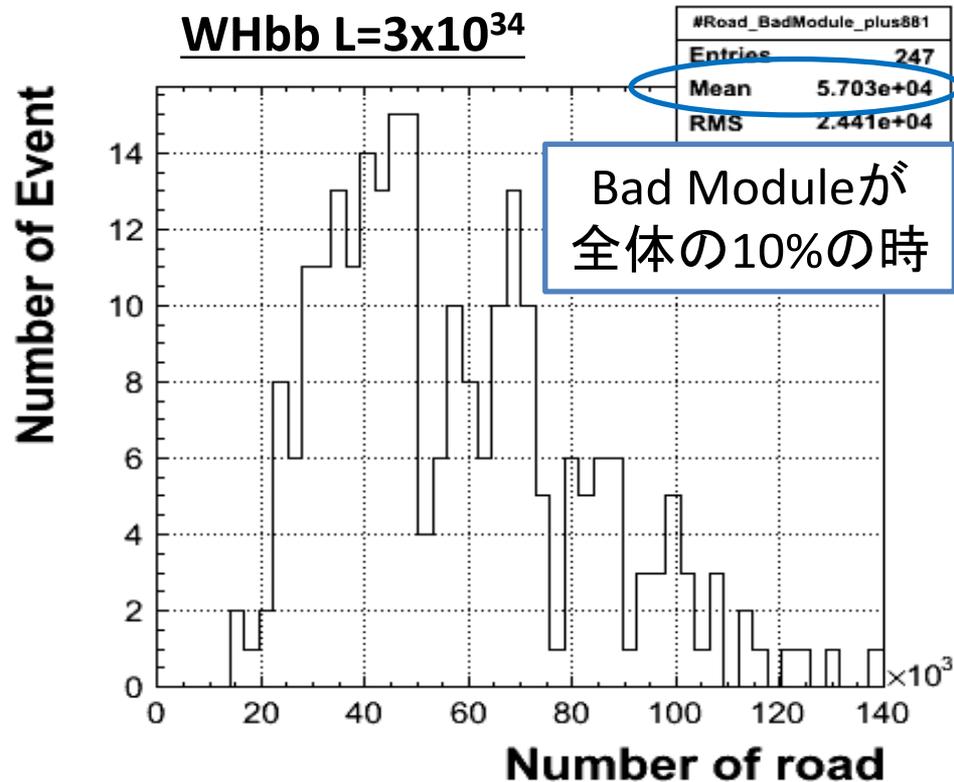
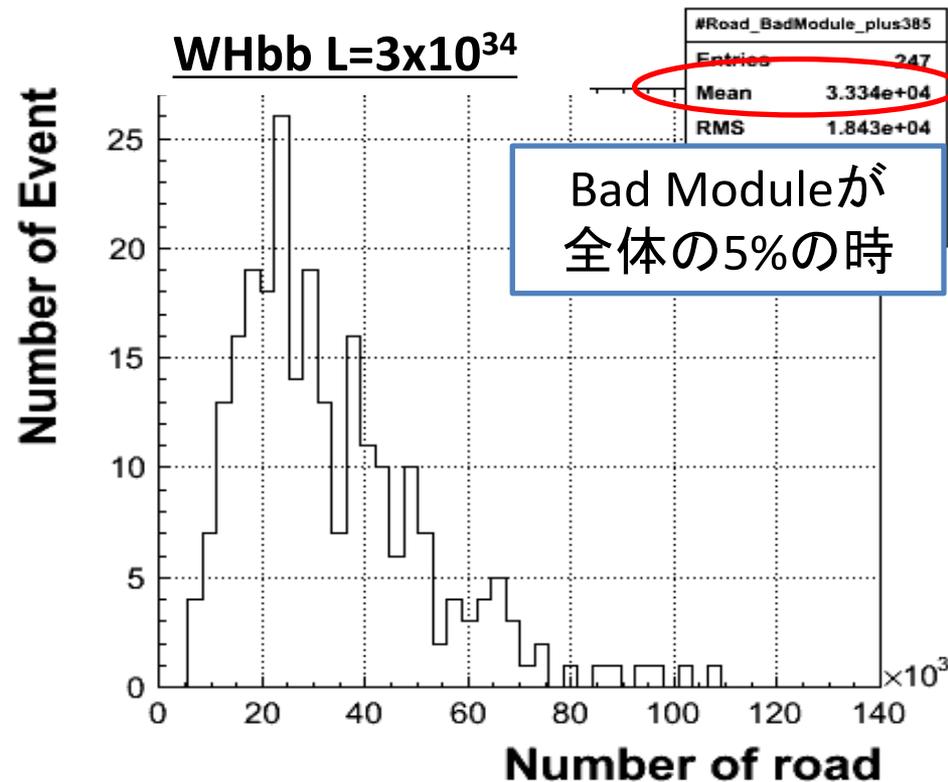
このパターンになるTrackは使わない。
(OfflineでもこのTrackは存在できない)

1~3個のWild Cardの増加



Trackの分解能、再構成効率、処理時間との兼ね合いを見る必要がある。

Bad Moduleを増加させた時のRoadの数



WHbb L=3x10 ³⁴	Bad Module全体の5%	Bad Module 全体の10%
Roadの平均数	3.33x10 ⁴	5.70x10 ⁴

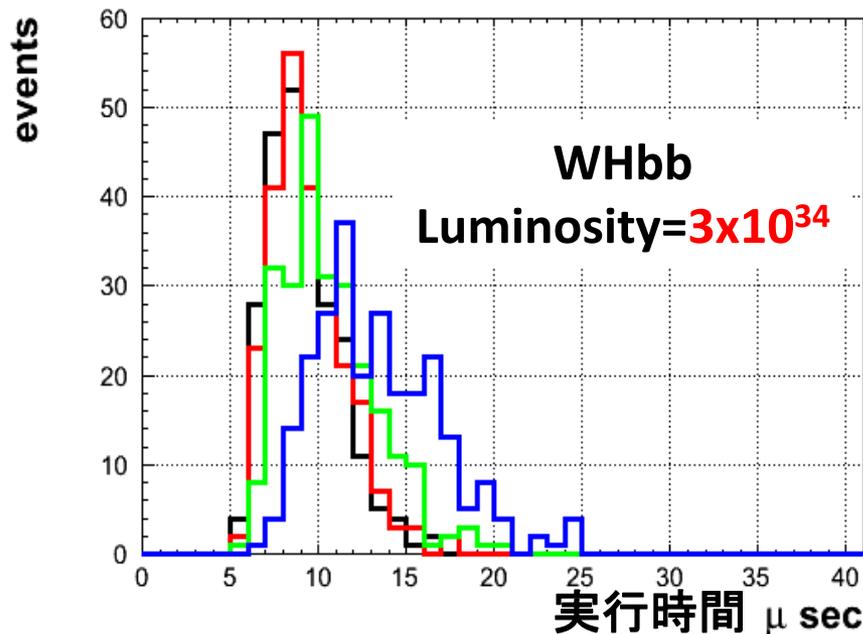
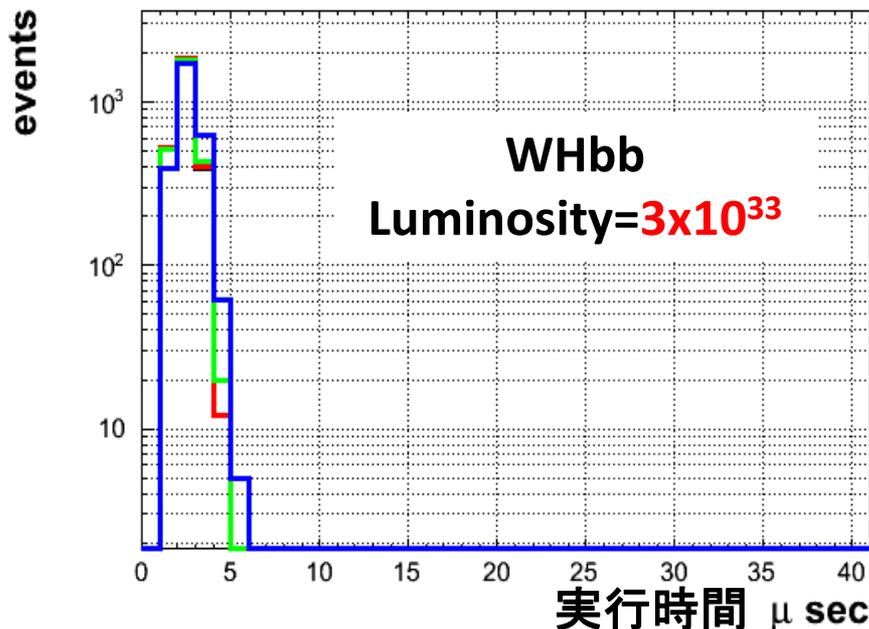
※現状(1.1%)のBad ModuleにおけるRoad平均数: 2.07x10⁴

→ Roadの数が現状(1.1%)と10%の場合を比較すると2.8倍に増加。
⇒処理時間を見る必要がある。

* 但し 10%がBad Moduleになることは非現実的状況

実行時間比較(シミュレーション)

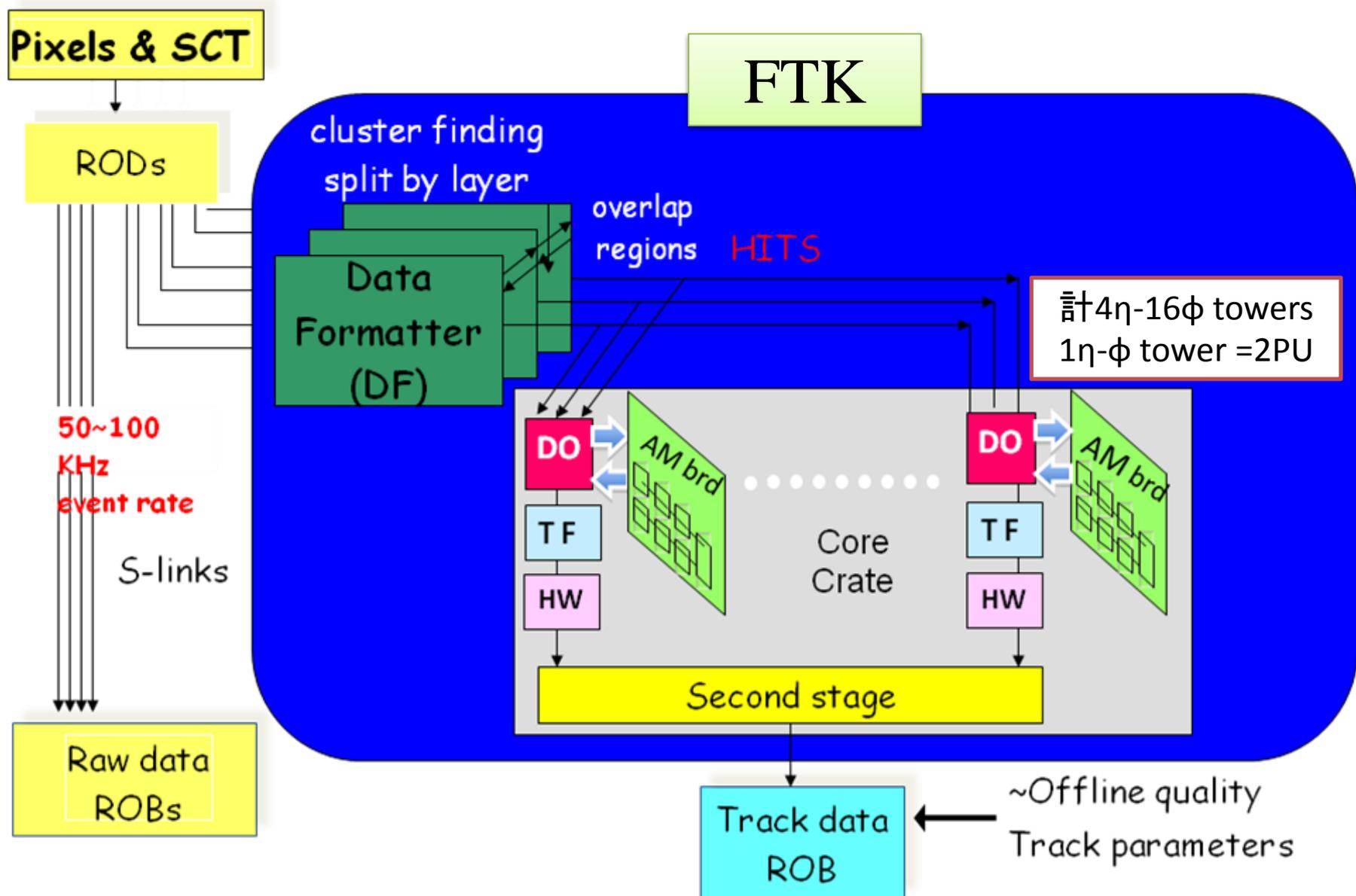
Bad moduleを全体の0%, 1.1%(現在), 5%, 10%とした時のPattern Recognitionにおける実行時間をシミュレーション。



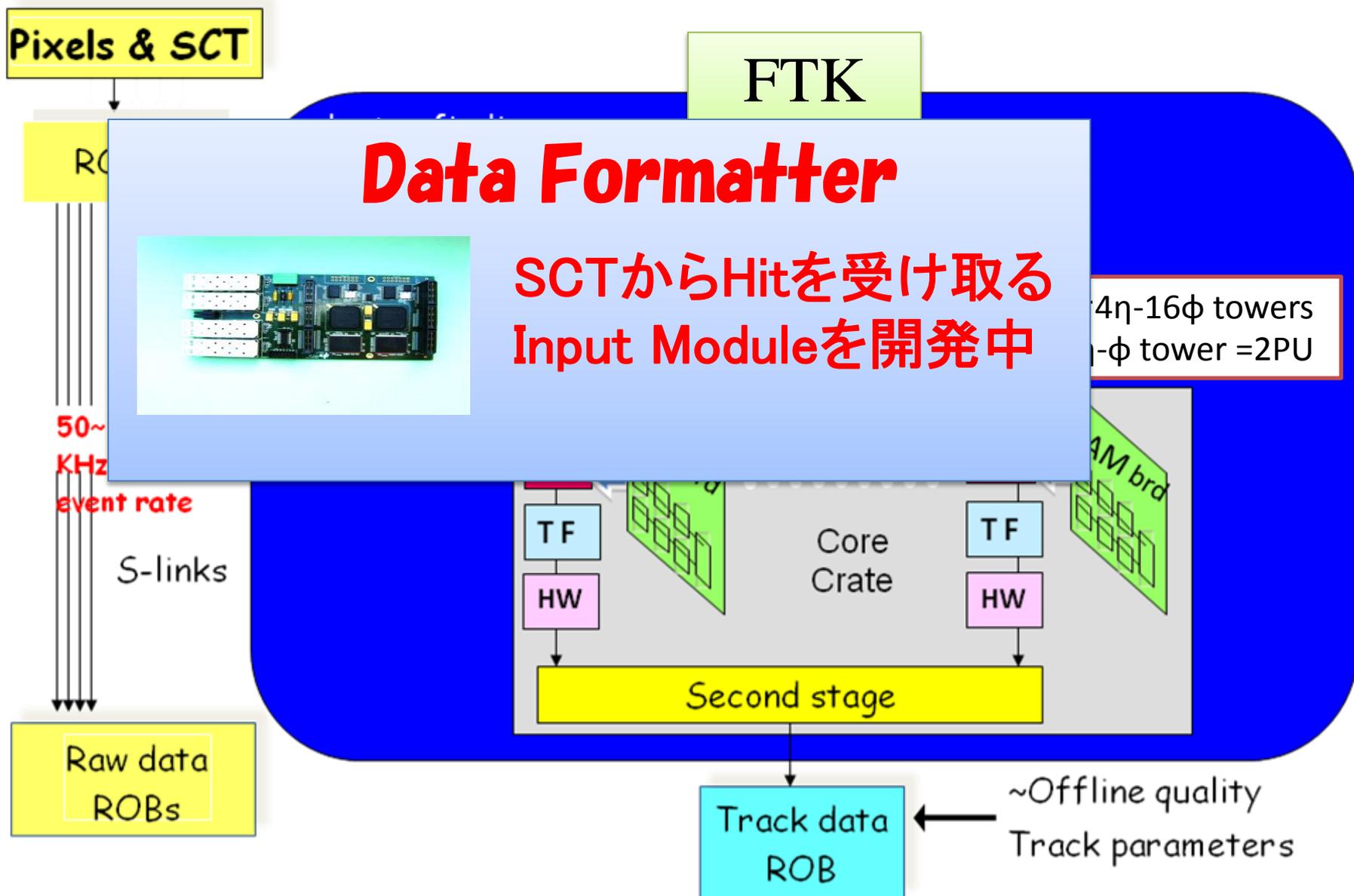
Bad Module率 Luminosity	0%	1.1%(現在)	5%	10%
3×10^{33}	2.46μs	2.47μs	2.49μs	2.64μs
3×10^{34}	9.19μs	9.44μs	10.64μs	13.42μs

Pattern Recognitionの処理時間では、5%程度のBad Moduleであれば変化は大きくなく、安定した動作が可能

Hardwareの開発



Hardwareの開発



Input Mezzanine

➤ 機能

→ Hit情報をクラスタ化し
FTKの下流に送信。

- ・モジュール番号
- ・クラスタのサイズ
- ・クラスタの中心値

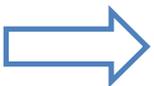
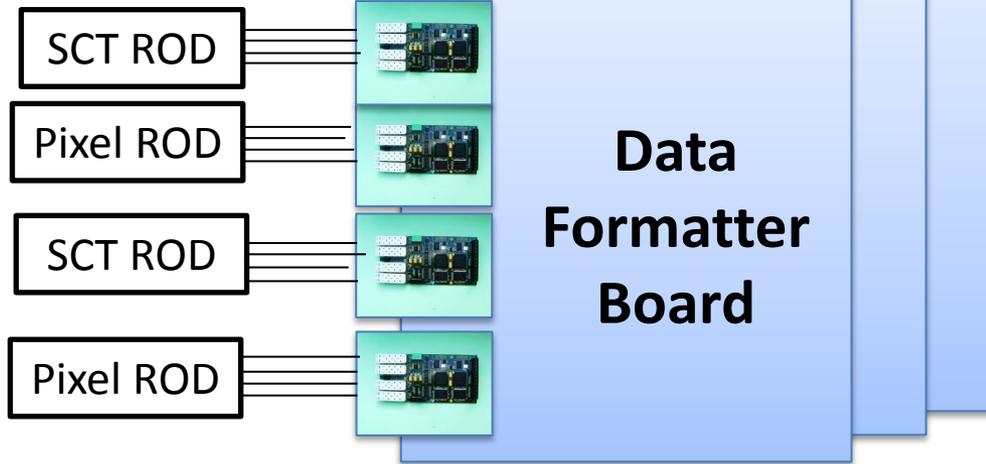
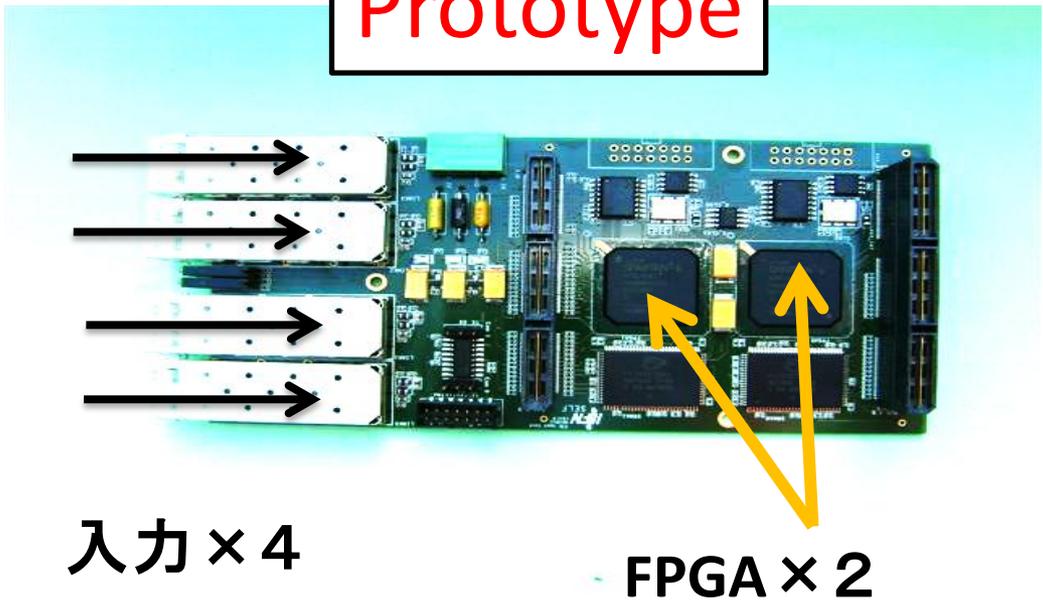
➤ 性能評価で重要なファクター

⇒ Mezzanineが受け取るHitの数

✓ PixelとSCTの場所により
Hitの数が異なる

⇒ 処理可能な繋げ方を
考える必要性がある。

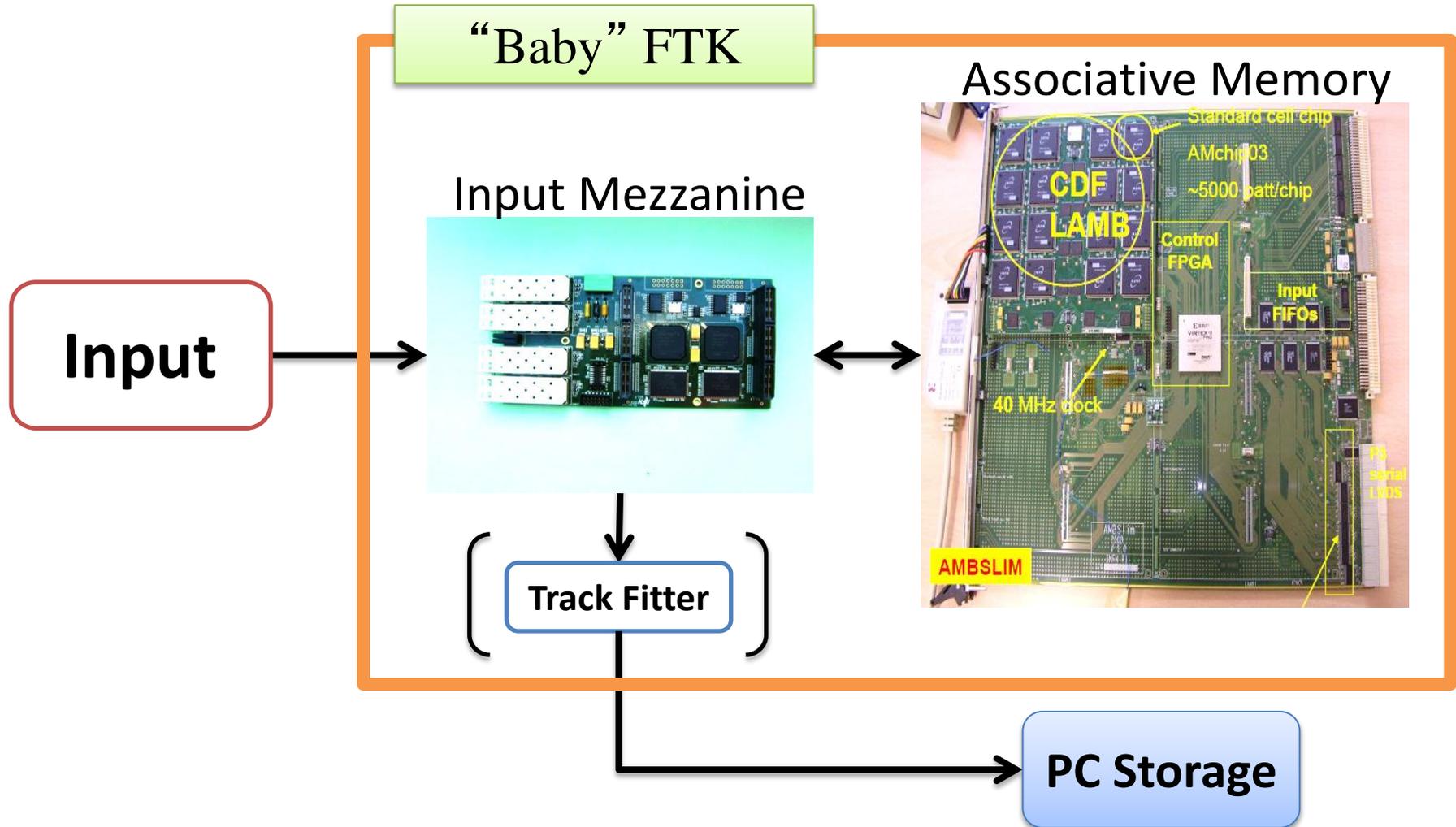
Prototype



シミュレーション評価・動作テストが重要課題

Vertical Slice Test

- FTKシステムの一部を動作テスト。



今年度中に動作テストを開始予定

Summary

- ✓ Bad Moduleの影響
 - ⇒ シミュレーションの結果、現状のBad ModuleではPattern Recognitionにおいては 然程影響はないということが分かる。
 - ・全体の10%がBad Moduleの時はWildcardアルゴリズムをどうすべきか検討する必要があることが分かった。
- ✓ Vertical Slice Test
 - ⇒ FTKシステムの一部をテストを開始予定(In->Mezzanine->AM->Out)

Future Plan

- ✓ Wild Card ->Track Fitにおけるアルゴリズムを検証する。
- ✓ Vertical Slice -> Simulation Study
 - > 実機の実装(今年度内)
 - ⇒ 結果を評価し、今後の開発に繋げる。
- ✓ 実データを使用して、より現実に近いSimulationを行う。
- ✓ 高ルミノシティ環境下での耐性、安定性、粒子同定能力の改善の再評価