

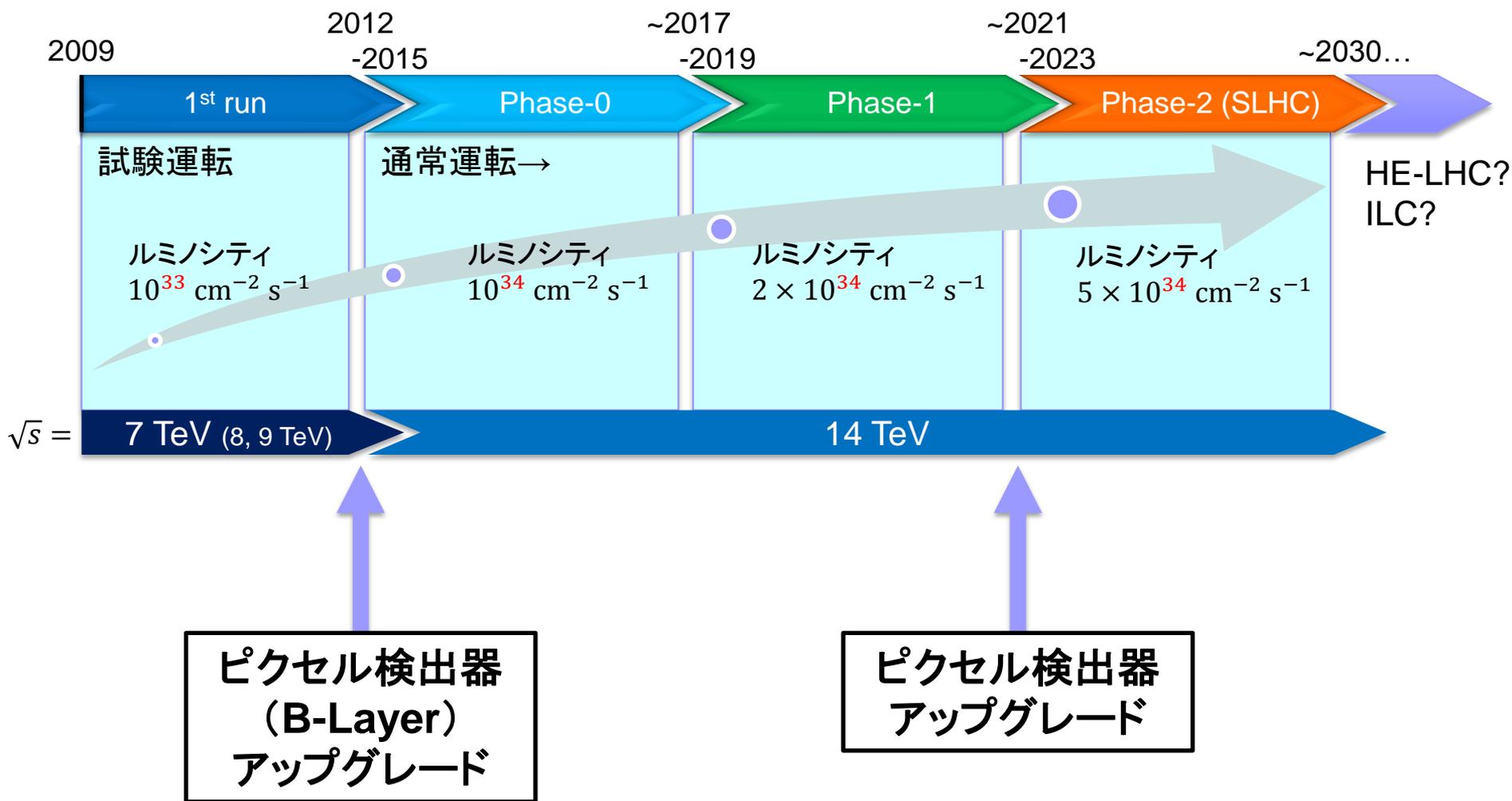
# SLHC用プラナー型ピクセル 検出器のビームテストによる 性能評価

永井遼\*, 陣内修, 岸田拓也(東工大) \*発表者  
海野義信, 田窪洋介, 池上陽一, 近藤敬比古, 寺田進, 東城順治(高工研)  
木村直樹, 寄田浩平(早大) 永井康一, 原和彦(筑波大)  
高嶋隆一(京都教育大) 中野逸夫(岡山大) 花垣和則(阪大)  
他 PPS testbeam コラボレーション

# 目次

- ATLAS 内部飛跡ピクセル型検出器アップグレード
- プラナー型n-in-pセンサー
- センサーの性能評価試験
  - ビームテスト概要
  - 解析結果
- まとめと今後

# LHCアップグレード計画



# ATLAS ピクセル検出器アップグレード

## ■ 現行ピクセル検出器

- ATLAS最内部に位置する3層の飛跡検出器
- Phase-1(2017-)の期間に性能低下が予測
- 特に最内層B-Layerの放射線損傷は甚大

ピクセル検出器アップグレードが必要

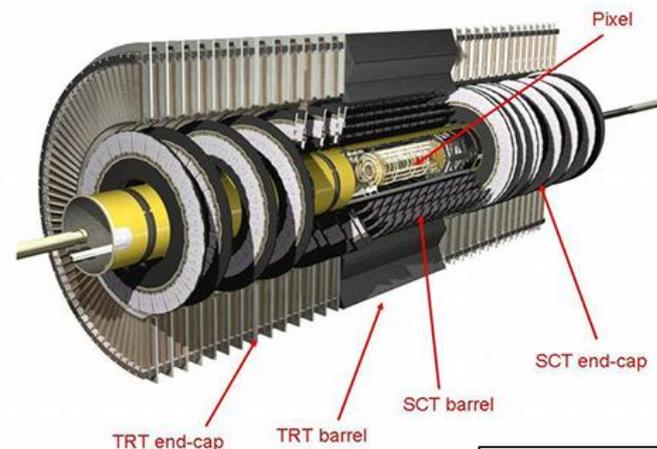
## ■ IBL計画 (Insertable B-Layer, 2013)

- 最内層のさらに内側に一層追加...性能を向上

## ■ Phase-2 (2021-, SLHC)に伴うアップグレード

- 放射線量が増大するとともに、粒子密度も高くなる
- ほぼ全ての現行シリコンセンサー、TRTで対応できない
- ピクセル検出器を入れ替えるのに十分な停止時間は確保される

全飛跡検出器を本格的に入れ替える



# ATLAS ピクセル検出器アップグレード

## ■ IBL, SLHCでのピクセル検出器アップグレード

- LHCの運転による放射線量蓄積
- LHCの輝度増大による、さらなる線量増加
- パフォーマンス維持・向上

### 新型センサーの必要性

## ■ 現在の候補は3つ

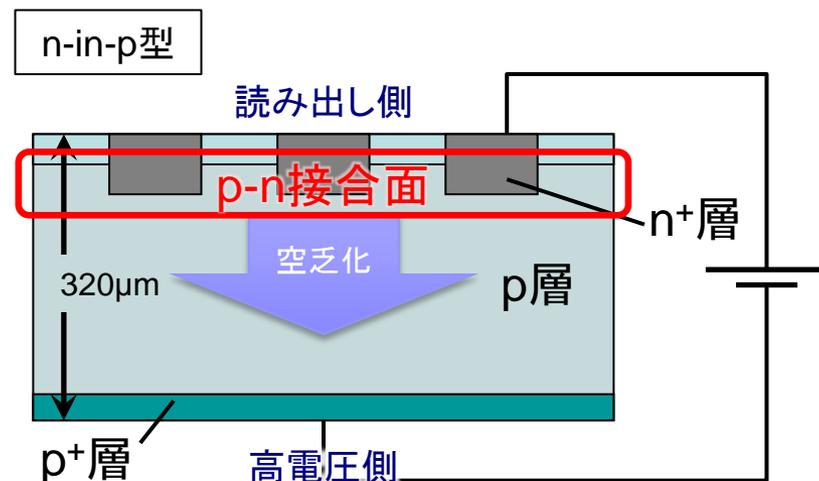
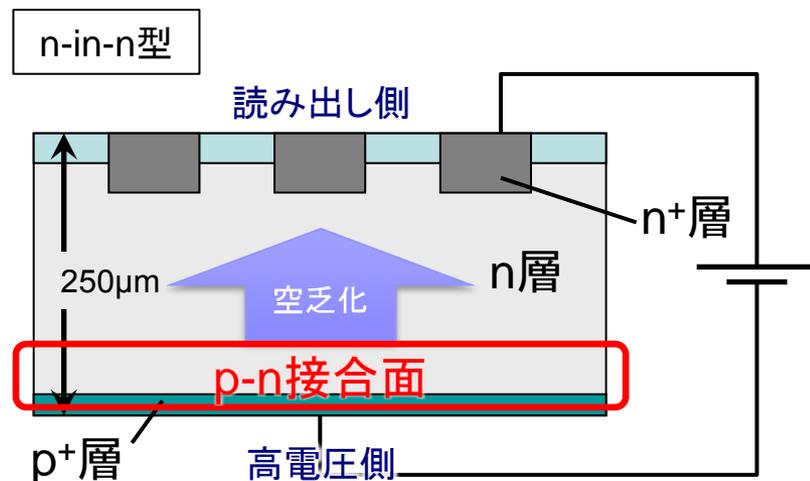
- プラナー型シリコン(n-in-n, n-in-p)
- 3D型シリコン
- ダイヤモンド型

## ■ 浜松ホトニクス社と共同でプラナー型n-in-pセンサーを開発

- 実際にフロントエンドチップと接合して、ビームテストを行う
- この結果を用いて、開発したセンサーの性能を評価した

# プラナー型n-in-pセンサー

- p-bulkをn+ (読み出し側、GND) とp+ (高電圧側) で挟む構造
  - p-n接合は読み出し側
    - 空乏領域が狭くても読み出し可能
  - これにともない、表面加工は読み出し側だけで良い
    - コストの削減につながる
  - バルクがp型であるため、放射線損傷によるバルクの型変換がない
    - 安定した運転が可能



従来型(プラナー型n-in-n)から変えるメリットは大きい

# ビームテスト@CERN

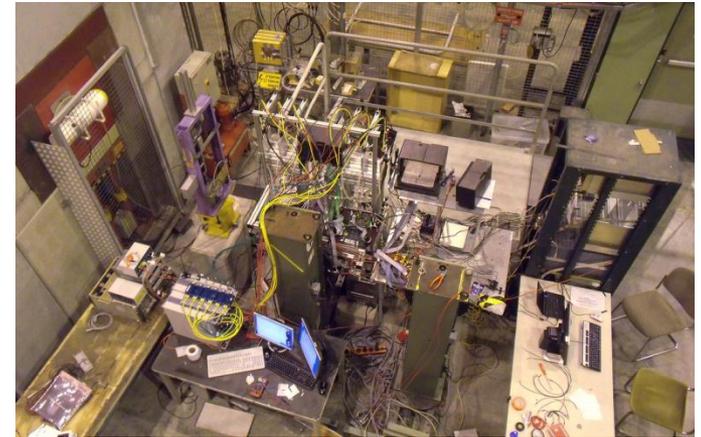
- 2010/10/12—25 @CERN Preveessin site
- 120 GeV  $\pi^+$  ビーム (SPS)
- 650Hz trigger

## ■ 使用センサー

- 浜松ホトニクス製プラナー型n-in-pセンサー 2台(#1, #2)  
Y. Unno et al., Development of n-in-p silicon planar pixel sensors and flip-chip modules for very high radiation environments, <http://dx.doi.org/10.1016/j.nima.2010.12.19>
- ドイツ製 (CiS) 現行型プラナー型n-in-nセンサー(Ref., Dortmund大学)
- その他、
  - Dortmund大学, n-in-nセンサー(放射化前×3, 放射化後×7)
  - Max Planck Institute, n-in-pセンサー(×3)
  - Barcelona自治大学, n-in-pセンサー(×2)
  - Liverpool大学, n-in-pセンサー(×2)
  - CERN, n-in-nセンサー

## ■ PPS testbeam コラボレーション

- Jens Weingarten, et al.



# ビームテスト解析

- テレスコープ(EUDET)による飛跡と、センサーのヒットを計算し、以下を求めた
  - 各ピクセルの検出効率
  - ピクセルの検出電荷共有割合これにより、センサーの性能を評価した
- 解析項目
  - 検出効率2次元マップ図
  - 1ピクセル平均検出効率
  - 自己収集電荷量
  - 電荷共有の割合

# ビームテスト使用センサー及び読み出しチップ

- #1, #2完全空乏化電圧は200V付近と推定
- 使用読み出しチップのビームテスト時の設定  
FE-I3: I. Peric et al., Nucl. Instr. and Meth. A 565 (2006), p. 178

- 反応閾値

- フロントエンドチップのディスクリミネーターの閾値をPC上で調整し、0.5fC 相当に統一

- ToT 調整値 (20000 e<sup>-</sup> ≈ 3 fC の信号での値)

- 反応閾値を越えた時間を計測
- センサーの正常動作範囲で得られた値

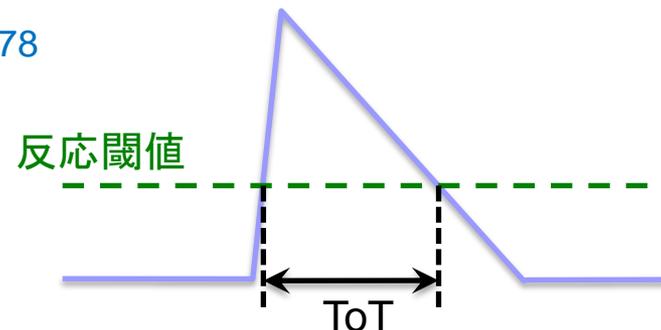
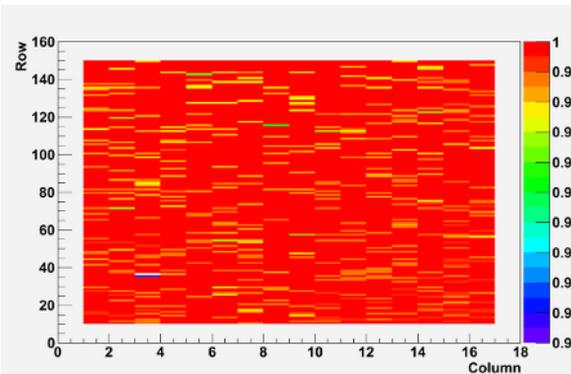


表. 測定に用いたパラメータ

	#1 センサー	#2 センサー	Ref. センサー
反応閾値	3200 e <sup>-</sup> ≈ 0.5 fC で統一		
ToT 調整値	20	17	60

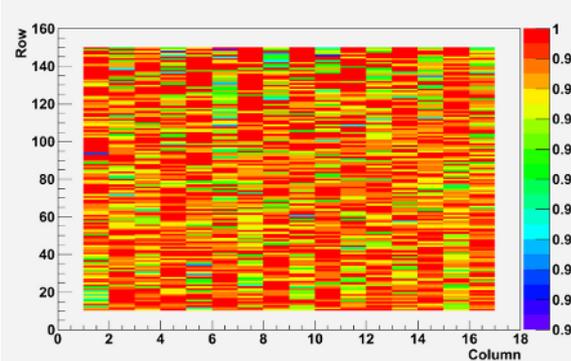
今回用いた#1, #2センサーは、ToT調整値がRef.センサーと比べて低い  
(フロントエンドチップの性能の問題)

# 1チップの平均検出効率(100V バイアス電圧)



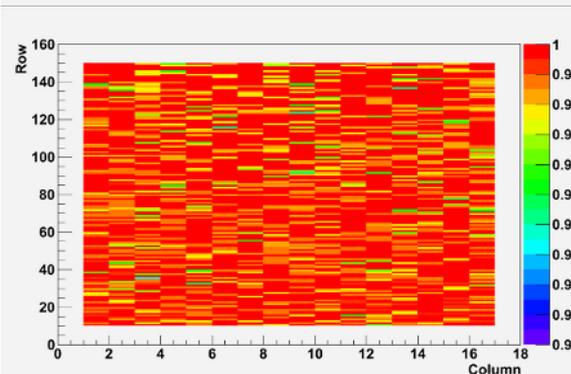
#1  
99.72%

- 各ピクセルでの検出効率を計算
  - テレスコープによる飛跡位置
  - クラスタによるヒット位置の2つを考慮。
  - 1チップ分のマップ図
  - 周囲1ピクセル分は位置ずれを考慮してカットしている



#2  
98.57%

- #1, #2ともに高い検出効率を記録
  - Ref. と比べて遜色ない
  - 100V バイアス電圧は空乏化が完全でないにも関わらず、高い水準

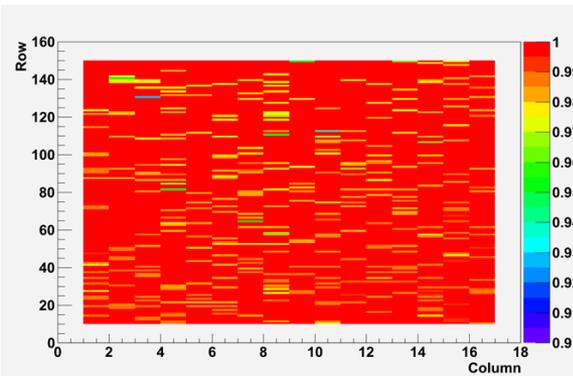


Ref.  
99.32%

※130V バイアス  
完全空乏化済

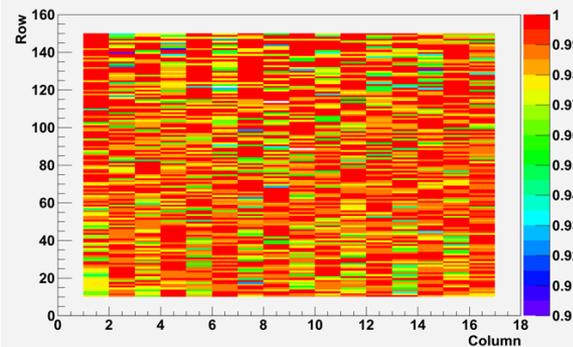
低バイアス領域でも動作したことを示す

# 1チップの平均検出効率(200V バイアス電圧)



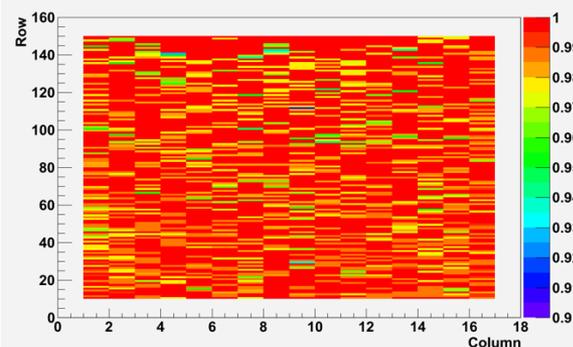
#1  
99.74%

- 各ピクセルでの検出効率を計算
  - テレスコープによる飛跡位置
  - クラスタによるヒット位置の2つを考慮。
  - 1チップ分のマップ図
  - 周囲1ピクセル分は位置ずれを考慮してカットしている



#2  
98.68%

- #1, #2ともに高い検出効率を記録
  - 100V バイアスとほとんど同じ
  - #2は100V のときと同様多少落ちるが、高い水準
    - 落ちる理由を探るため、1ピクセル内での検出効率について調べた

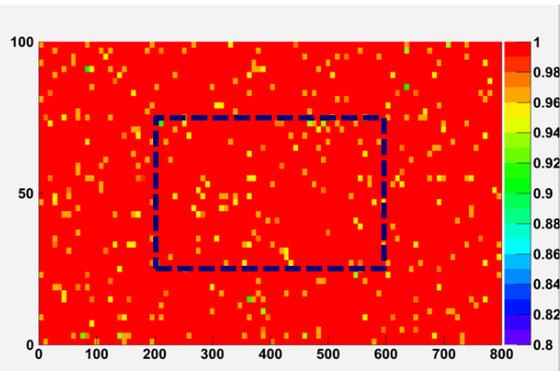


Ref.  
99.29%

※130V バイアス  
完全空乏化済

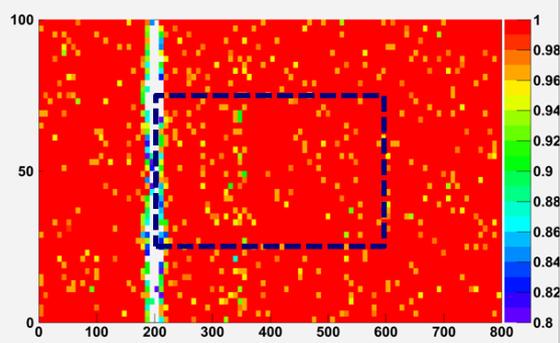
以下は200V バイアスでのデータを示す

# 1ピクセル当たりの平均検出効率



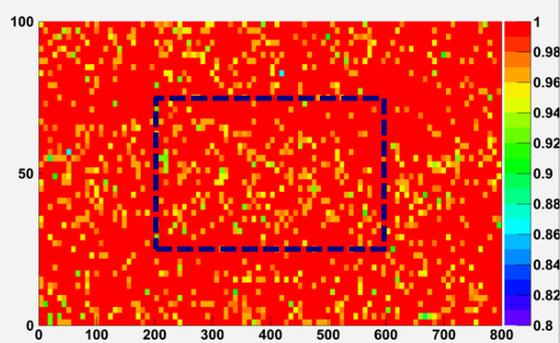
#1  
99.74%

- 各ピクセルでの検出効率を計算
  - テレスコープによる飛跡位置
  - クラスタによるヒット位置の2つを考慮。
- 全ピクセルを1つに集約した平均図
  - 点線枠内が1ピクセルを表す



#2  
98.68%

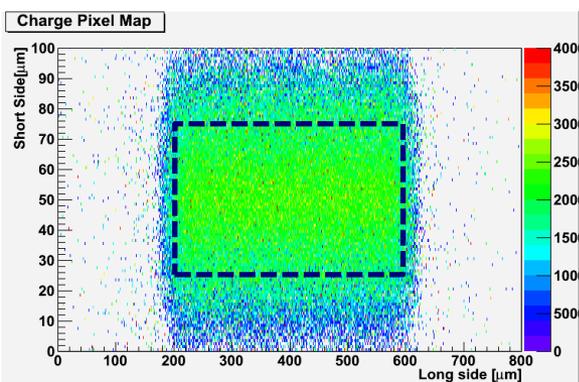
- #1, Ref.はピクセル内でも殆ど一様に検出
- #2では片側のエッジ部に低検出点が目立つ
  - この領域の検出効率は60%前後
  - #2で平均検出効率が落ちるのはこれが原因
  - エッジ部分でなぜ検出効率が落ちるのは不明



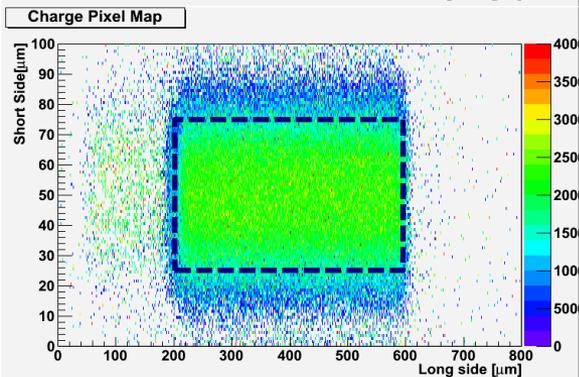
Ref.  
99.29%

※130V バイアス  
完全空乏化済

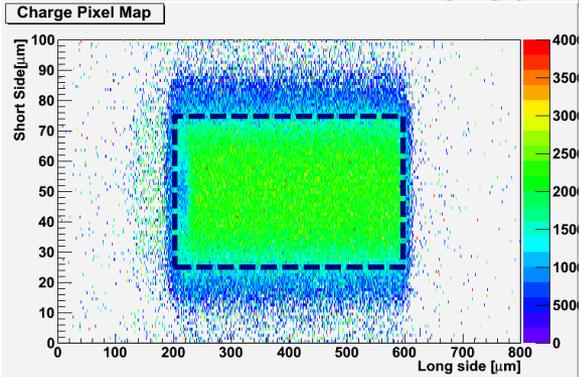
# 自己収集電荷量



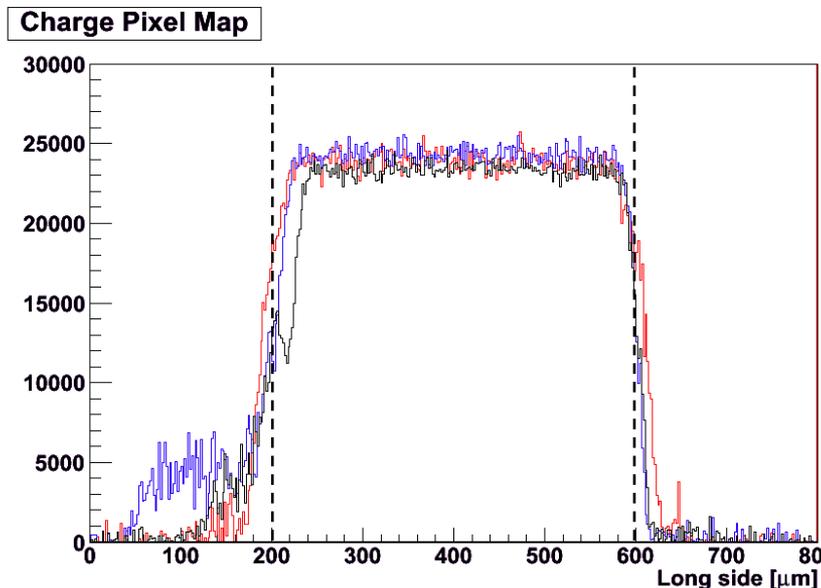
#1



#2



Ref.

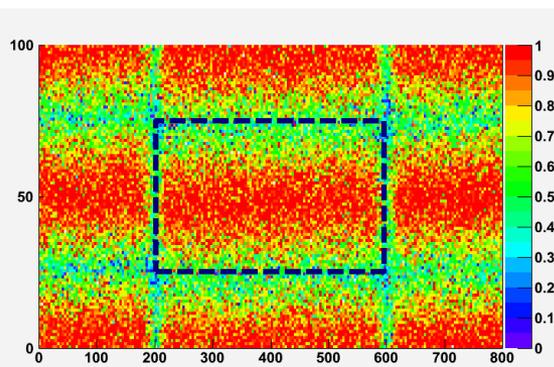


軸: 30000e  
(=4.8fC)

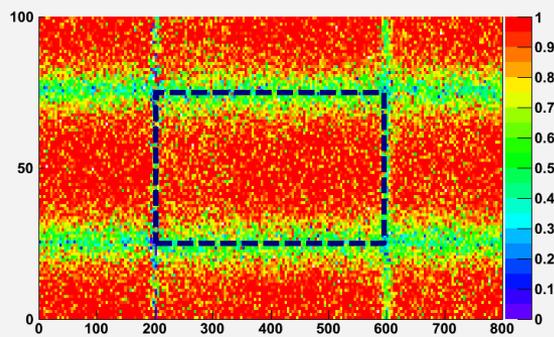
— #1  
— #2  
— Ref.

- 各ピクセルが各飛跡位置で検出した電荷の平均値をプロット
- #1, #2ともにピクセル内で電荷は一樣
  - #1は上下に幅広いが、#2は収まっている。
  - #2は左側にノイズが目立つ...エッジに関係?
  - #1, #2とも、x方向はピクセル内できっちり詰まっている  
⇒ もれなく検出できている

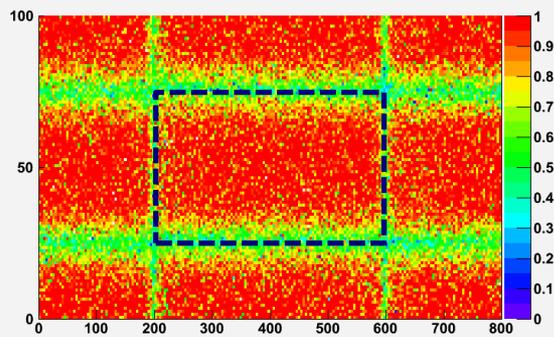
# 電荷共有の割合



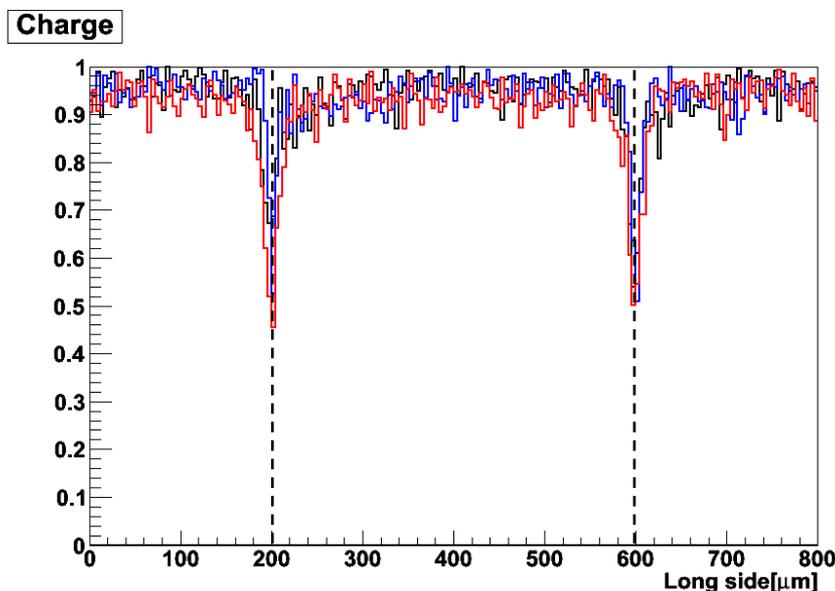
#1



#2



Ref.



軸: 比(0—1)

— #1

— #2

— Ref.

■ 自己収集電荷量とその飛跡の全電荷量との比

■ #1, #2, Ref.ともに振る舞いは同じ

□ エッジ部分で約50%と正当な値が出ている

□ #1は他2つに比べてy方向の共有の度合いが大きい

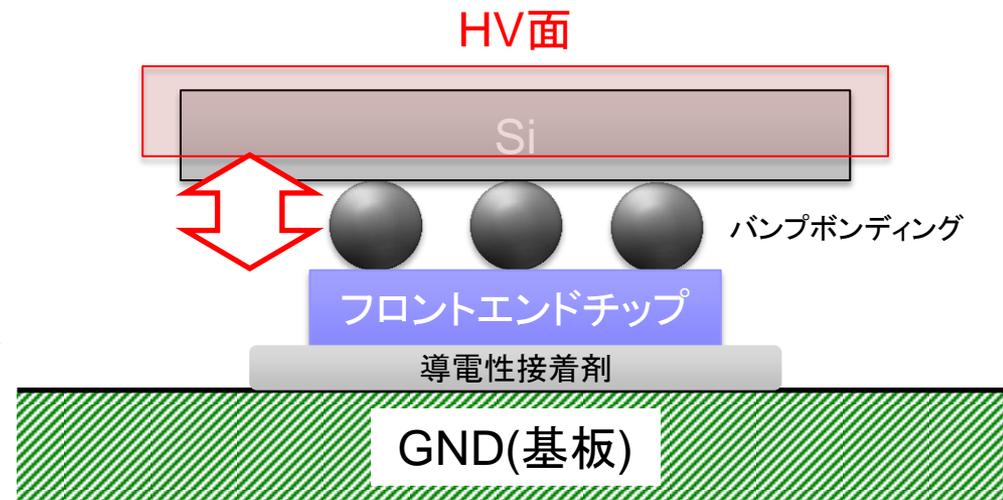
センサーに問題がないことを示している

# エッジ処理の問題

今回用いたn-in-p型センサーの特徴  
p-n接合が読み出し側(GND側)にできる

HV面がチップに近い

- 今後はさらに高電圧をかけて試験する必要がある
- 現状ではHV面とチップ間で**放電電圧が低い**
  - もし放電した場合、シリコンの空乏層が十分にとれない
  - 従来型(n-in-n型)では、このような事態は起きない
- 絶縁膜処理の必要性
  - 放電を防ぐためには必須



# まとめ

- 検出効率は現行型に匹敵することが確認された
  - 完全空乏化に至らない低電圧でも検出効率が高かった
  - #2に関しては多少落ちる傾向。さらなる原因究明が必要。
- 電荷収集能力、電荷共有の割合も現行型と同等の振る舞い
- エッジ処理の問題...さらなる高電圧をかけるのは危険
  - さらに高電圧にするにはエッジ処理を行う必要
- 今回の結果は放射線照射前の状態
- 今後、放射線損傷後の試験を行い、センサー性能を評価する
- また、今回のセンサーと同様のものについて、IBL, SLHC用に開発された新たなフロントエンドチップに載せて試験を行い、性能を評価する