

ATLAS 実験アップグレード用 シリコン検出器テストシステムの開発

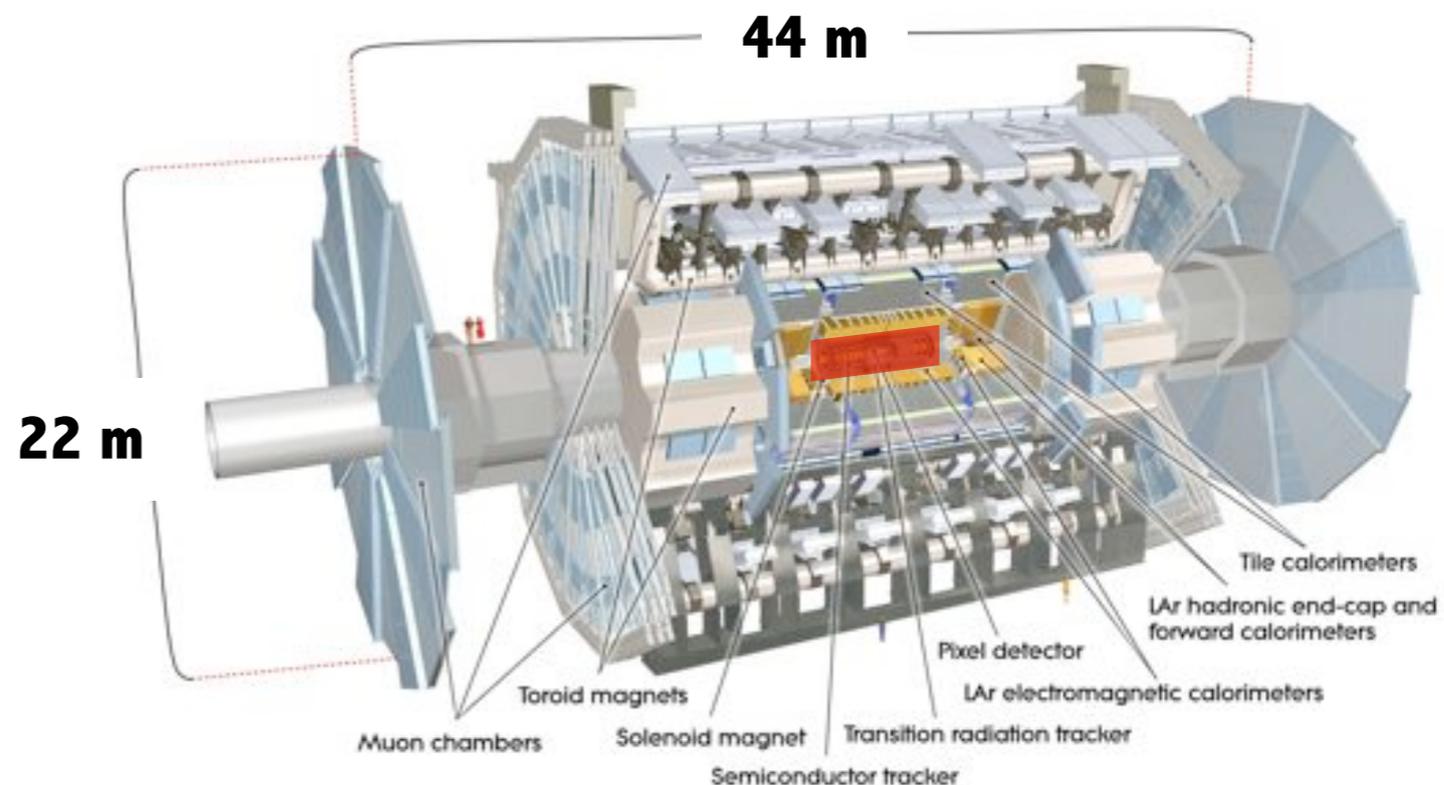
大阪大学 岡村 航

花垣和則, 遠藤理樹(阪大),
岸田拓也, 陣内修(東工大), 池上陽一, 海野義信, 近藤敬比古, 寺田進(KEK),
木村直樹, 寄田浩平(早大理工研), 永井康一, 原和彦(筑波大),
高嶋隆一(京都教育大), 中野逸夫(岡山大),
他アトラスSCTグループ

LHC (Large Hadron Collider) / ATLAS検出器

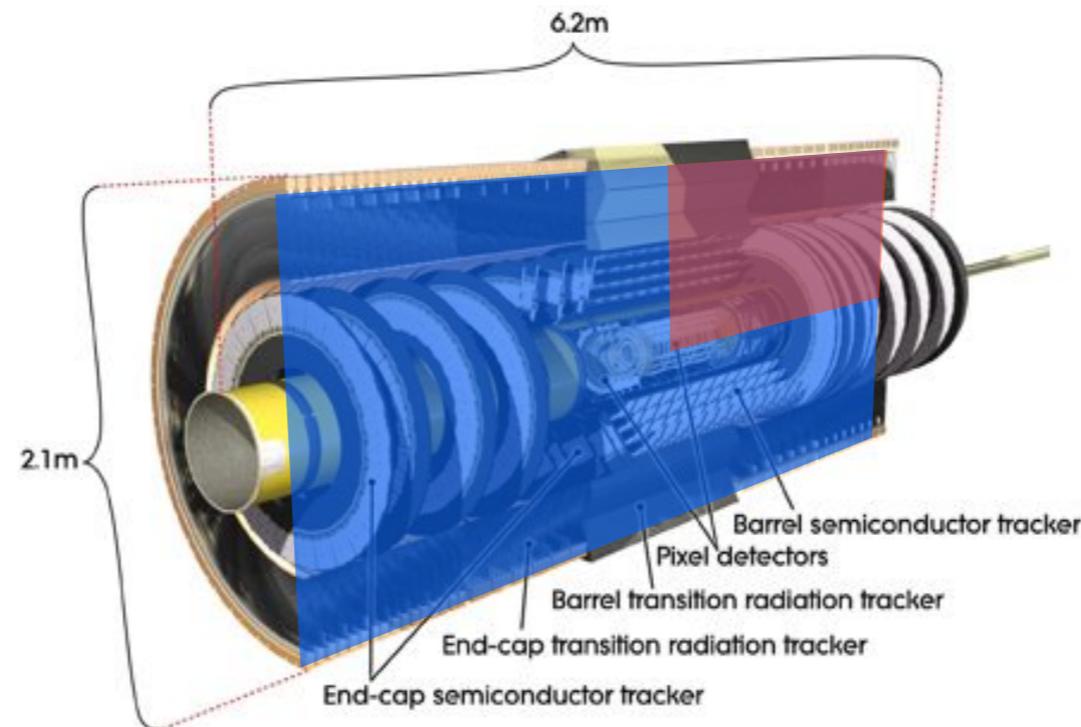
- LHC
 - CERNにある陽子・陽子衝突型円形加速器
 - 現在、 $\sqrt{s}=7$ TeVで物理データが蓄積されている
- ATLAS検出器
 - LHCの衝突点の1つに置かれた汎用粒子検出器
 - ▶ Higgs粒子や、標準模型を超える物理現象の探索を行う

全長	44m
高さ	22m
質量	7000t



SCT(シリコンストリップ飛跡検出器)

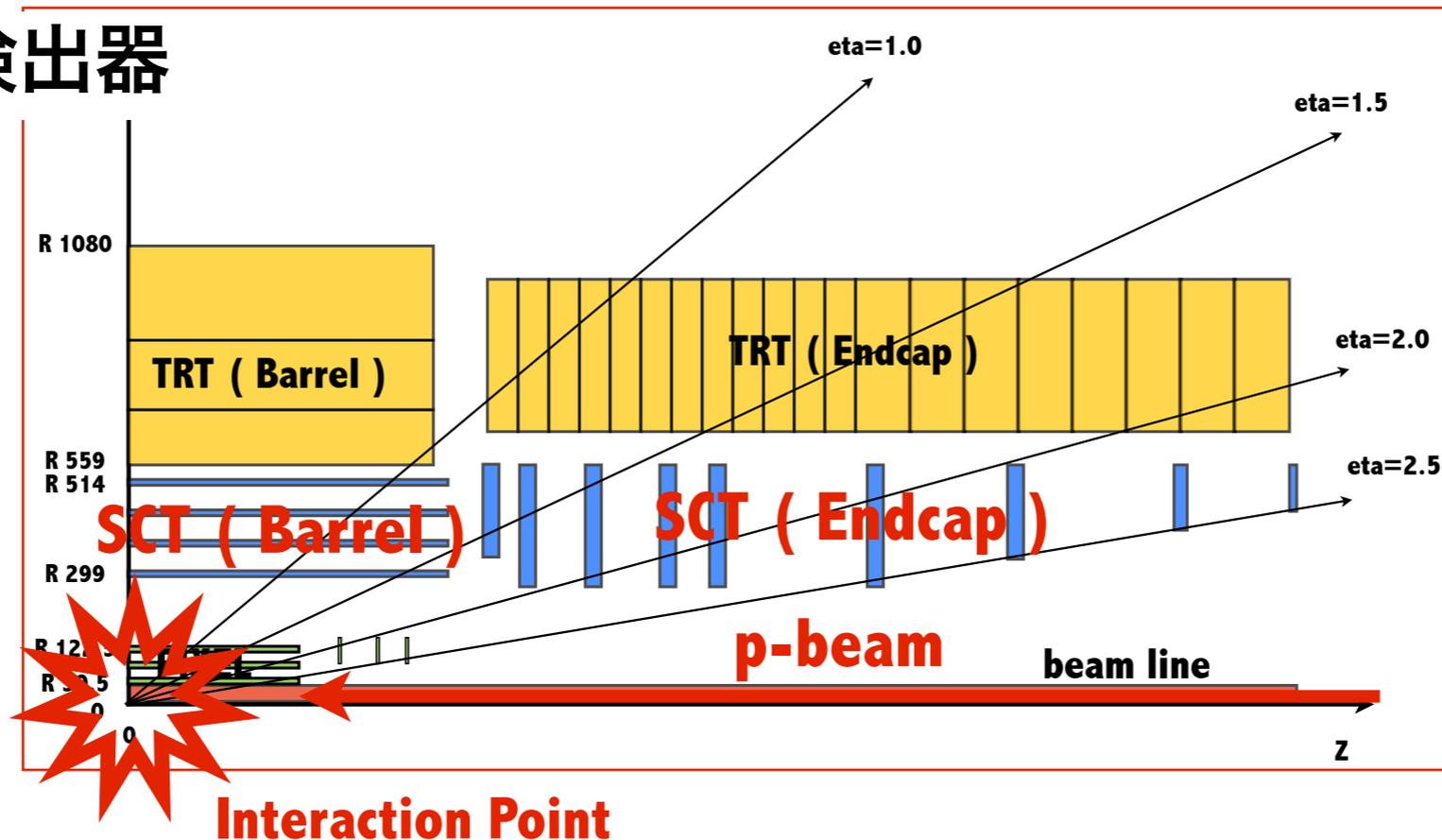
内部飛跡検出器



- **SCT (SemiConductor Tracker)**
 - 荷電粒子の飛跡を精密に測定
 - ビーム衝突点に近いいため、放射線損傷が激しい
 - ▶ 数 100 fb^{-1} を越えるデータ収集の際には、より放射線耐性に優れた新型SCTに交換される

SCT(シリコンストリップ飛跡検出器)

内部飛跡検出器



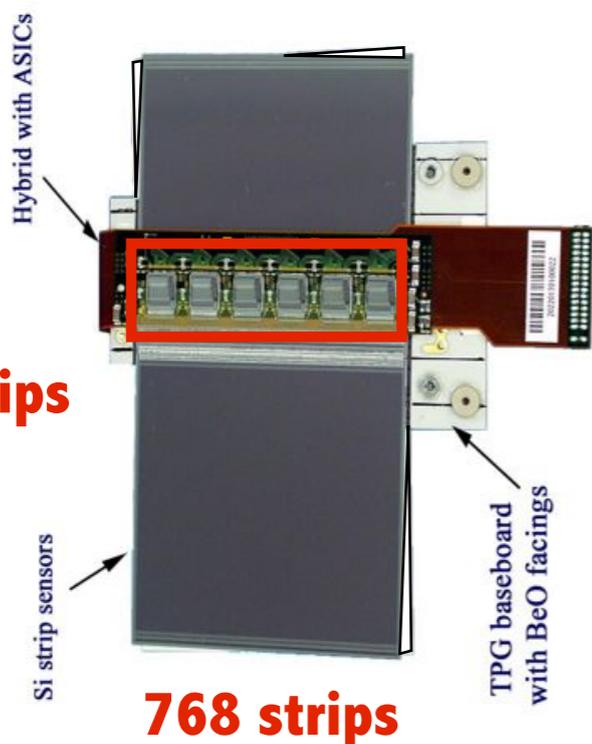
- **SCT (SemiConductor Tracker)**

- 荷電粒子の飛跡を精密に測定
- ビーム衝突点に近いいため、放射線損傷が激しい
 - ▶ 数 100 fb^{-1} を越えるデータ収集の際には、より放射線耐性に優れた新型SCTに交換される

SCTモジュール

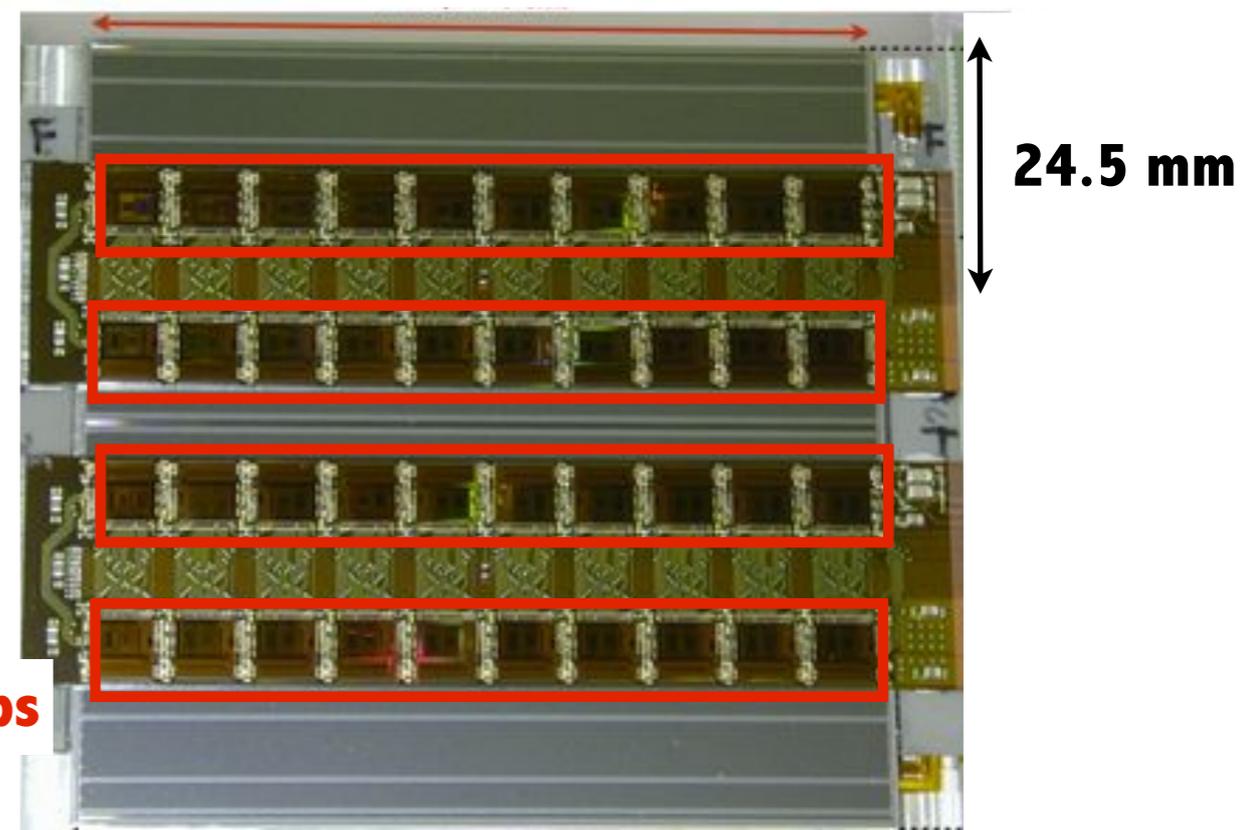
1280 strips 新型SCTモジュール

現行SCTモジュール



128 mm

Readout Chips



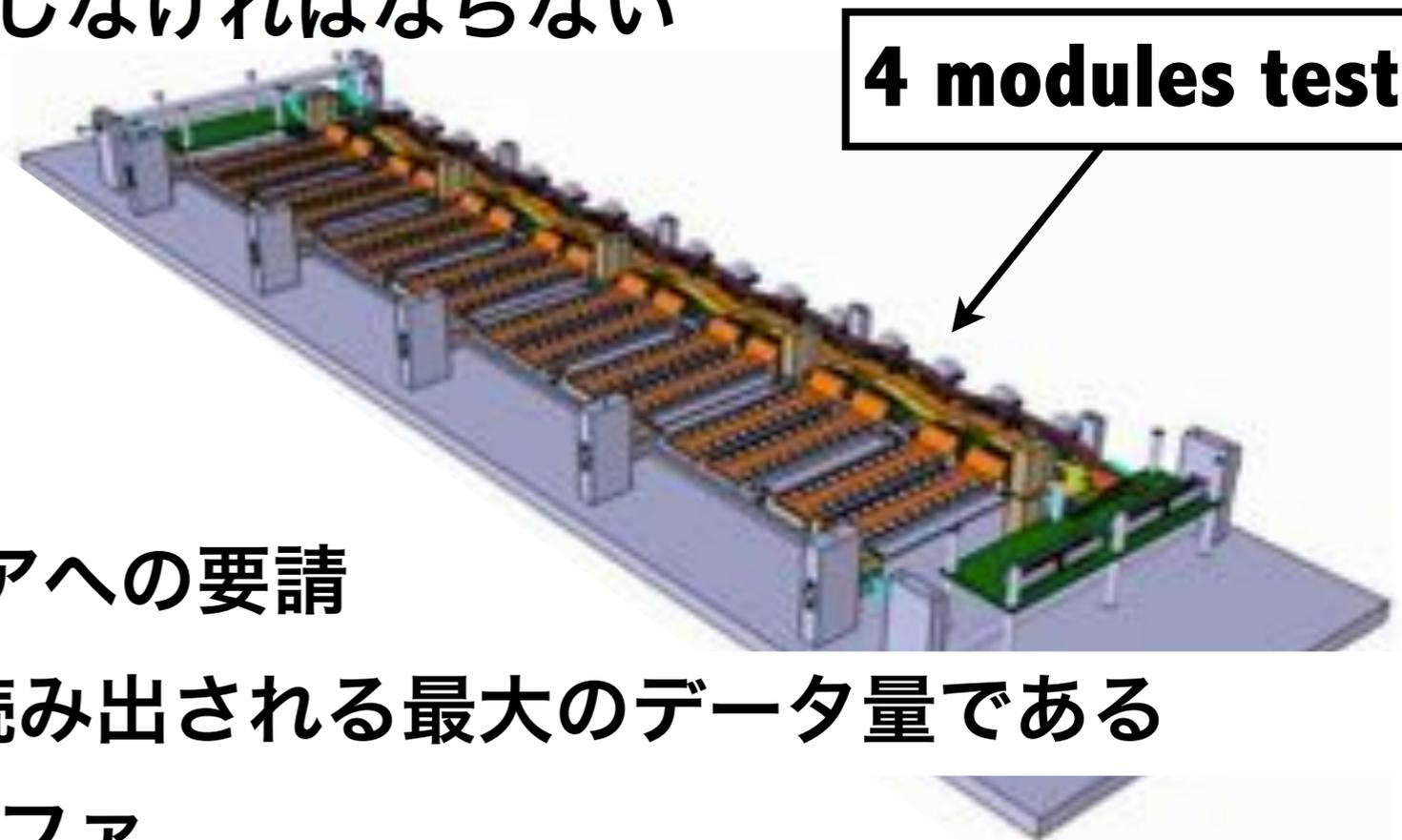
- 放射線耐性の向上
- ストリップの長さ

	現行	新型
# channels/chip	128	128
strip length	128 mm	24.5 mm
# modules	4088	7000

➡ 今回、新型SCTの為に開発された読み出しチップ(ABCNチップ)の性能評価テスト用のDAQシステムを開発した

研究の目的

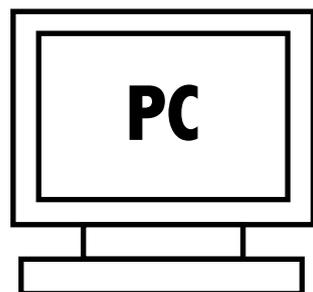
- 将来的には、一度に4個の新型SCTモジュール(ABCNチップ320個相当)の性能評価試験しなければならない



- 読み出しハードウェアへの要請
 - ▶ 1回のトリガーで読み出される最大のデータ量である
48kByte以上のバッファ
 - ▶ **38本**以上のI/Oライン
- ➡ これらの要請を満たす性能評価テスト用のDAQシステムの開発が本研究の目的

ABCNチップの制御

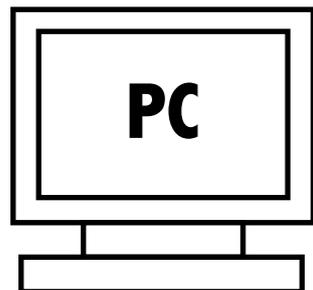
- **ABCNチップからデータを読み出すためには、コマンド (bit pattern) でABCNチップを制御する必要がある**
 - ▶ **チップ内部のレジスタの値やチップの状態を操作**



**ABCN
チップ**

ABCNチップの制御

- ABCNチップからデータを読み出すためには、コマンド (bit pattern) でABCNチップを制御する必要がある
 - ▶ チップ内部のレジスタの値やチップの状態を操作



Write Registerコマンド

... 0010 000 000 1111111 1011 1000 1110 101



**ABCN
チップ**

ABCNチップの制御

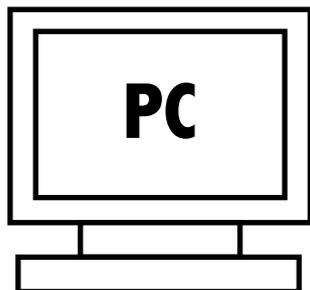
- ABCNチップからデータを読み出すためには、コマンド (bit pattern) でABCNチップを制御する必要がある
 - ▶ チップ内部のレジスタの値やチップの状態を操作

Data Taking Modeコマンド

... 101 1111111 1011 0000 1110 101

Write Registerコマンド

... 0010 000 000 1111111 1011 1000 1110 101



**ABCN
チップ**

ABCNチップの制御

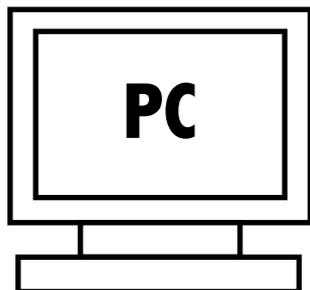
- ABCNチップからデータを読み出すためには、コマンド (bit pattern) でABCNチップを制御する必要がある
 - ▶ チップ内部のレジスタの値やチップの状態を操作

Data Taking Modeコマンド

ユーザーがこれらのbit patternを理解し、

チップを制御するのは困難

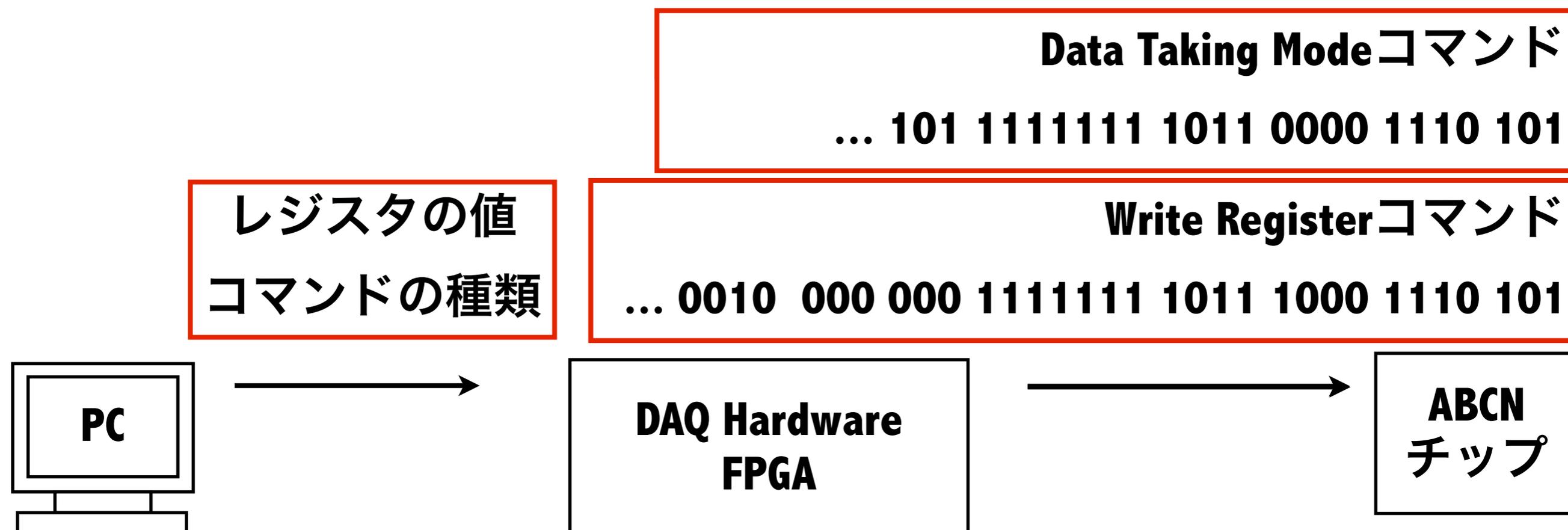
... 0010 000 000 111111 1011 1000 1110 101



ABCN
チップ

ABCNチップの制御

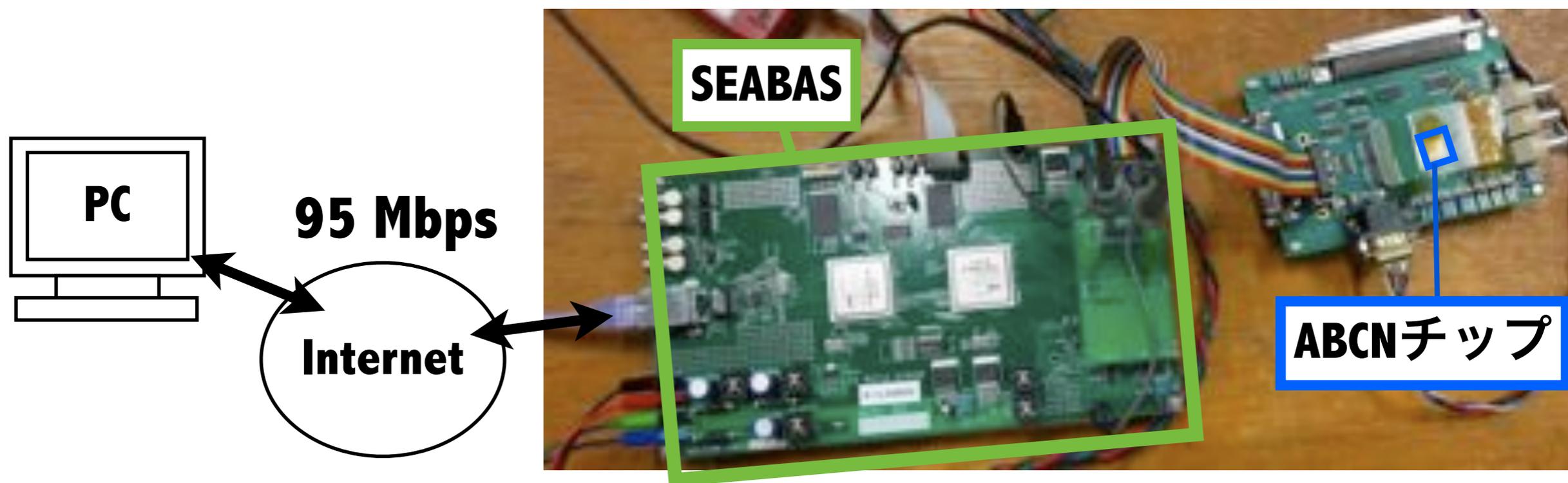
- ABCNチップからデータを読み出すためには、コマンド (bit pattern) でABCNチップを制御する必要がある
 - ▶ チップ内部のレジスタの値やチップの状態を操作



このような機能をDAQハードウェアのFPGAに実装

性能評価テスト用DAQシステムの開発

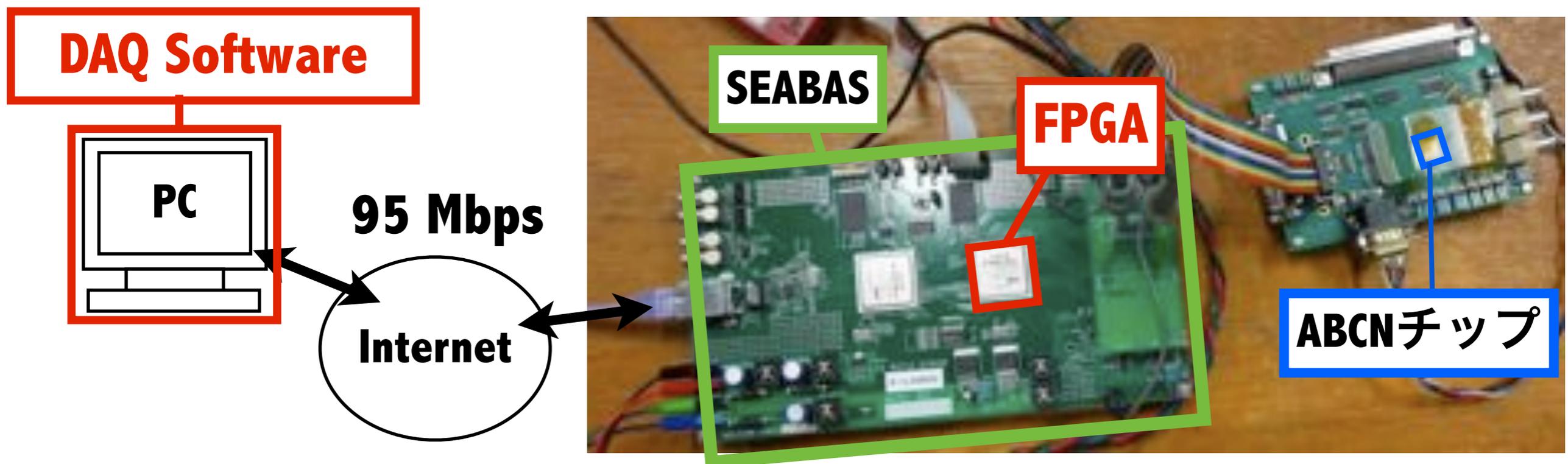
- 汎用読み出し基板 SEABASを用いたDAQシステム
- SEABASの仕様
 - **162kByte**のブロックRAMをもつFPGAを搭載(>48kByte)
 - **120本**のI/Oラインが使用可能(>38本)
- ➡ **スペック的には4 module以上の読み出しは可能**
 - PCとはTCP/IP経由で**95Mbps**で通信可能

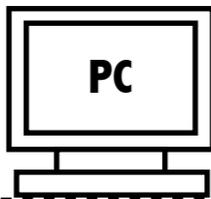


今回開発した部分

- ABCNチップを制御するSEABAS上のFPGAのファームウェア
 - Verilog-HDLで記述
- SEABASを操作するPC上のソフトウェア
 - C/C++で記述

➡ 次のページでDAQシステムの流れを説明



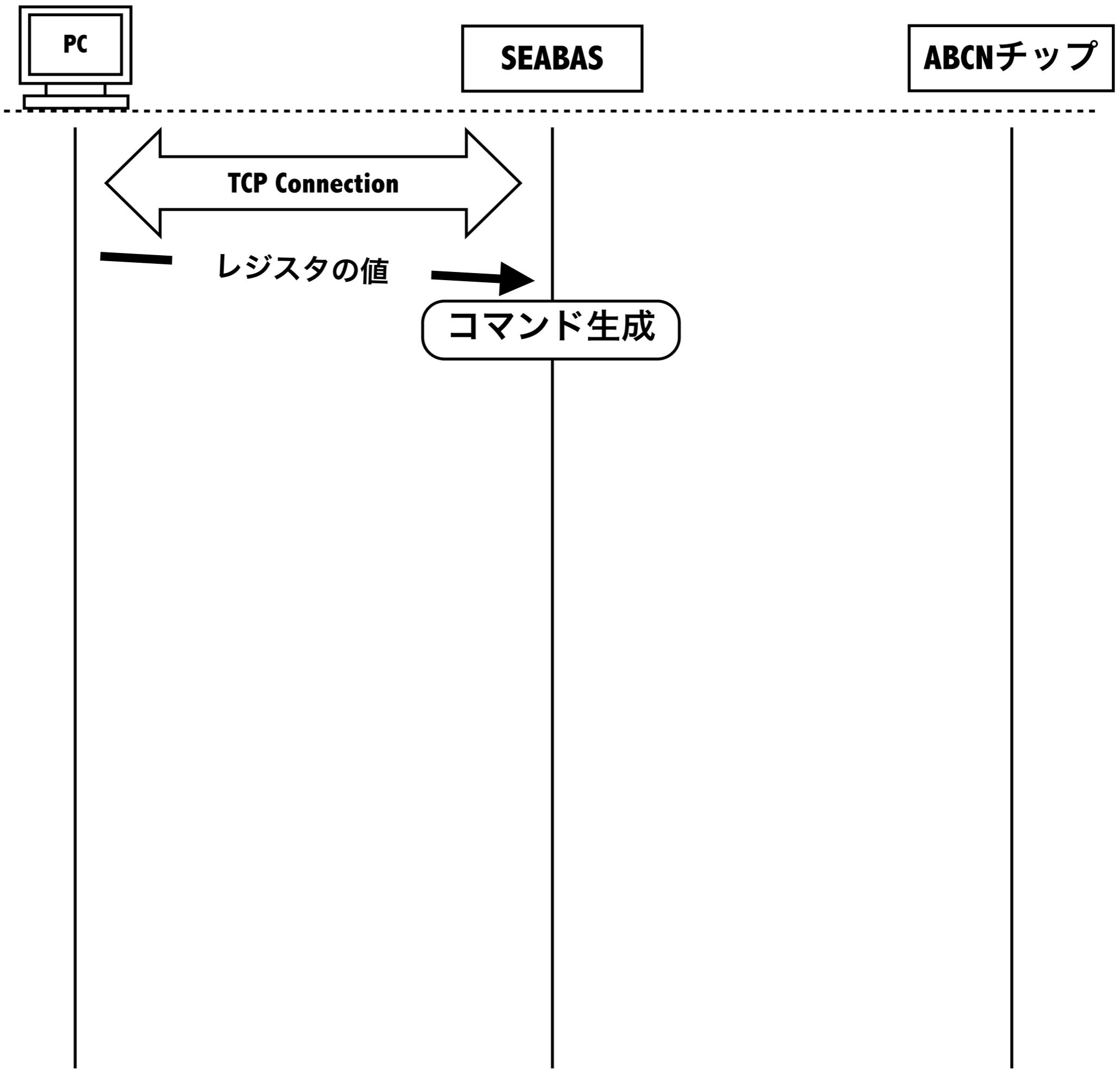


PC

SEABAS

ABCNチップ





PC

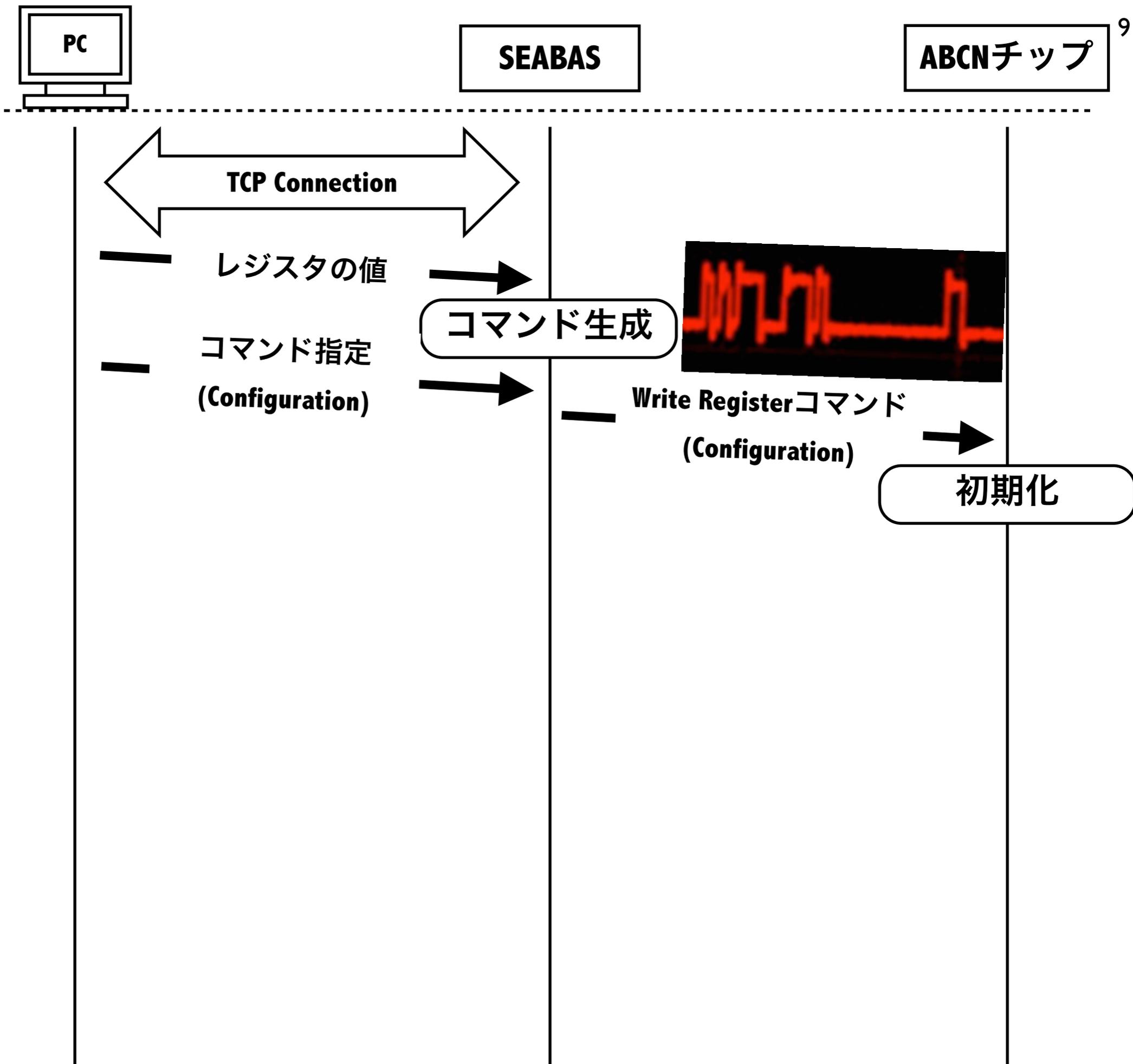
SEABAS

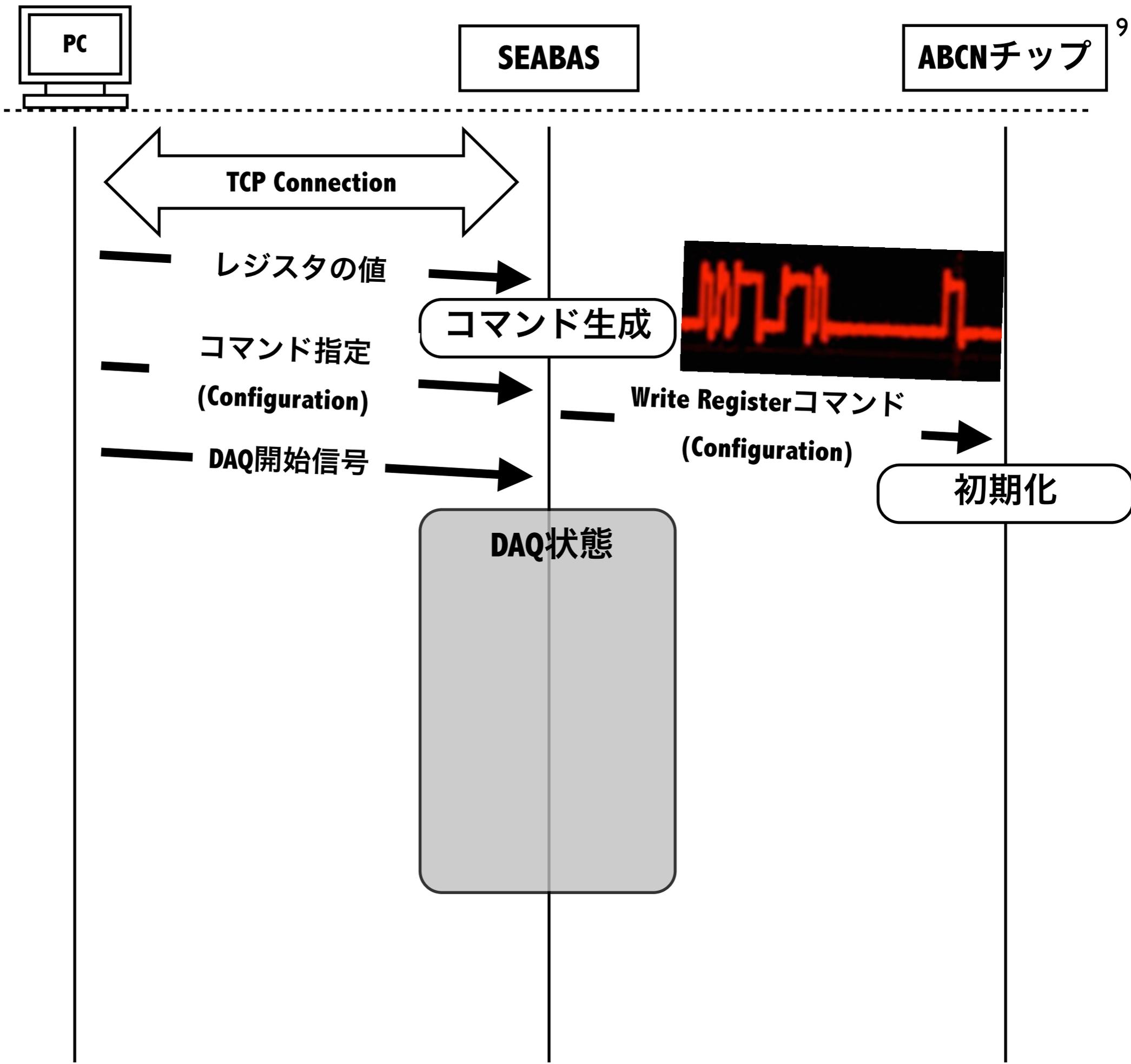
ABCNチップ

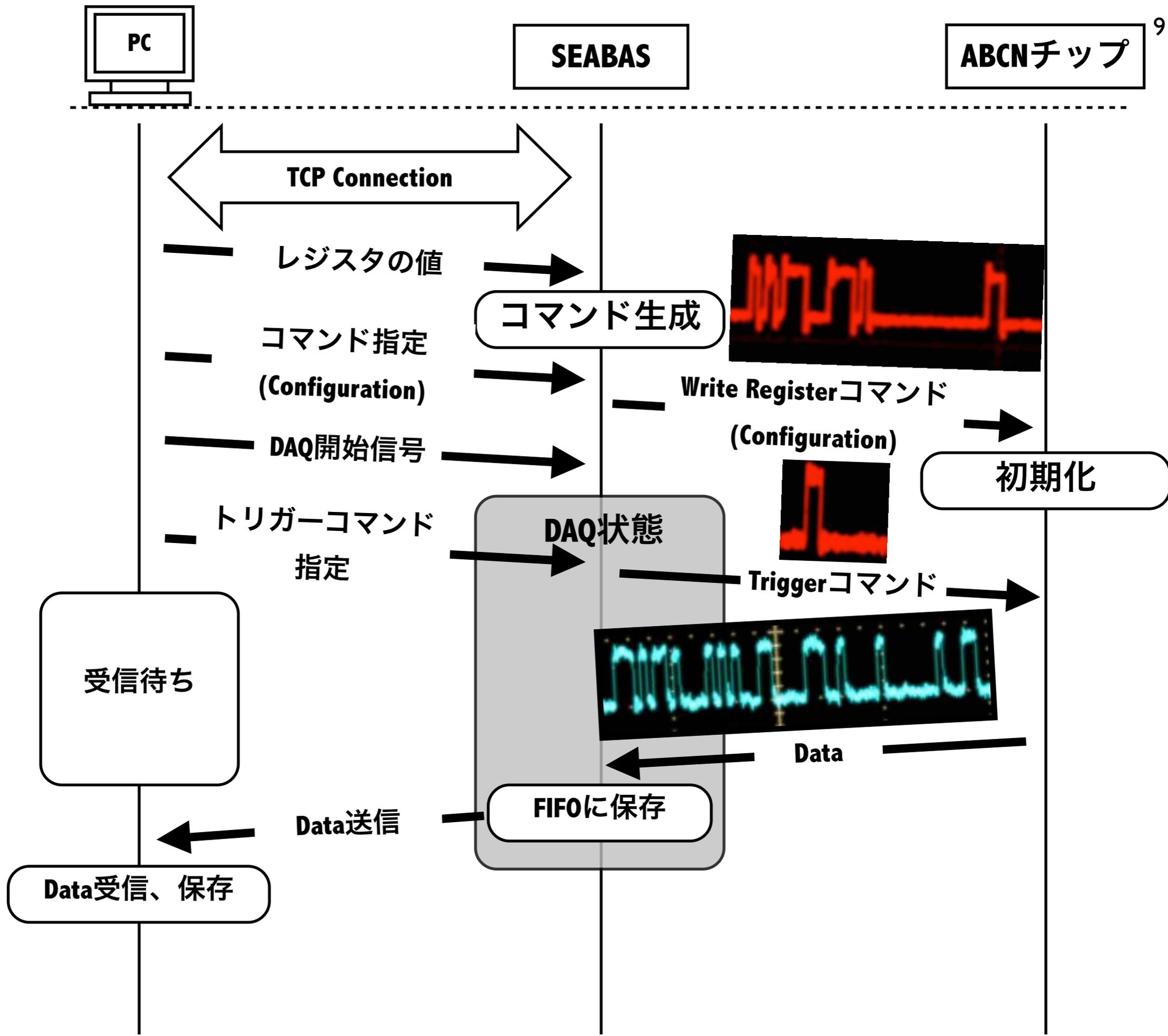
TCP Connection

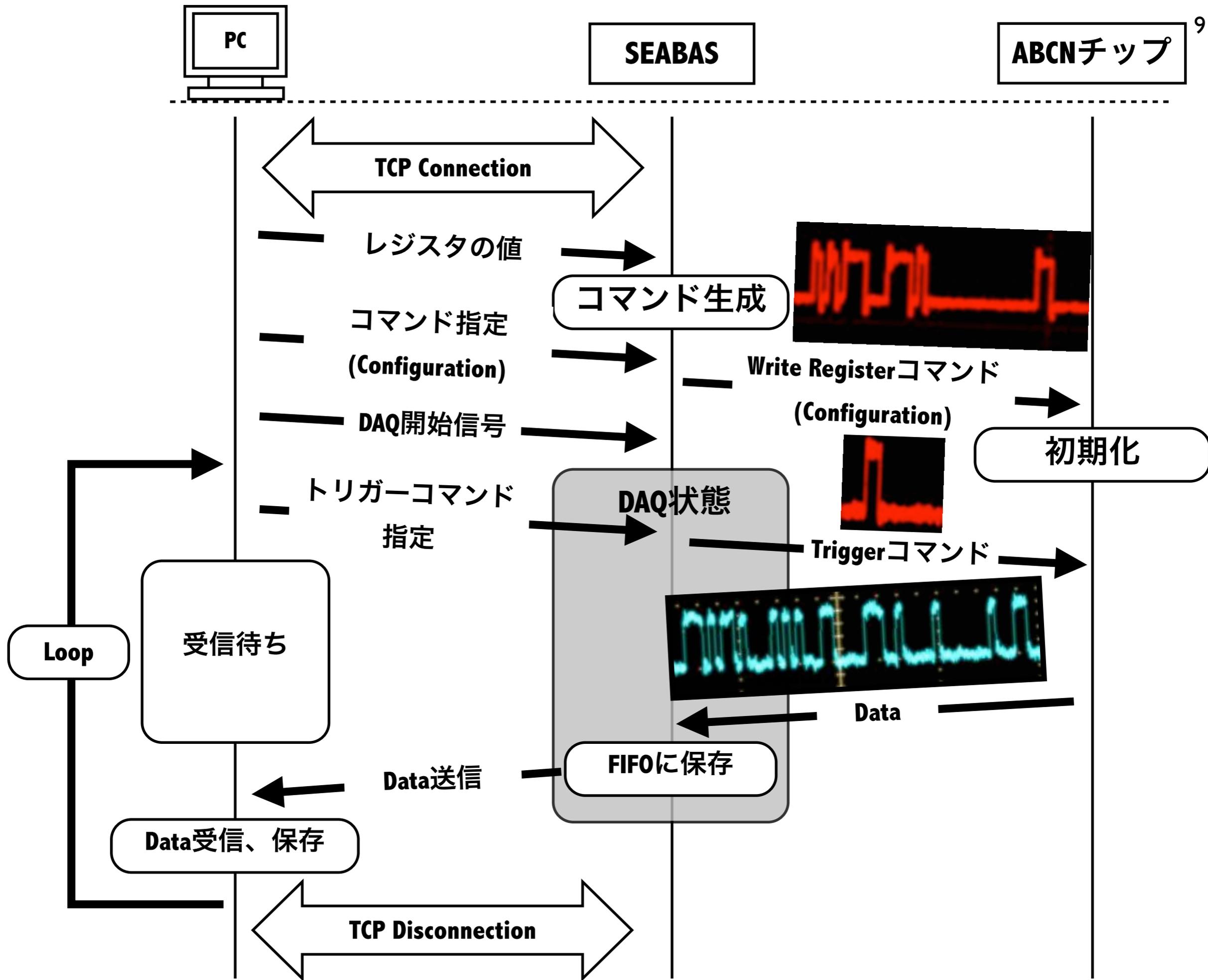
レジスタの値

コマンド生成





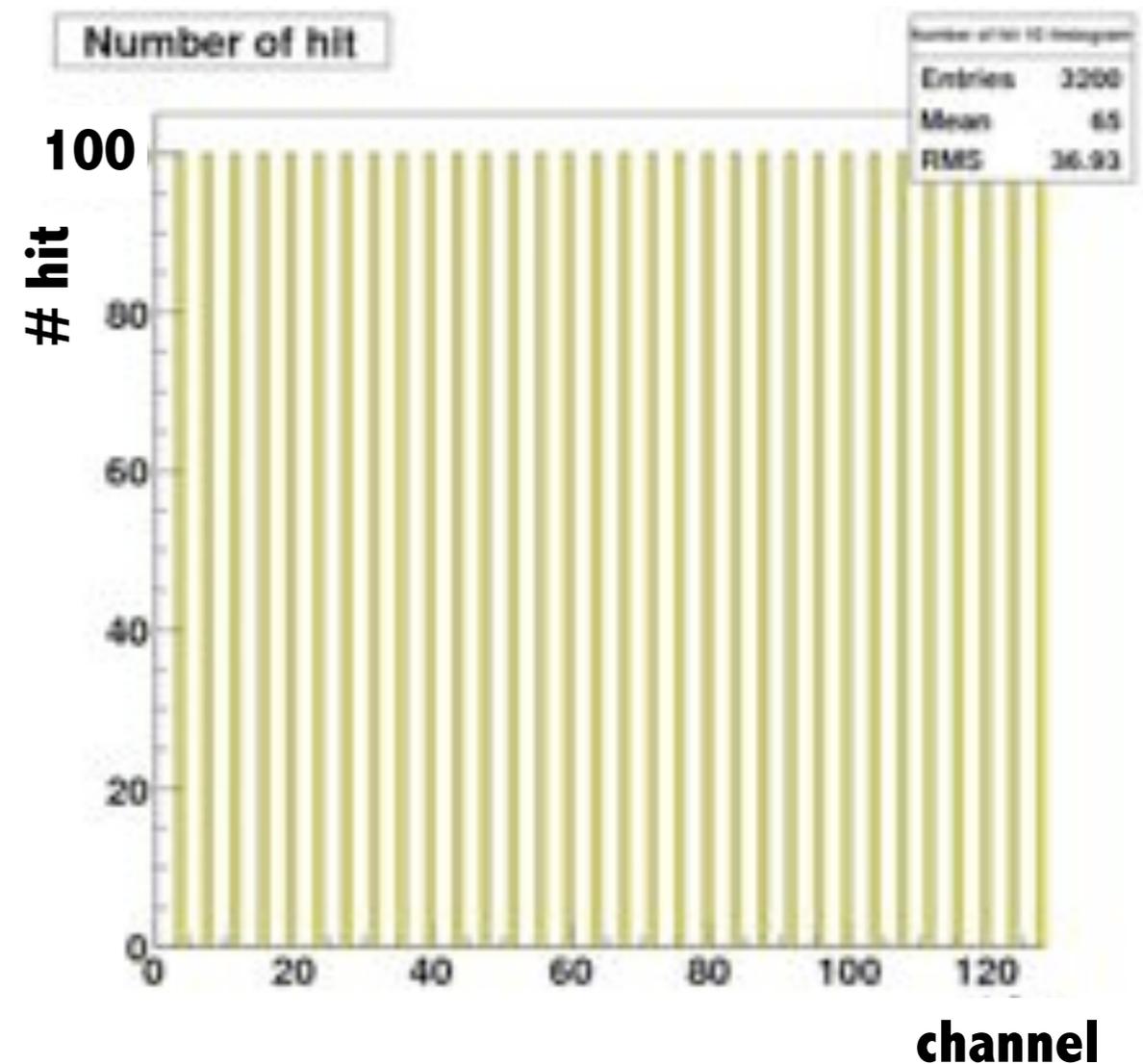




開発したDAQシステムの動作試験(1)

- まずは1個のABCNチップでシステムが正常に動作するか確認
- Calibrationパルス入射テスト
 - Calibrationパルスをチャンネル3, 7, 11, 15, ...に入射
 - “Issue Calibration Pulse”コマンド + “Trigger”コマンド
 - ▶ 100回繰り返す

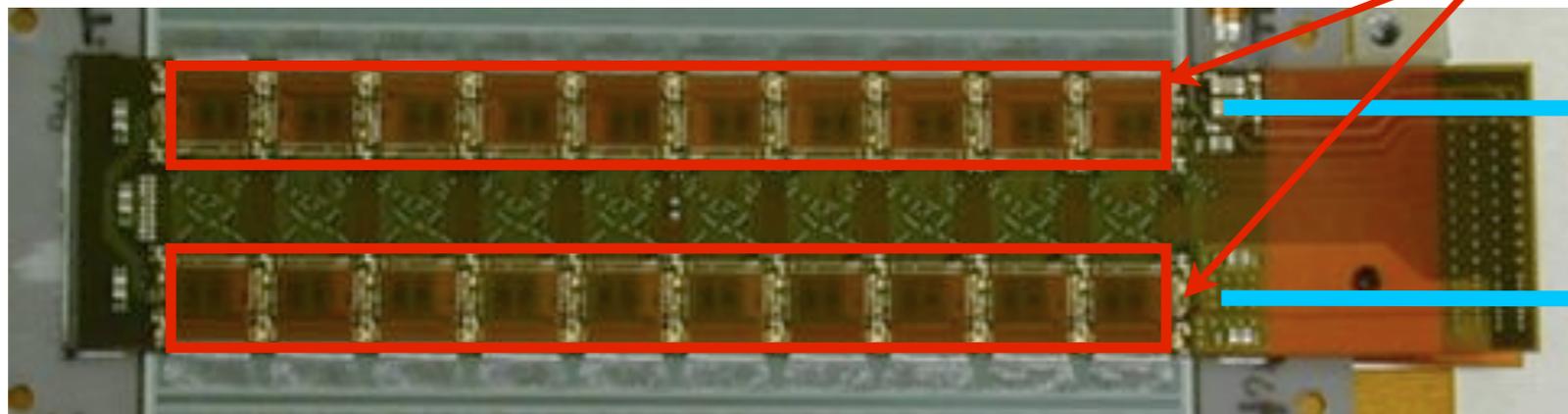
➡ 正しく読み出せている



開発したDAQシステムの動作試験(2)

- ABCNチップ20個の読み出しへ拡張

- フレックスハイブリッド基板



- 信号線が2本になる

- ▶ ファームウェアの拡張

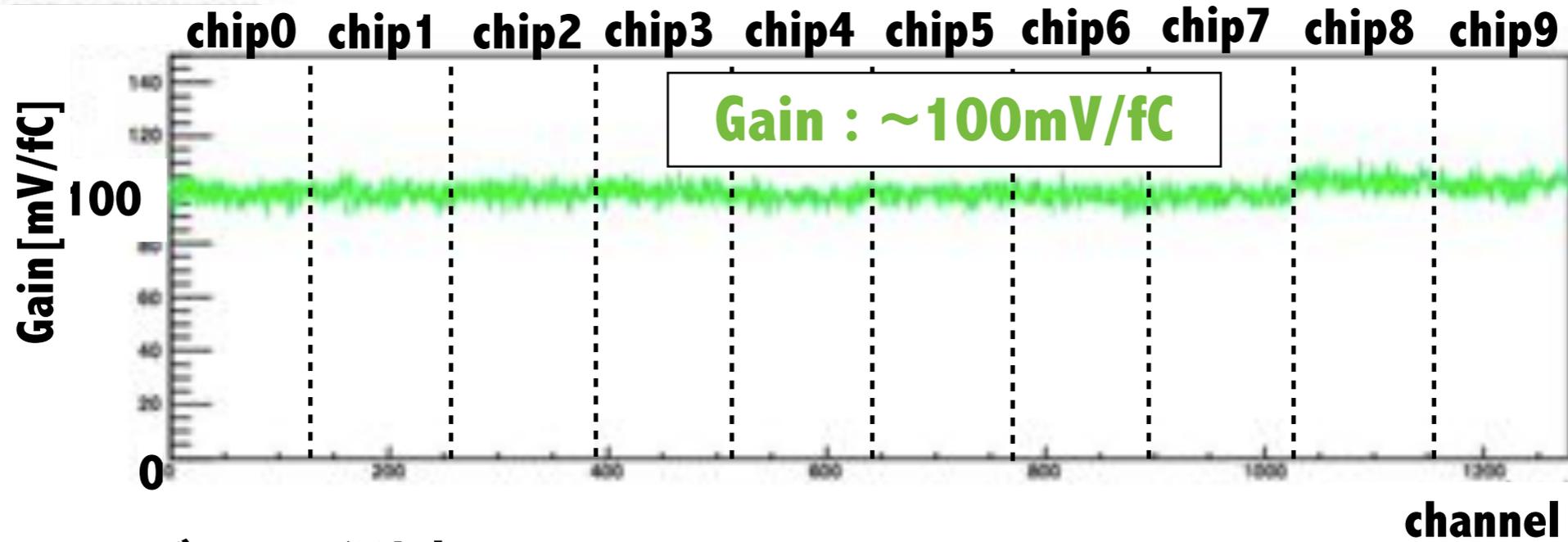
- ❖ 信号線毎にFIFOを用意

- ❖ 2本からN本への拡張は簡単

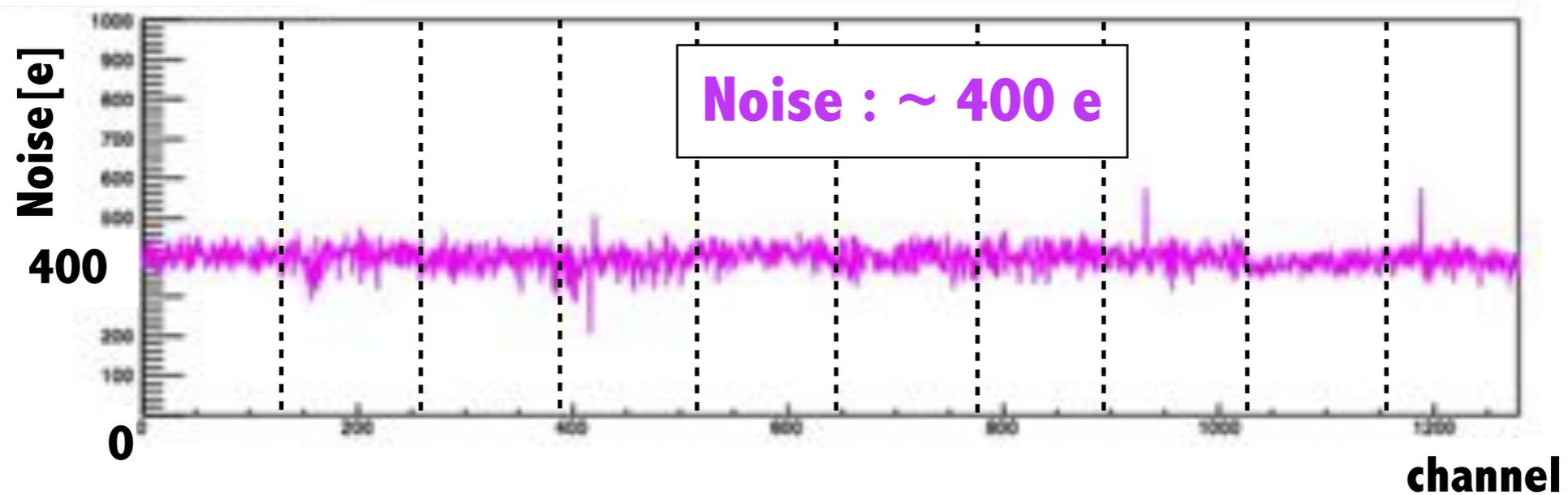
➡ 20個のABCNチップの性能評価テストを行い、その結果がチップの仕様通りかを確認

ゲインとノイズ測定

- Gain [mV/fC] の測定

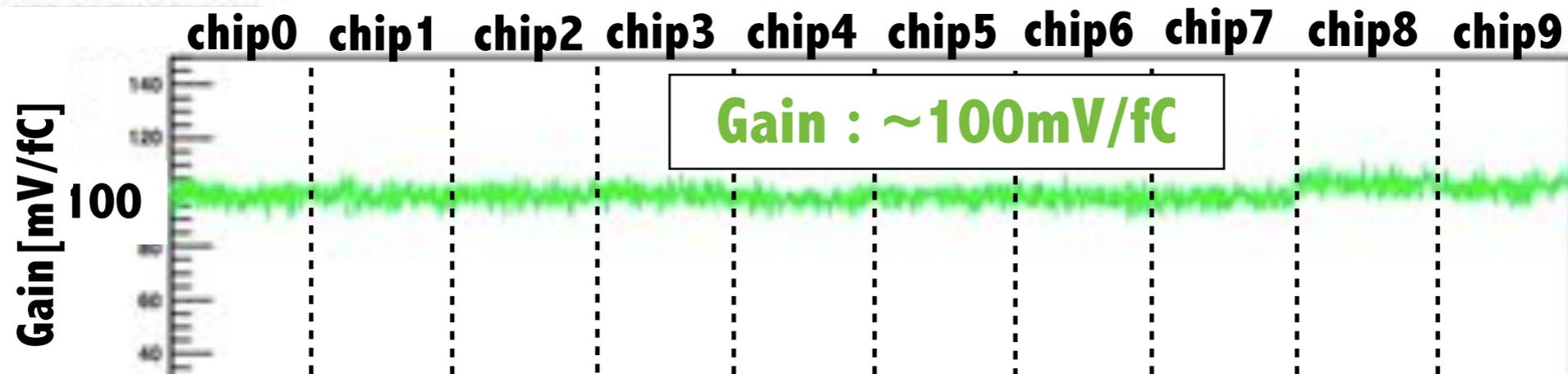


- ノイズ[e]の測定



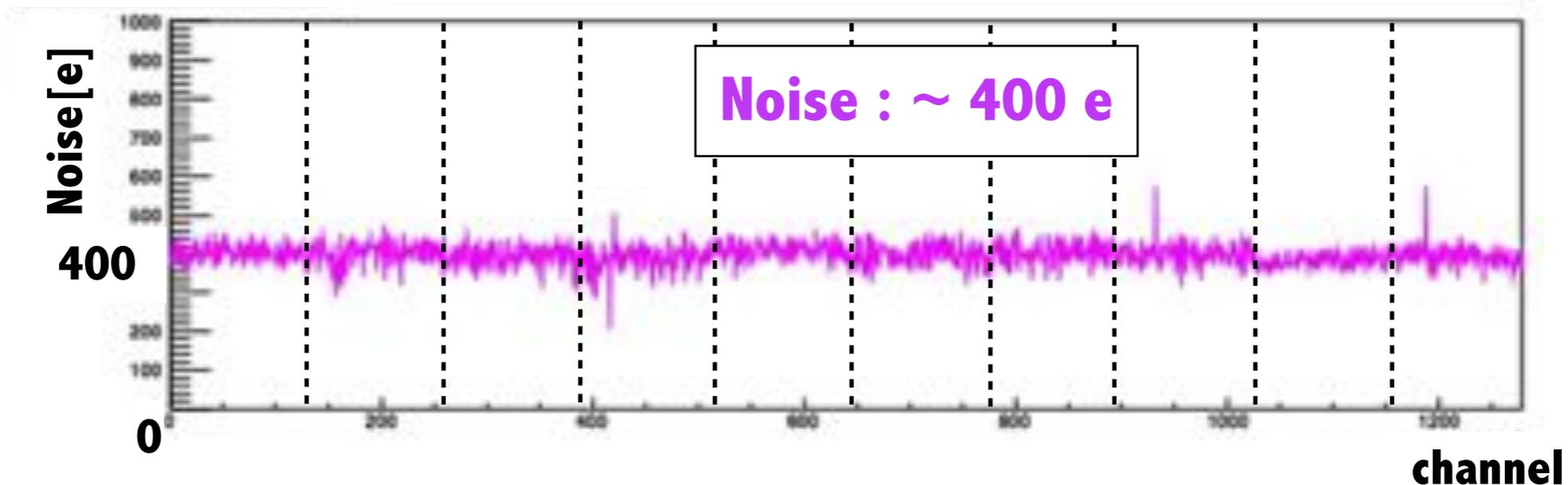
ゲインとノイズ測定

- Gain [mV/fC] の測定



どちらもABCNチップの仕様通りの値

20個のABCNチップの読み出しが正しくできた

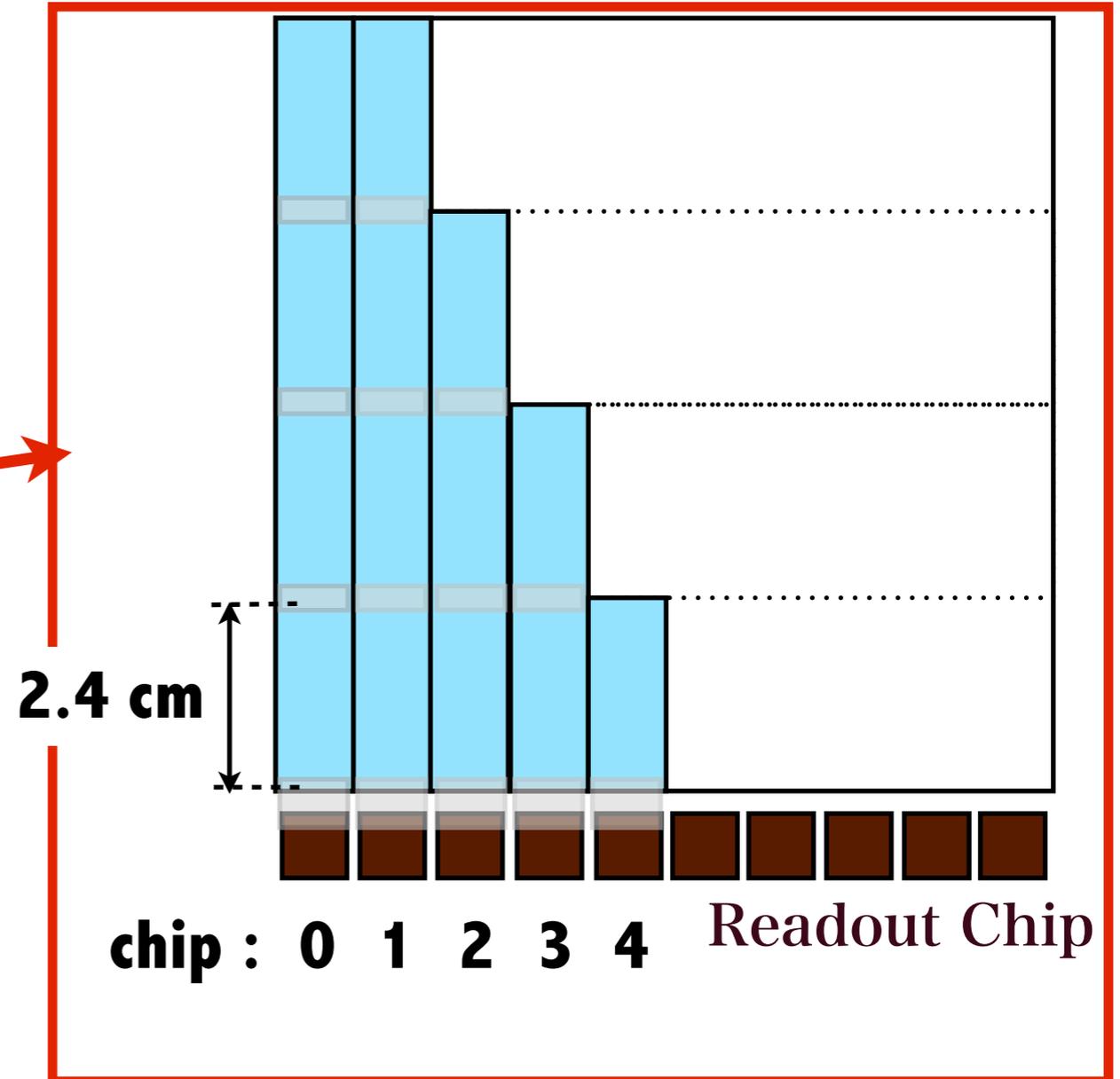


読み出しシステムの総合的な評価(1)

- チップの性能評価試験以外に、プロトタイプ検出器を用いて以下の測定も行なった
 1. ノイズの測定
 - ▶ 検出器のノイズの評価が正しくできるか
 2. 宇宙線による検出効率の測定
 - ▶ 外部トリガーで正しく信号の読み出しができるか
 - ❖ SEABASにはNIM入力がある

読み出しシステムの総合的な評価(2)

- プロトタイプ検出器

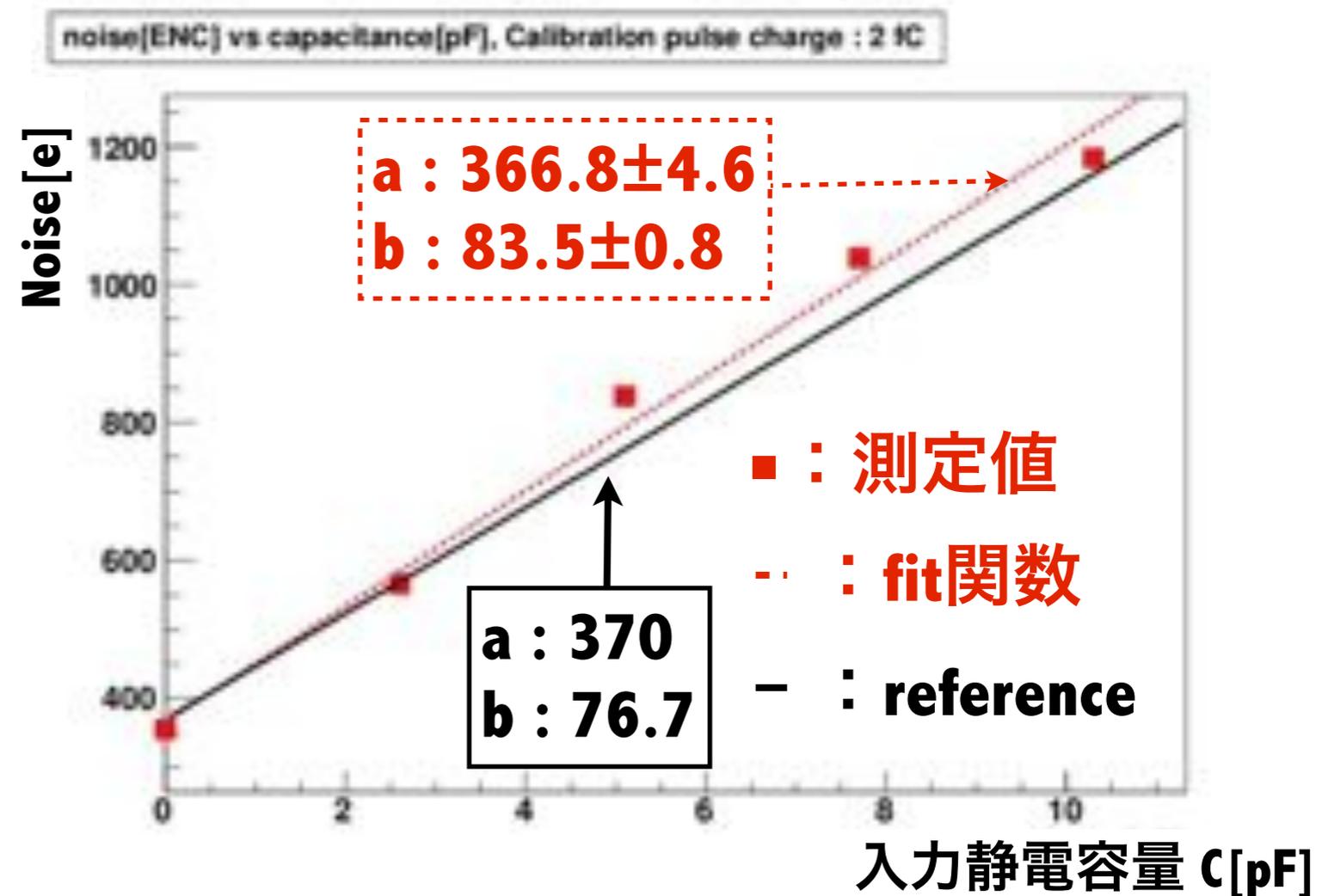


- チップによって接続されているセンサーのストリップの長さが異なる

ノイズ測定

- ノイズの入力静電容量依存性
 - プリアンプからのノイズ[e]は入力静電容量C [pF]の関数
 - ▶ **Noise [e]=a+b×C**

	入力静電容量 [pF]
chip 0	10.3
chip 1	10.3
chip 2	7.7
chip 3	5.1
chip 4	2.6



ノイズ測定

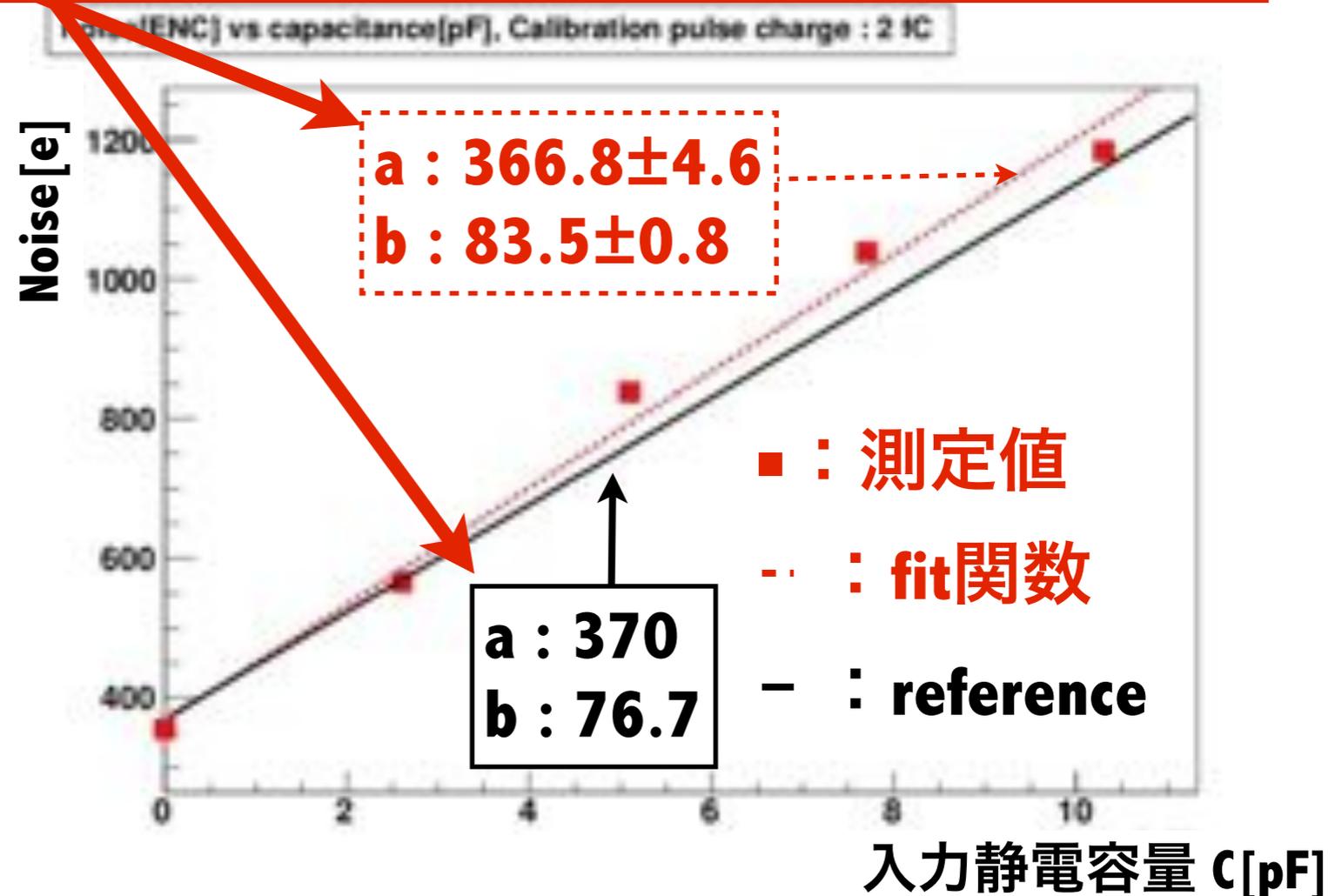
- ノイズの入力静電容量依存性

開発したシステムで、ノイズを正しく評価できた

a、bともに近い値

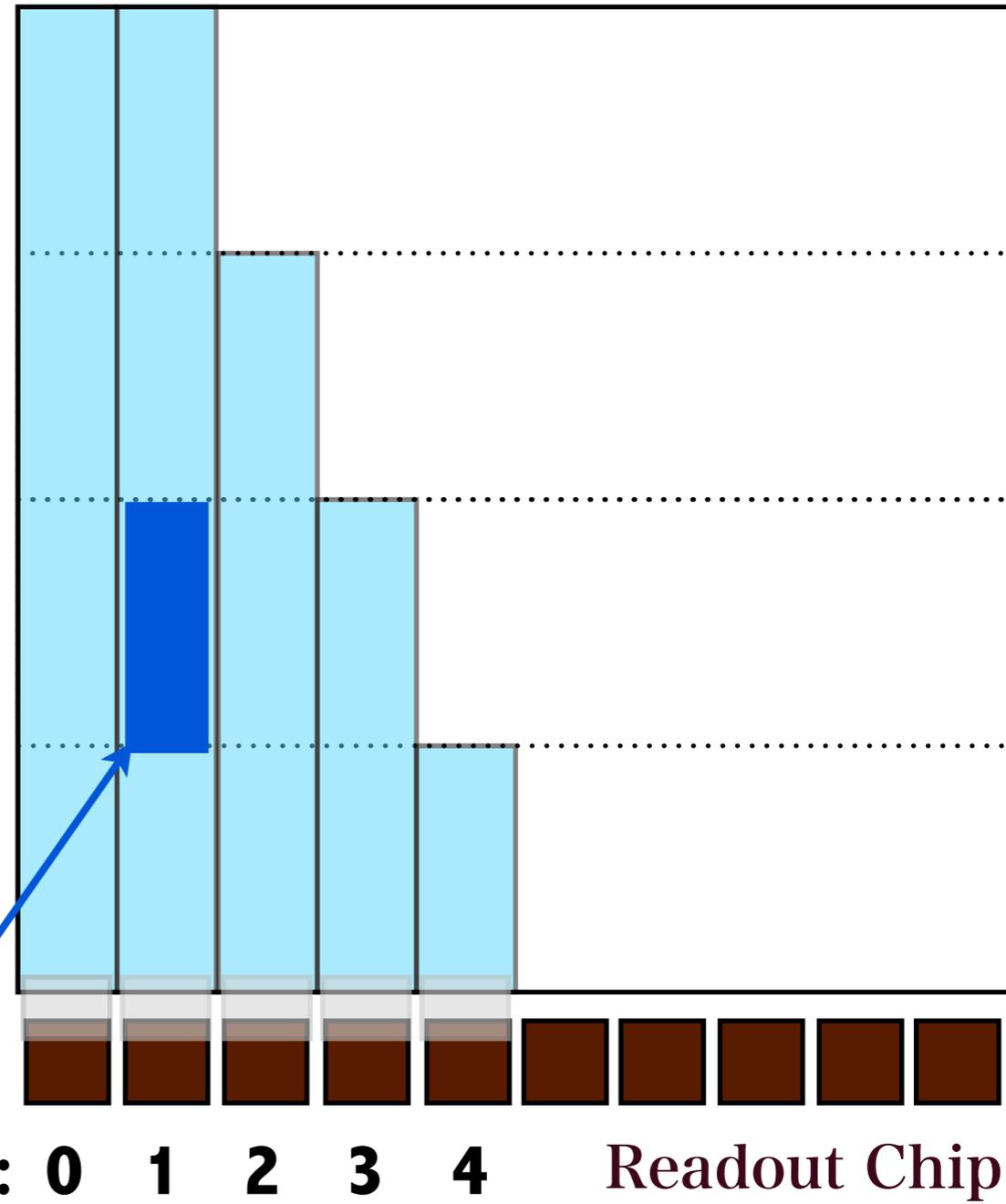
開発したシステムで、ノイズを正しく評価できた

	入力静電容量 [pF]
chip 0	10.3
chip 1	10.3
chip 2	7.7
chip 3	5.1
chip 4	2.6



宇宙線による検出効率の測定

- 実験のセットアップ

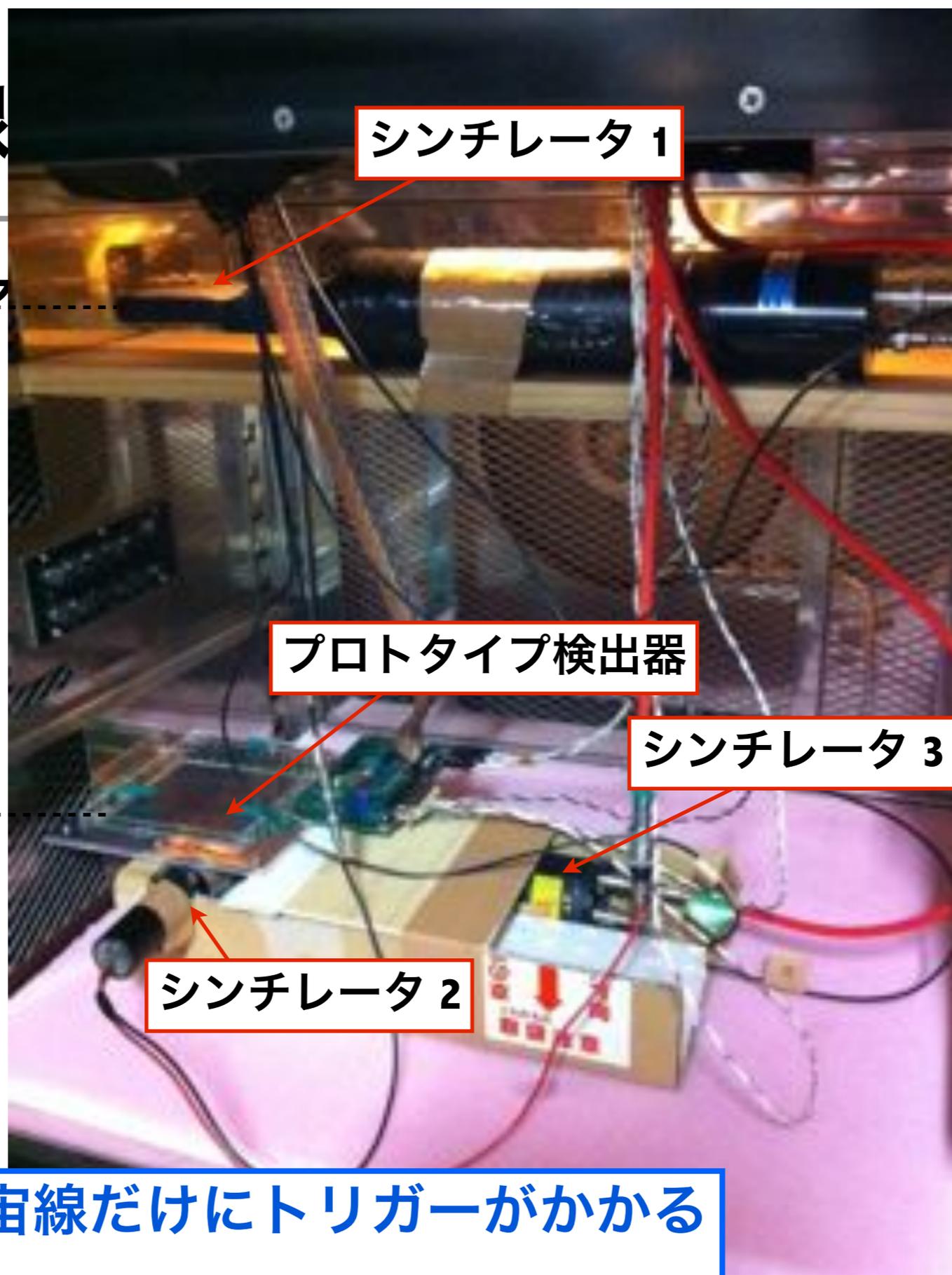


この領域を通った宇宙線だけにトリガーがかかる
ように3枚のシンチレータを配置

宇宙線

- 実験のセットアップ

32 cm



シンチレータ 2

シンチレータ 1

プロトタイプ検出器

シンチレータ 3

Chip

この領域を通った宇宙線だけにトリガーがかかるように3枚のシンチレータを配置

- **検出効率**

- **トリガーされたイベント数：360イベント**
- **一つ以上のヒットがあったイベント：328イベント**
 - ▶ **宇宙線の斜め入射の補正を入れた検出効率は**
98.5±0.7%と求められた
 - ❖ **一般的な半導体検出器の検出効率>99%**

➡ 開発したシステムを用いて、外部トリガーで宇宙線からの信号を正しいタイミングで読み出せる

まとめ

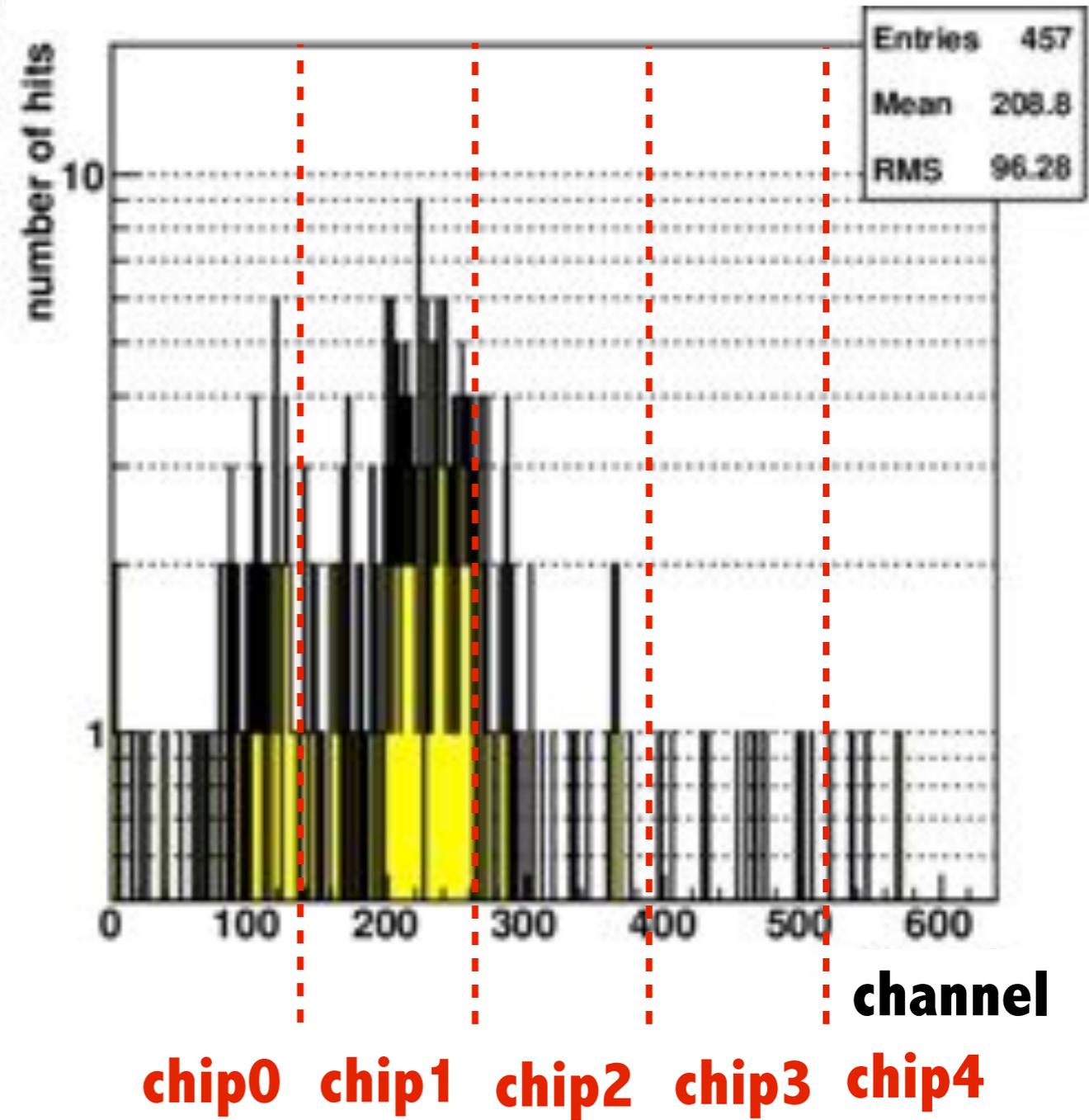
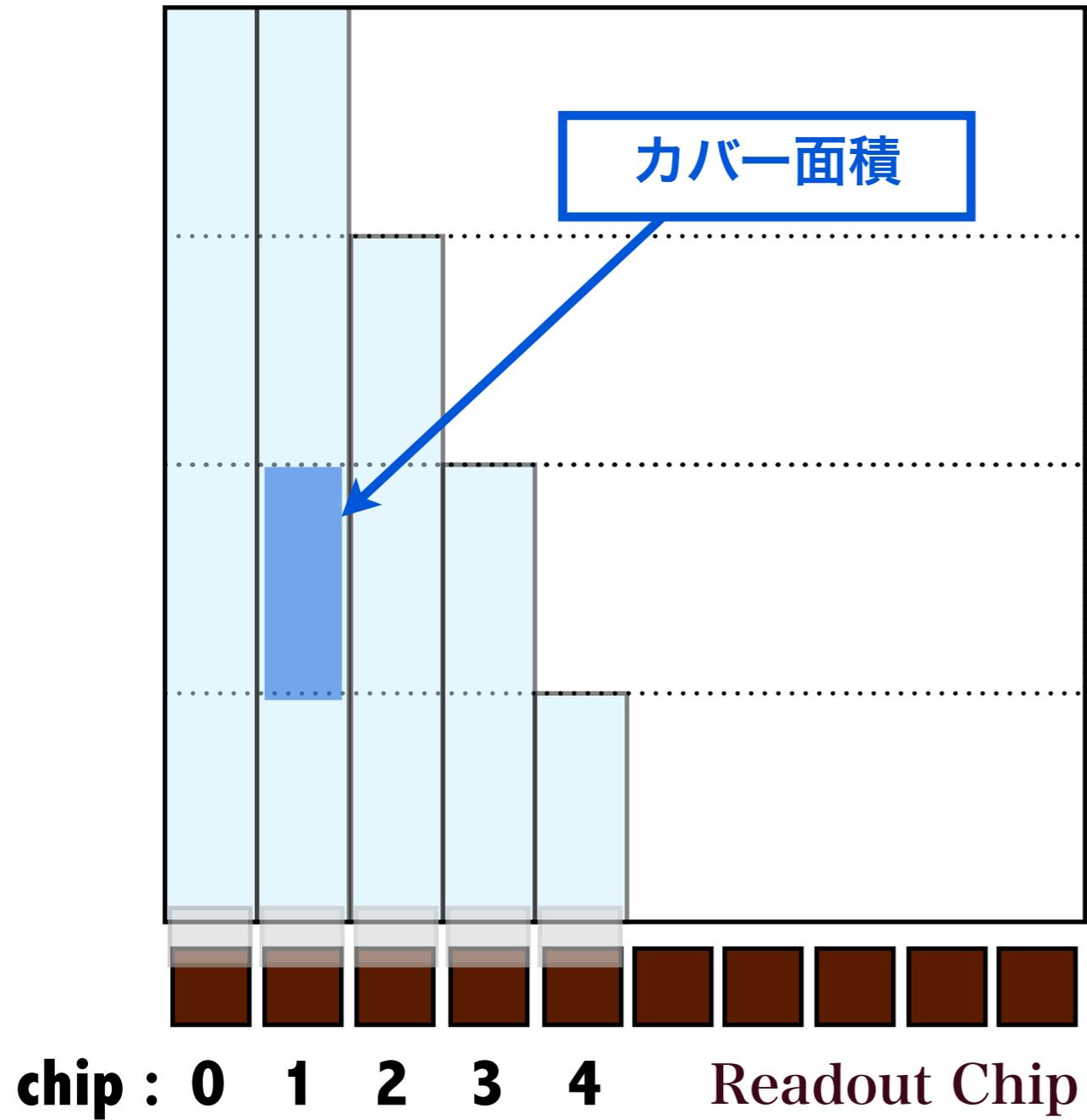
- 性能評価テスト用DAQシステムの開発
 - SEABASには大容量FPGAがあり、120本のI/Oラインが搭載
 - ▶ 仕様では4個のモジュールを一度に試験できる
 - 20個のABCNチップの読み出しができた
 - ▶ 2本の信号線をN本の信号線へ拡張するのは簡単
- ➡ 将来的にこのシステムで4個のモジュールの性能評価ができるはず
- 開発したDAQシステムを用いて、チップの性能評価試験以外に、検出器のノイズの定量的な評価や宇宙線からの信号の読み出しもできる

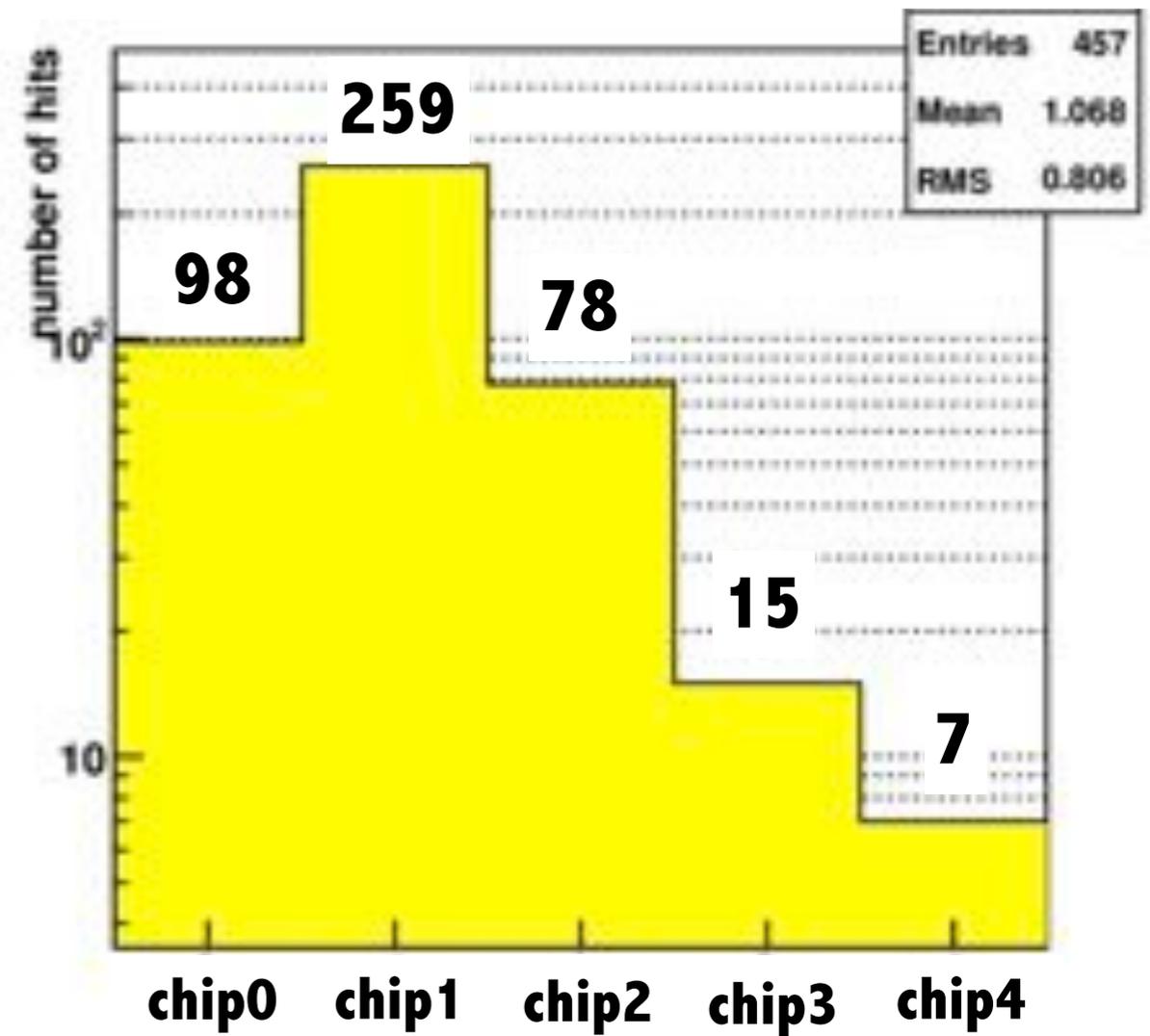
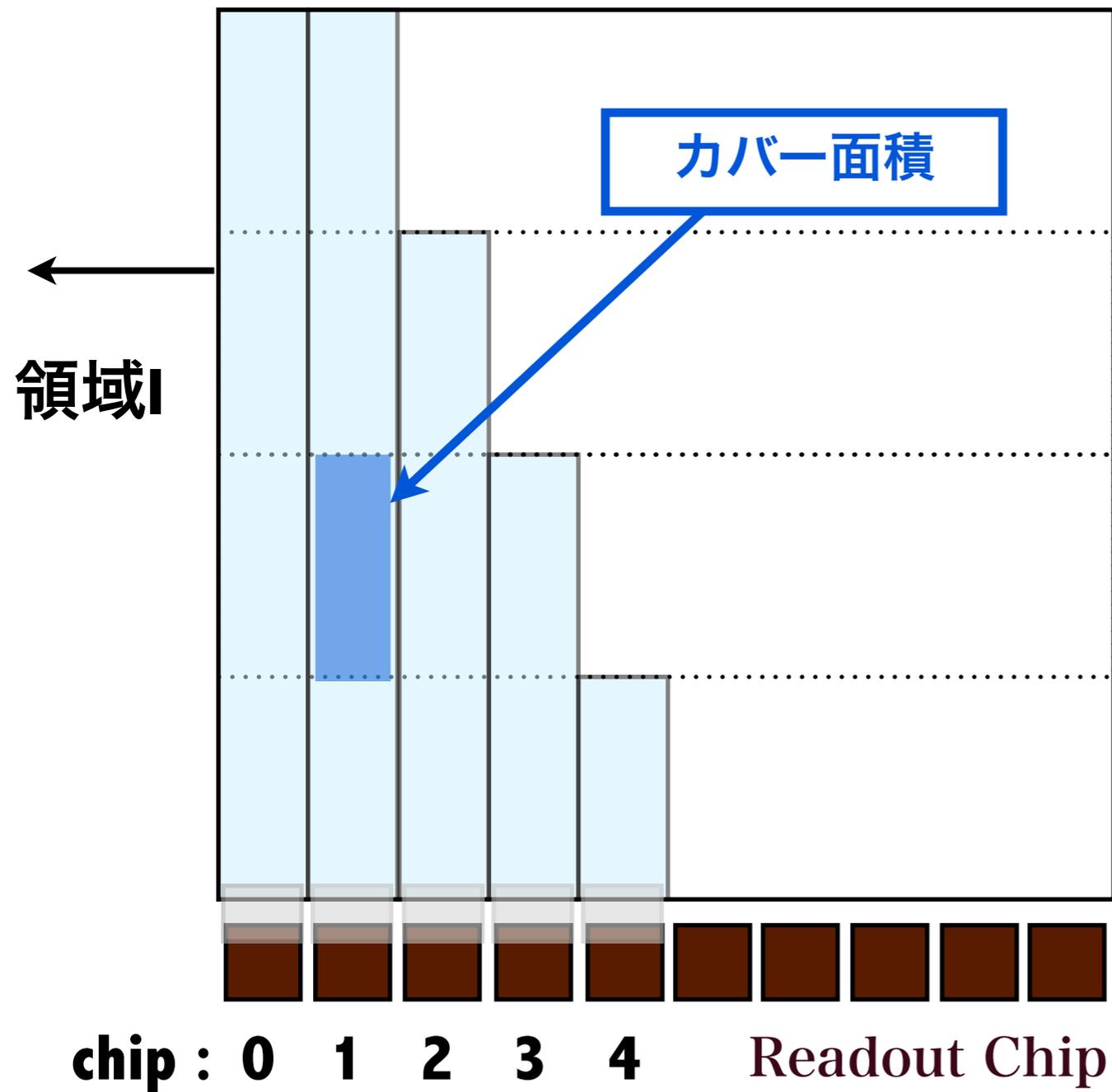
fin

backup

ABCNチップ制御用ファームウェア

- **ABCNチップの制御とは...**
 - **ABCNチップに任意のbit stream(コマンド)を送ると、チップの状態や内部のレジスタの値等を操作できる**
 - ▶ **Write registerコマンド, Data Takingコマンド, Triggerコマンド etc...**
 - **以下の内容をファームウェアに実装**
 1. **PCからABCNチップの初期化に必要なレジスタの値をSEABASに送り、SEABASがそれを保持し、コマンドを生成する**
 2. **PCからコマンドを指定すると、SEABASからABCNチップに指定されたコマンドが送られる**
- ➡ **次のページで開発したDAQシステムの流れを説明**

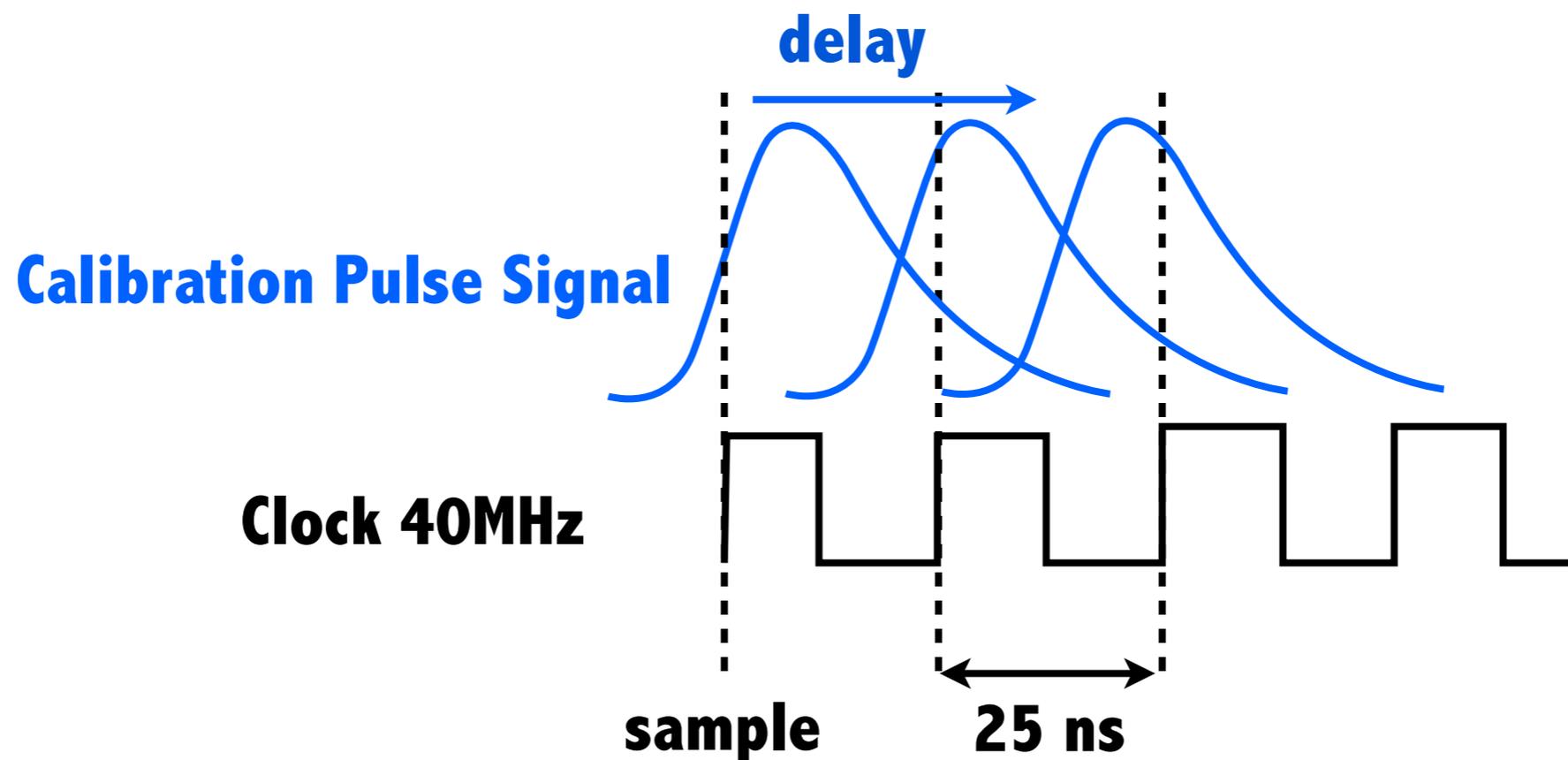




- 領域Iに通過した粒子の数 $N_I = (98/78) \times (15+7) \sim 27$
- N_I を考慮に入れた検出効率は 98.5 ± 0.7 である

タイミング調整

- **Calibration**パルス信号の立ち上がりエッジとクロックの立ち上がりエッジの間の相対的な遅延を決定する
 - **Calibration Pulse**のdelayを0 ns~63 nsまで変化させる
 - それぞれのdelayで検出効率を測定



タイミング調整

- **Calibration**パルス信号の立ち上がりエッジとクロックの立ち上がりエッジの間の相対的な遅延を決定する
 - **Calibration Pulseのdelay**を0 ns~63 nsまで変化させる
 - それぞれのdelayで検出効率を測定

既存のDAQシステムでの測定

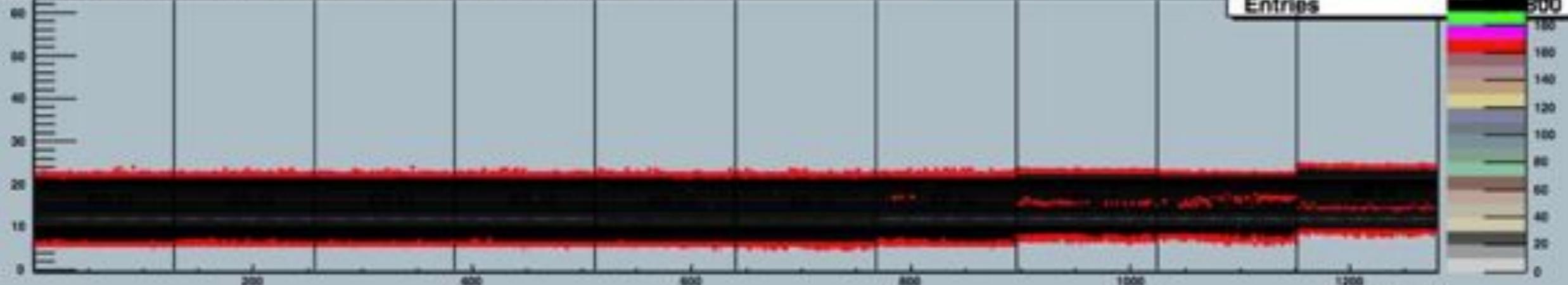
Module 0 ABCNx20 KHx2037 Stream 0 STROBE DELAY Scan

h_scan0_m0

Entries

500

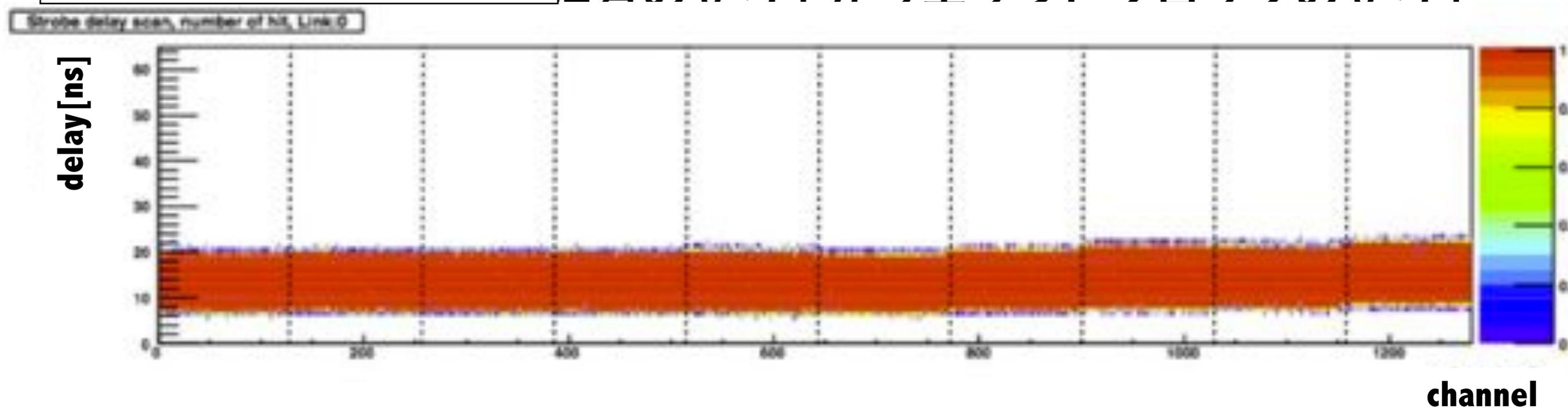
delay [ns]



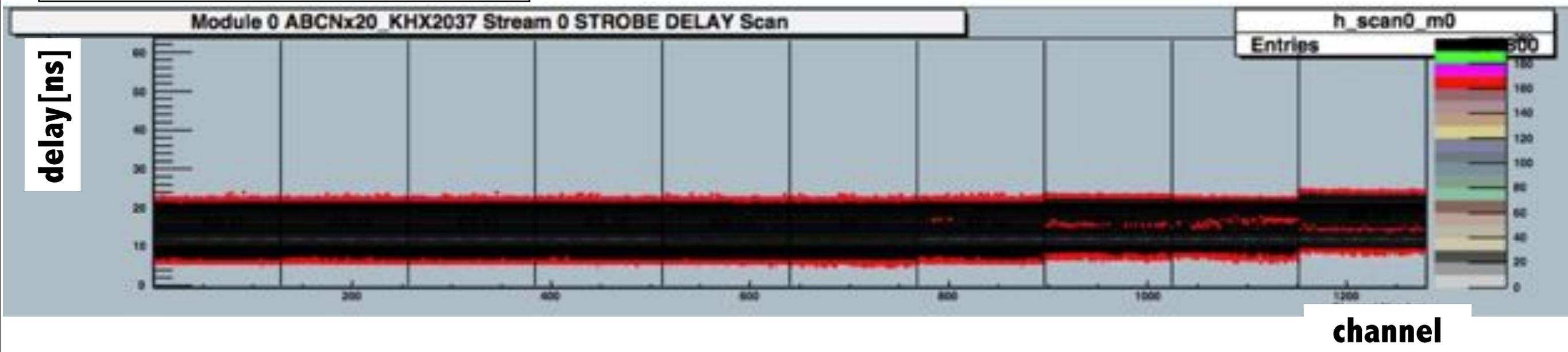
channel

タイミング調整

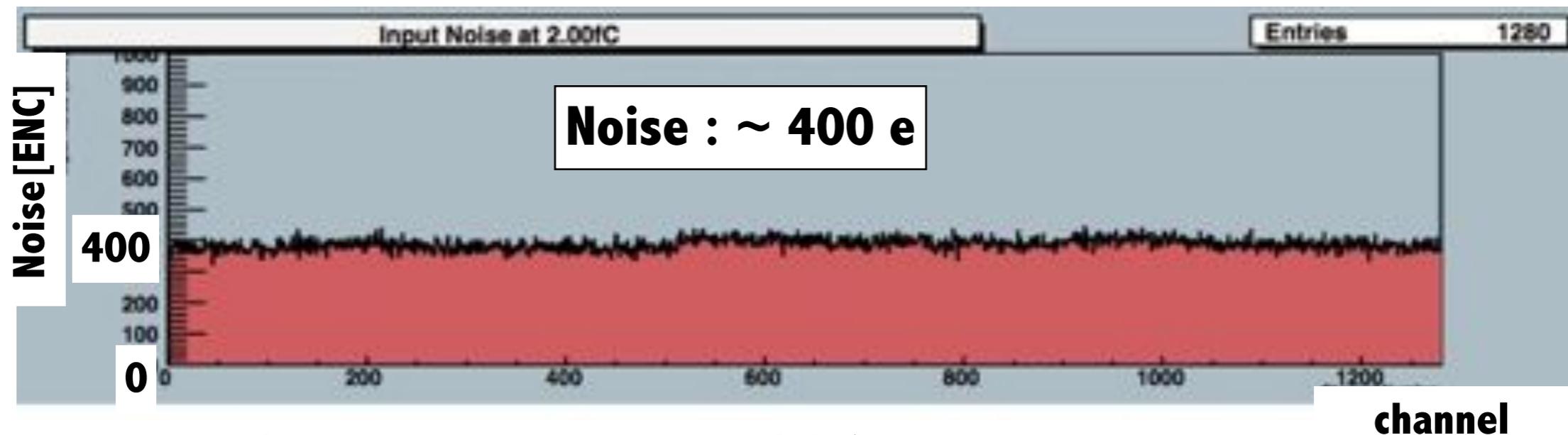
開発したDAQシステムでの測定 信号の立ち上がりエッジとクロックの立ち上がり



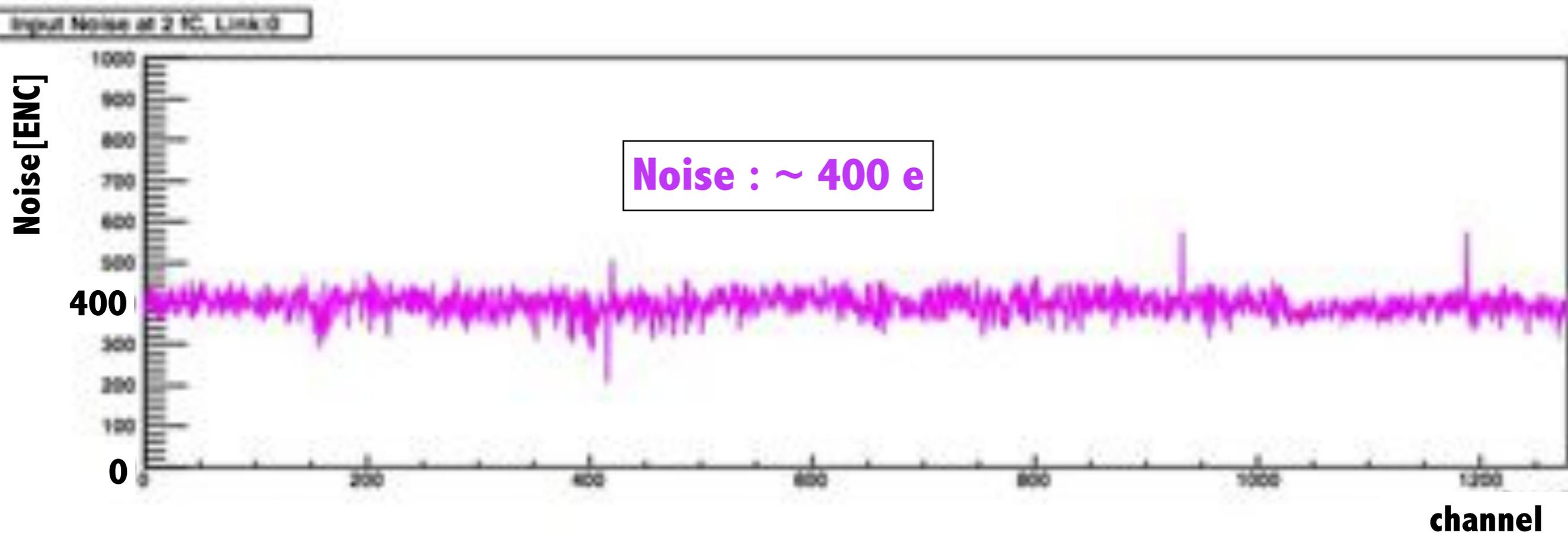
既存のDAQシステムでの測定



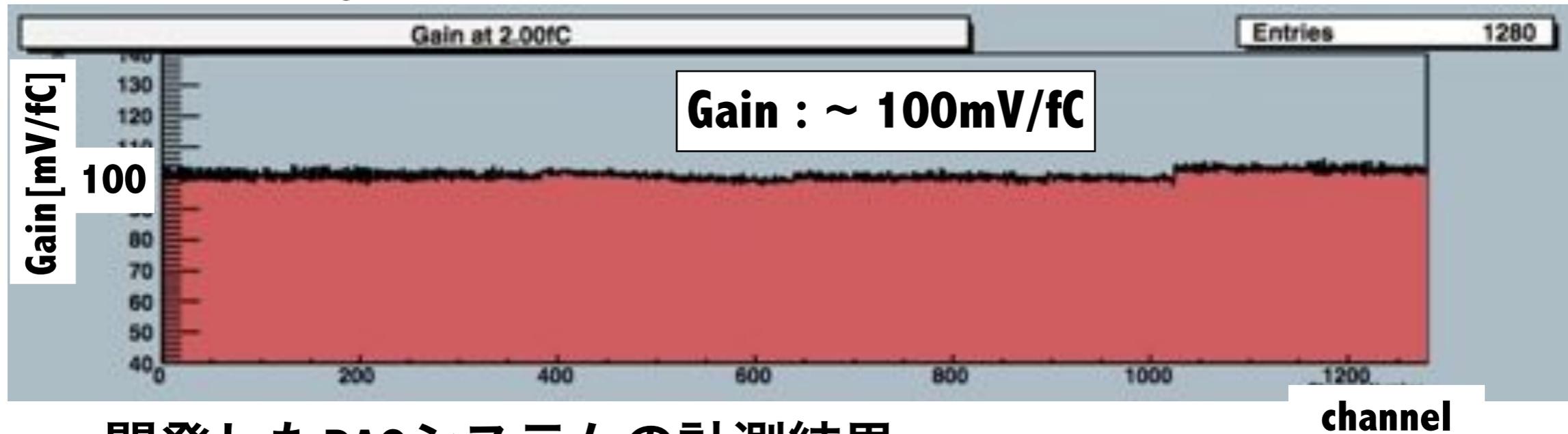
- 出力ノイズ σ [mV]からNoise ($=\sigma/\text{Gain}$) [ENC]を求める
- 既存のDAQシステムでの測定結果



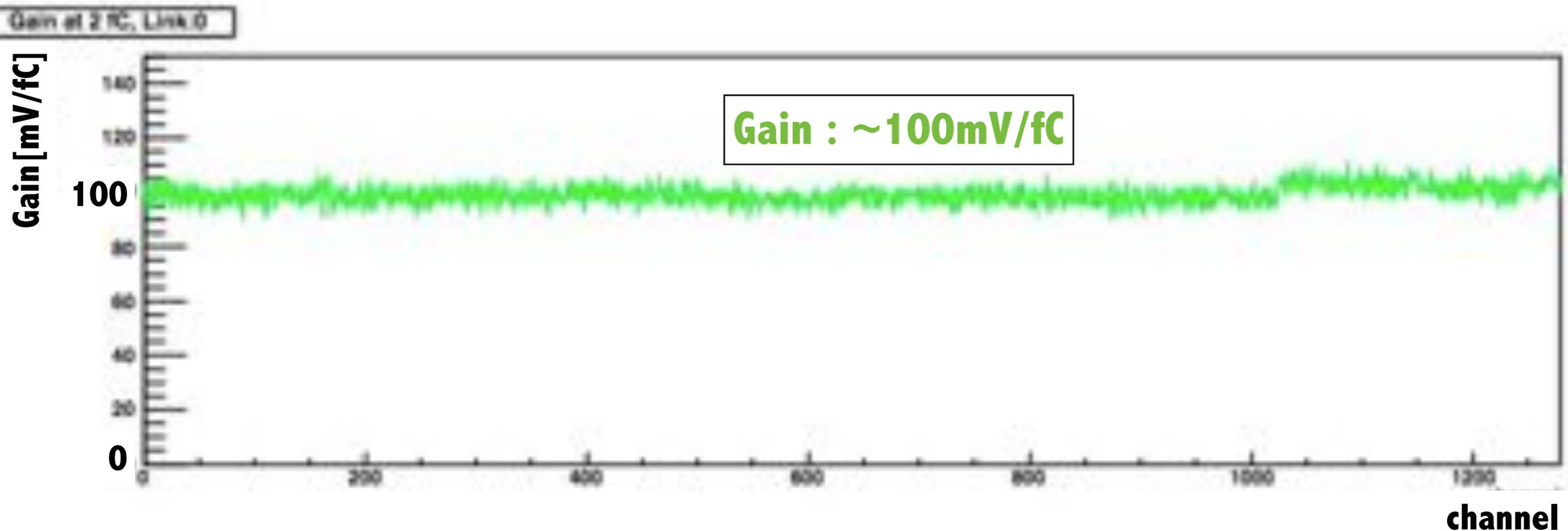
- 開発したDAQシステムでの測定結果



- 測定した V_{t50} [mV]からGain (= $V_{t50}/\text{Pulse charge}$) [mV/fC]を求める
- 既存のDAQシステムでの測定結果

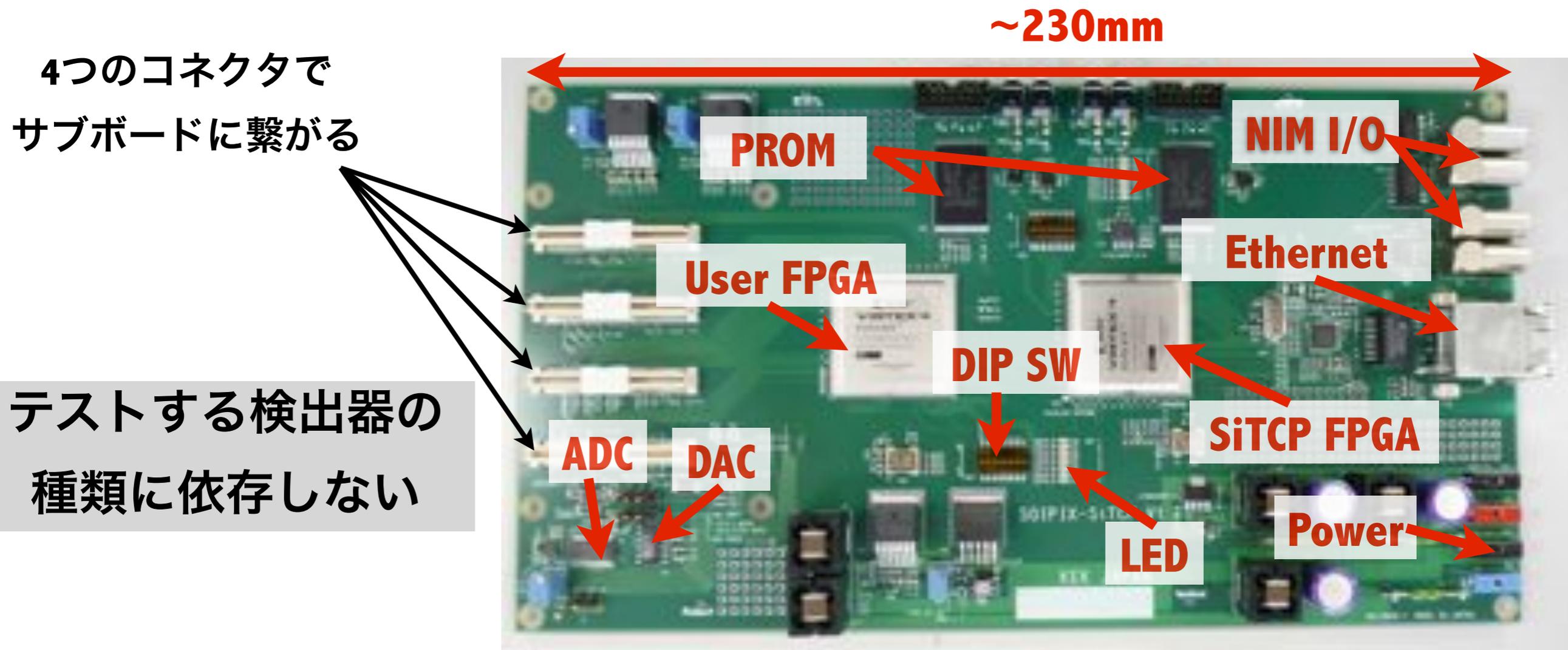


- 開発したDAQシステムの計測結果



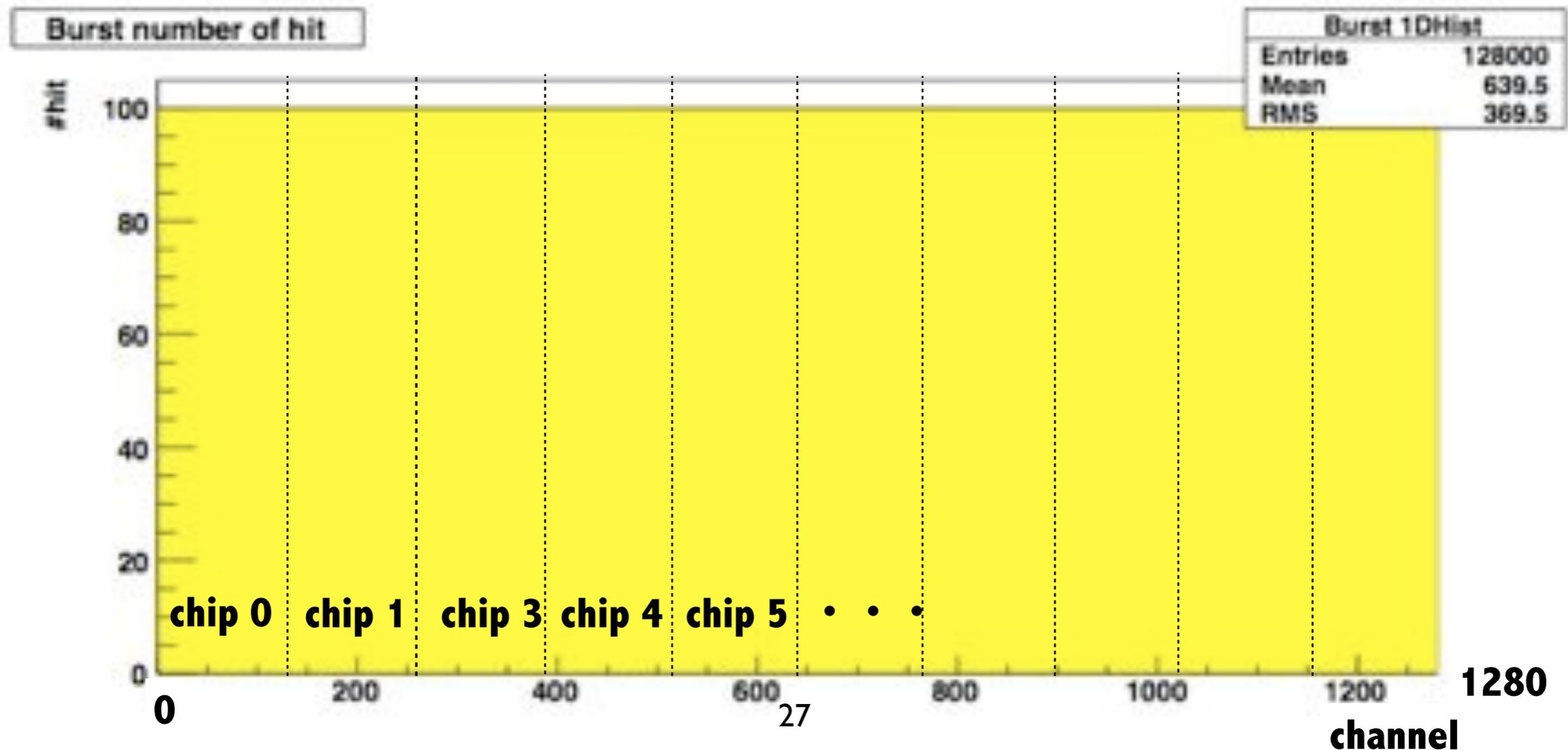
汎用読み出しボードSEABAS

- **SEABAS (Soipix EvAluation BoArd with Sitcp)**
 - **SiTCP (network processor), ADC, DAC, NIM, FPGAを搭載**
 - **評価したいチップに合わせたサブボードを付け替える事により、様々な検出器を評価できる汎用読み出しボード**

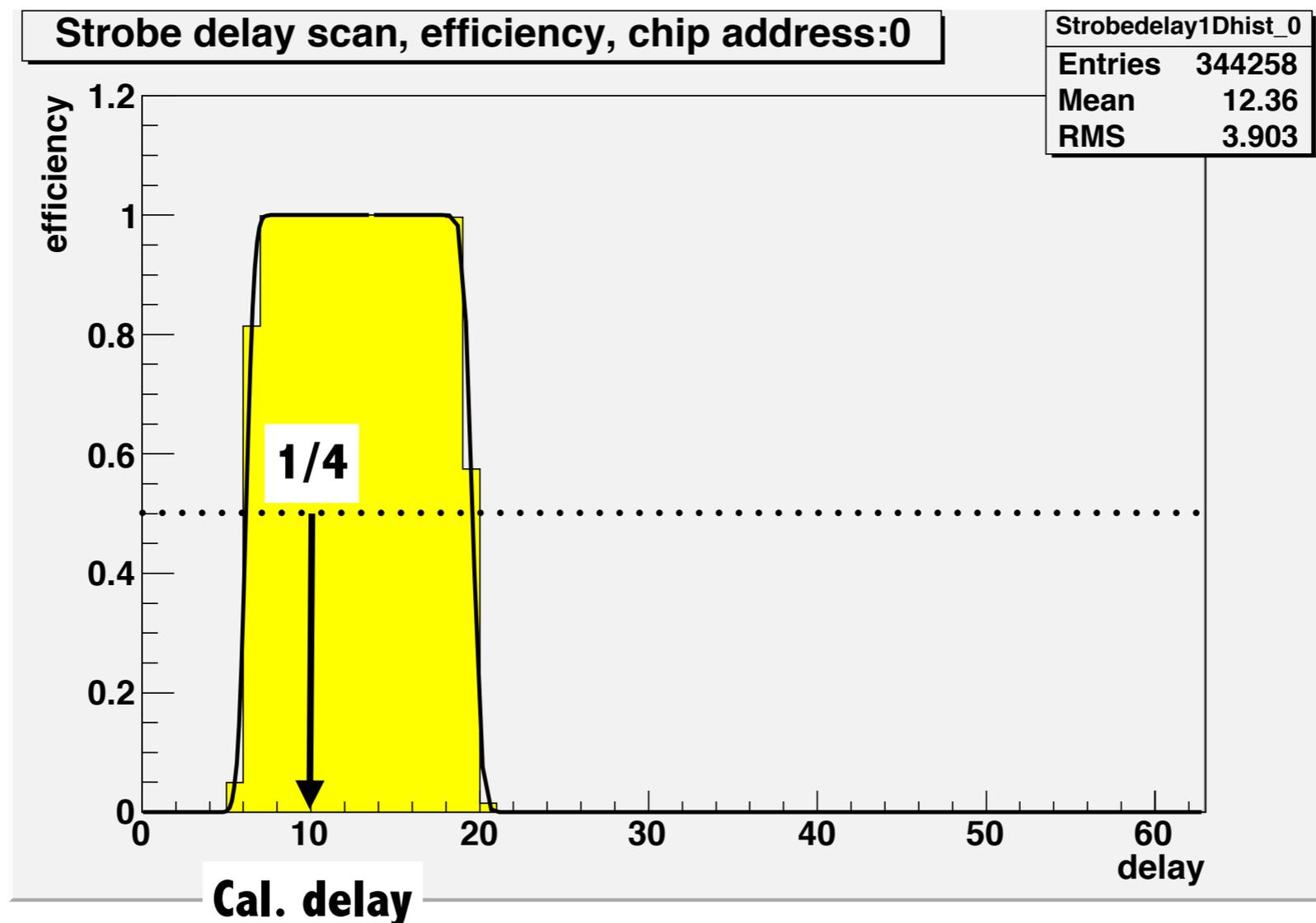


Burstテスト

- チップからレスポンスがあるかどうかを確認するテスト
 - チップのコンパレータの閾値を最低(0 mV)に設定
 - ▶ ノイズにより常にヒットがある状態にする
 - Triggerを100回送る



- **Cal. delayの決定**
 - **Strobe delay scan**を行い、**Chip毎にefficiencyの立ち上がり/下がり部分を誤差関数でフィット**
 - **Efficiency50%のdelayをそれぞれ求め、その幅の1/4のdelayをcal. delayと決定**



- 加速器コンポーネントや、各実験の検出器の一部はIntL~
数 100fb^{-1} 収集ぐらいで、放射線損傷による劣化が出てくる。

	LHC	HL LHC
integrated luminosity [fb^{-1}]	700	3000
luminosity [$\text{s}^{-1}\text{cm}^{-2}$]	10^{-34}	5×10^{-34}
events/crossing	30	150

noise[ENC] vs bias voltage[V], cal charge : 2 fC

