

ATLAS実験アップグレードに向けた Telescope位置検出器を用いた シリコン飛跡検出器用試験システムの構築

東京工業大学 陣内研究室
岸田 拓也

久保田知徳, 陣内修, 岡村航^A, 遠藤理樹^A, 花垣和則^A, 池上陽一^D, 海野義信^D,
田窪洋介^D, 木村直樹^F, 近藤敬比古^D, 高嶋隆一^C, 東城順治^D, 寺田進^D, 永井康一^E,
中野逸夫^B, 原和彦^E, 寄田浩平^F, 他アトラスSCTグループ

東工大, 阪大理^A, 岡山大^B, 京都教育大^C, 高工研^D, 筑波大^E, 早大理工研^F,

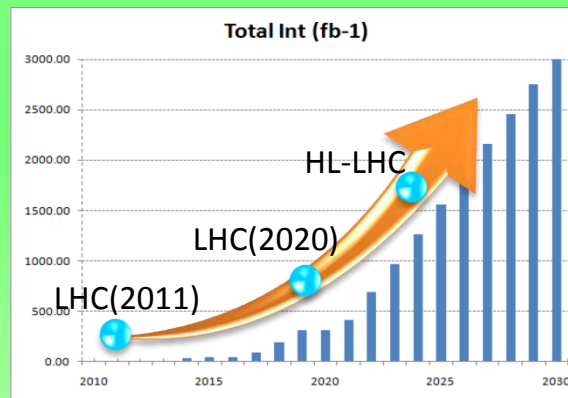
LHCアップグレード

2012年までには $v_s=7$ TeVで出来ることは全て達成される予定。

Ex.)

- Higgsの存在確率がほぼ全質量領域で 3σ 以上で明らかになる
- SUSYの探索質量領域が1 TeVまで広がる

今後、『Luminosity』のさらなる増加を目指したUPGRADEが計画されている。



LHC UPGRADE :

Luminosityの増加



ATLAS Detector UPGRADE :

- Occupancyの増加抑制
 - 放射線耐久強化
- etc...

	LHC (2011)	LHC(~2020)	HL-LHC(2021~)
Peak Luminosity	$10^{33} \text{ cm}^{-2}\text{s}^{-1}$	$2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$	$5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$
Integrated Luminosity	$\sim 1 \text{ fb}^{-1}$	300 fb^{-1}	3000 fb^{-1}
v_s	7 TeV	14 TeV	14 TeV
Bunch Spacing	25 / 50 ns	25 / 50 ns	25 / 50 ns
Protons per Bunch	1.15×10^{11}	$1.7/2.3 \times 10^{11}$	$1.7 / 2.3 \times 10^{11}$
Pile Up Events	~ 5	~ 50	>200

Inner Detectorアップグレード

今回はATLAS Detectorの中で、Inner Detector(特にSCT)のUPGRADEについて説明する。

◆ Inner Detector UPGRADEの目的

- Occupancy増加抑制
- 分解能向上
- 放射線耐久強化(次ページ)

Inner Detectorの種類

- TRT : Gas Tube Detector
- SCT : Silicon Strip Detector
- PIXEL : Silicon Pixel Detector

—NOW—

TRT : Straw tube tracker

SCT : 12 cm strips

PIXEL : $50 \times 400 \text{ um}$ (=1 pixel)

—AFTER—

TRT : 全撤去

SCT : long strips(9.7cm)

short strips(2.4cm)

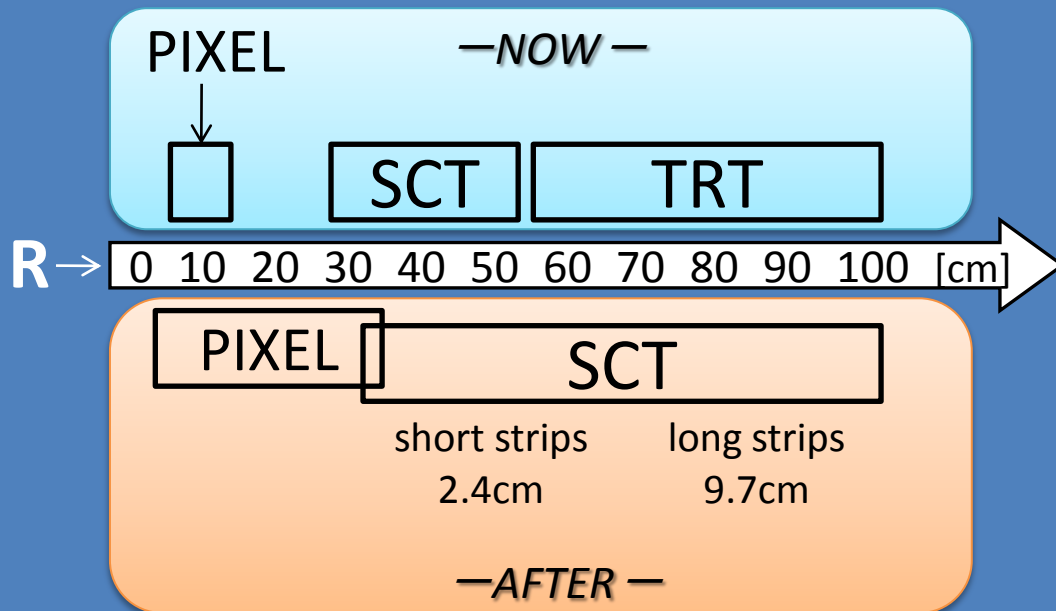
PIXEL : $50 \times 250 \text{ um}$ (=1 pixel)



Detectorの高集積化によって

- Occupancy増加抑制
- 分解能向上

Inner Detectorの配置変化



Inner Detectorアップグレード

今回はATLAS Detectorの中で、Inner Detector(特にSCT)のUPGRADEについて説明する。

◆ Inner Detector UPGRADEの目的

- Occupancy増加抑制
- 分解能向上
- 放射線耐久強化(次ページ)

Inner Detectorの種類

- TRT : Gas Tube Detector
- SCT : Silicon Strip Detector
- PIXEL : Silicon Pixel Detector

—NOW—

- TRT : Straw tube tracker
- SCT : 12 cm strips
- PIXEL : $50 \times 400 \text{ um}$ (=1 pixel)

—AFTER—

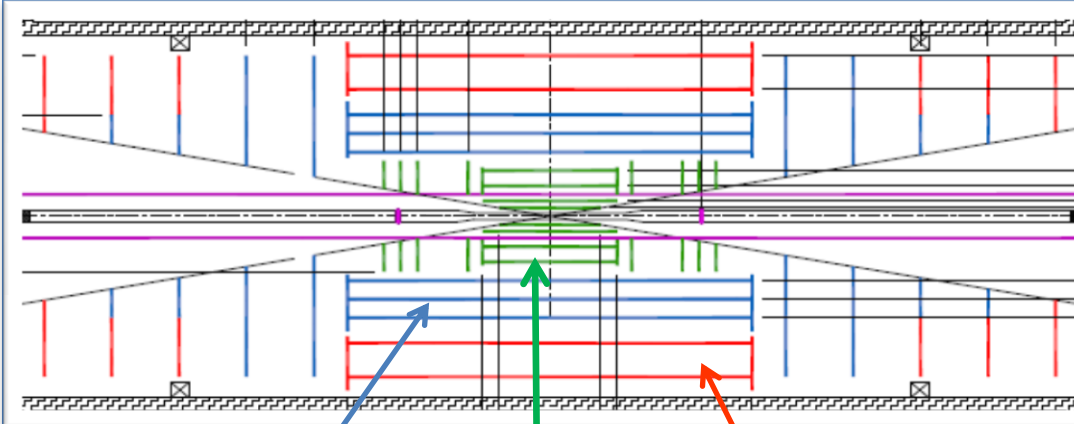
- TRT : 全撤去
- SCT : long strips(9.7cm)
short strips(2.4cm)
- PIXEL : $50 \times 250 \text{ um}$ (=1 pixel)



Detectorの高集積化によって

- Occupancy増加抑制
- 分解能向上

Inner Detectorの配置 (アップグレード後)



short strip

pixel

long strip

SCT アップグレード

• Module

	Current	Next (short)
Sensor Type <i>(放射線耐久に強く寄与)</i>	p-in-n	n-in-p
Side	Double sided	Double sided
Sensor Size	12cm × 6cm	10cm × 10cm
Strip Length	12cm	2.4cm
Strip Pitch	80 μm (=768strips)	74.5 μm (=1280strips × 4)
Thickness	285 μm	320 μm
ASICs	ABCD3T ASICs (× 12)	ABCN ASICs (× 20)

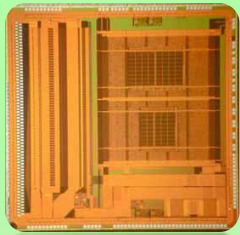


Current SCT module



Next short SCT module

• ASICs



ABCN ASIC(ABCNext front-end)
250 nm IBM CMOS6 technology

	ABCD	ABCN
ch数	128	128
Buffer Size	3.2 μs	6.4 μs
Gain	50 mV/fc	100 mV/fc
Threshold Step	0.050 fc	0.032 fc

ADCは無いので各chでThresholdを超えたstrip情報が得られる。

これらの新しいSensorやASICに対応したSCTテスト用読み出し試験システムが必要

①
既存のSCT DAQを
新Sensor/ASICに対
応させる。

②
既存のSCT DAQの不
便な点も改良した
新DAQを作る

新DAQシステム

ー既存のSCT DAQ システムとの違いー

	SCT DAQ	新DAQ
最多読み出しLine	4	34
使用OS	Windows	Mac/ Linux
使用製品	National Instruments製 ハード&ソフト	SEABAS & C/C++ソフト (安価&汎用性高)
出力	Plot図のみ	カスタム可

この新DAQシステムの構築(P7参照)及びテスト項目の開発(P11参照)は岡村氏(大阪大学)が進めてきた。

参照:

2010年秋季日本物理学会の大阪大学岡村氏による“ATLAS実験シリコンストリップ飛跡検出器アップグレード用読み出しシステムの開発”

2010年度後半から、この岡村氏の構築したDAQシステムを基本にして

- 大阪大学 : 複数Line読み出しへの拡張
- 東京工業大学 : 1 line読み出しでのTestBeamへの応用

という役割分担のもとに共同開発を進めてきている。

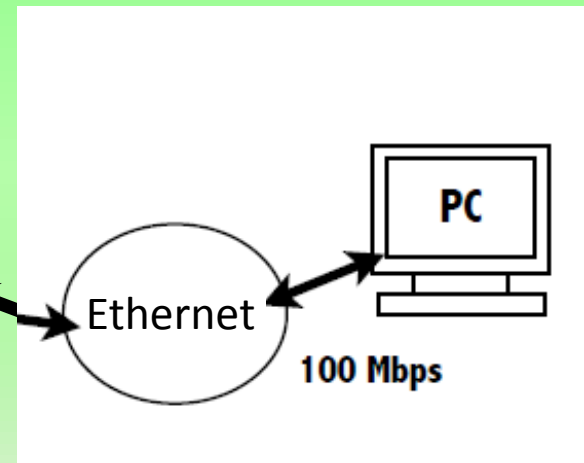
新DAQシステム

- 新井氏/内田氏(KEK)作製のTCP/IP読み出しボード「SEABAS」を使用
 - User FPGA: FrontEnd ASICのコントロール用
 - 大容量Buffer(1296 kbit) & 120本のI/O搭載で最大34 line 同時読み出し可能
 - 既存のSCT DAQシステムとの大きな違いの1つ
 - SiTCP FPGA: TCP/IP通信用
- 開発内容
 - PC側読み出しSoftware (C/C++)
 - User FPGAの実装



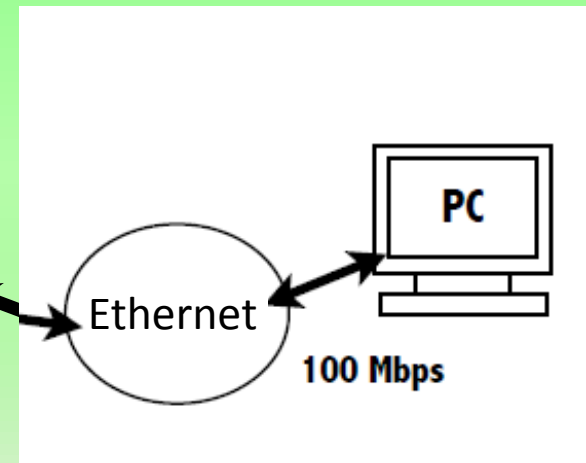
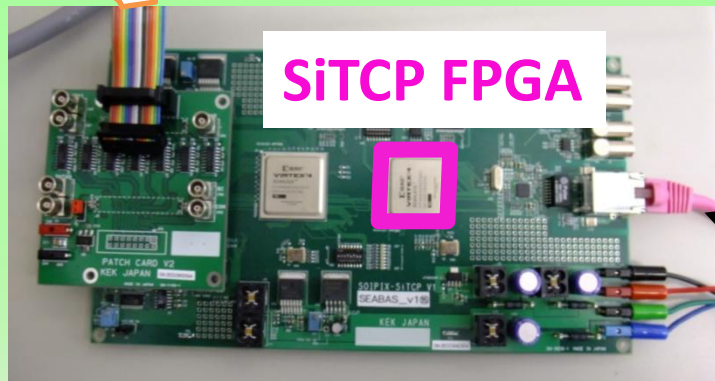
新DAQシステム

- 新井氏/内田氏(KEK)作製のTCP/IP読み出しボード「SEABAS」を使用
 - **User FPGA: FrontEnd ASICのコントロール用**
 - 大容量Buffer(1296 kbit) & 120本のI/O搭載で最大34 line 同時読み出し可能
 - 既存のSCT DAQシステムとの大きな違いの1つ
 - **SiTCP FPGA: TCP/IP通信用**
- 開発内容
 - **PC側読み出しSoftware (C/C++)**
 - **User FPGAの実装**



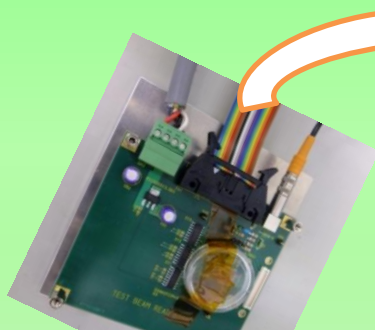
新DAQシステム

- 新井氏/内田氏(KEK)作製のTCP/IP読み出しボード「SEABAS」を使用
 - User FPGA: FrontEnd ASICのコントロール用
 - 大容量Buffer(1296 kbit) & 120本のI/O搭載で最大34 line 同時読み出し可能
 - 既存のSCT DAQシステムとの大きな違いの1つ
 - SiTCP FPGA: TCP/IP通信用
- 開発内容
 - PC側読み出しSoftware (C/C++)
 - User FPGAの実装

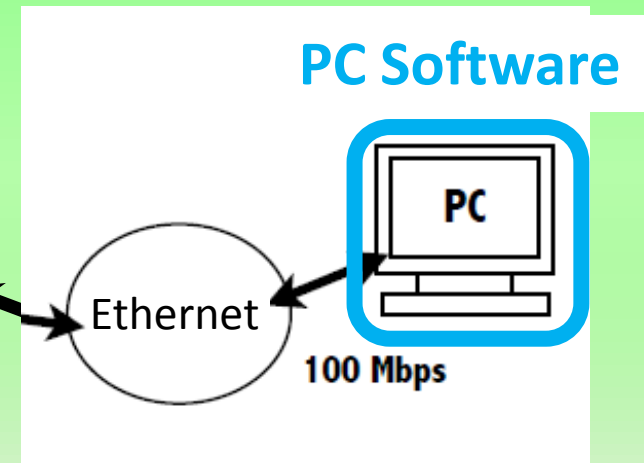


新DAQシステム

- 新井氏/内田氏(KEK)作製のTCP/IP読み出しボード「SEABAS」を使用
 - **User FPGA: FrontEnd ASICのコントロール用**
 - 大容量Buffer(1296 kbit) & 120本のI/O搭載で最大34 line 同時読み出し可能
 - 既存のSCT DAQシステムとの大きな違いの1つ
 - **SiTCP FPGA: TCP/IP通信用**
- 開発内容
 - **PC側読み出しSoftware (C/C++)**
 - **User FPGAの実装**



読み出しASIC
+ Sensor

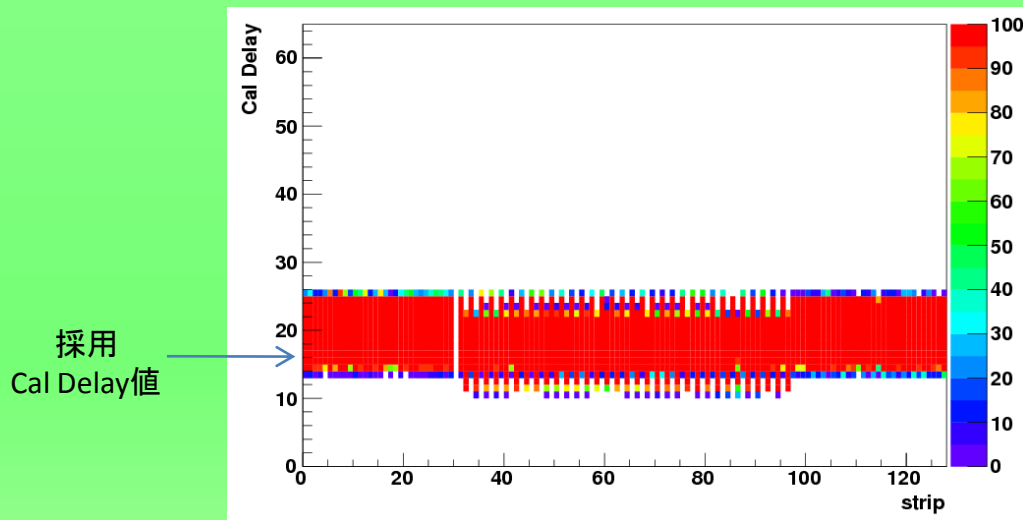


新DAQシステムで可能なTEST

現在可能なTest項目の主な一覧

- Strobe Delay Scan Test
 - Calibration Pulseを送るタイミングを決定するTest
- L1 Delay Scan Test
 - Triggerのタイミングに対応したHit Dataのタイミングを決定するTest
- 3 Point Gain Test
 - ChipのGain(mV/fC)を測定するTest
- Threshold Curve Test
 - 各chのThreshold Curveを測定するTest
- Hit Test
 - 各chのHit Dataをひたすら蓄積するTest (BeamTest用)

Strobe Delay Scan Test



Calibration Pulse :

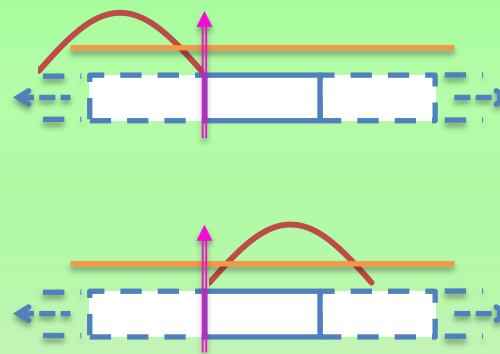
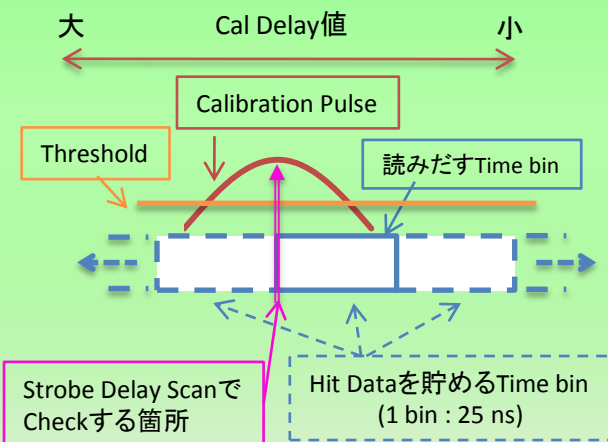
ABCN ASICは、様々なTestを行う為に、ASIC自らがCalibration PulseをFront Endに送れる仕様になっている。

Strobe Delay Scan :

本TestはCalibration Pulseを送るタイミング(Cal Delay)をScanして、適切なものに設定する為のTestである。適切なCal Delayとは、Calibration Pulseのタイミングが読み出すTime binに最も合っていると思われる値である。

○ : Hitとして勘定

×



・Hitの勘定方法:

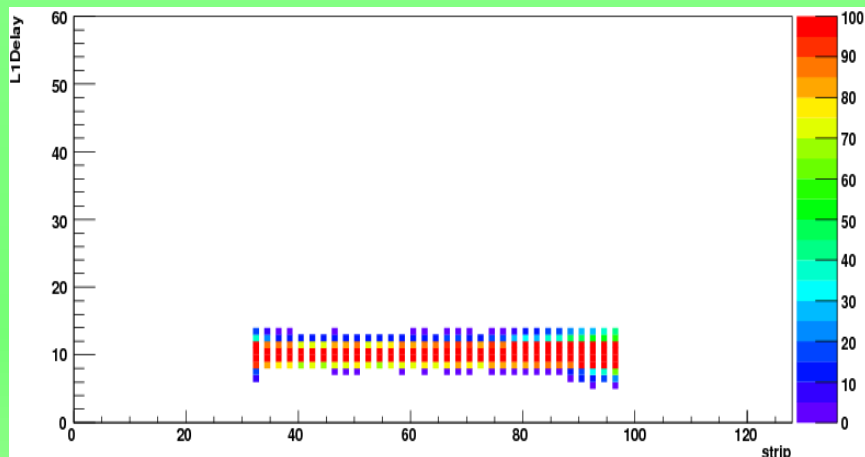
読みだすTime binの片側のedgeで、Calibration PulseがThresholdを超えていればHitとして勘定される。

・採用Cal Delay値:

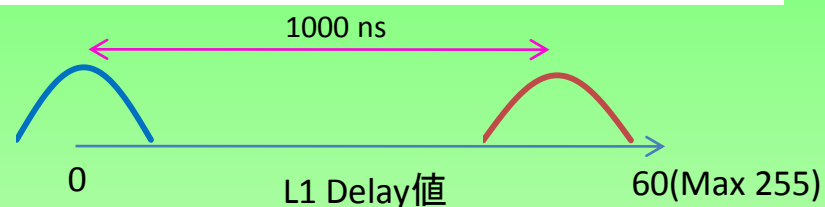
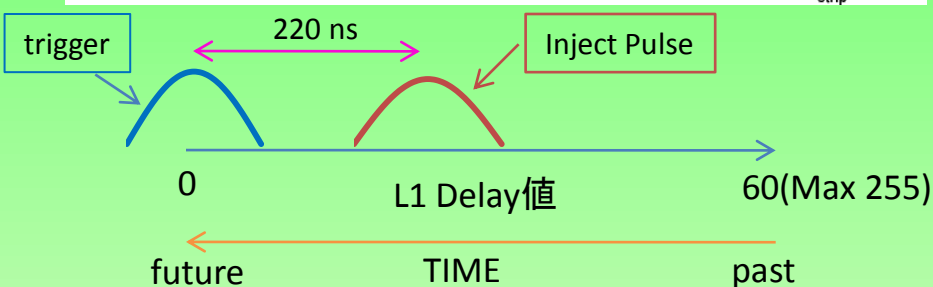
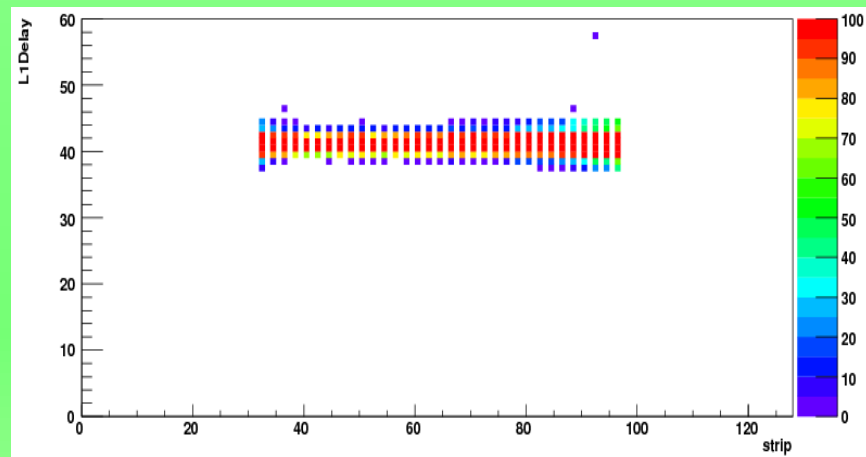
このScanのHit領域のCal Delayが小さい側から1/4の値のCal Delayを適切値として採用する。

L1 Delay Scan Test

- TriggerとInject Pulseの時間差 : 220 ns



- TriggerとInject Pulseの時間差 : 1000 ns



1 L1 Delay = 25 ns

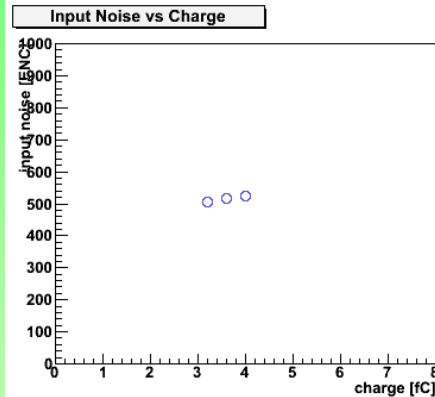
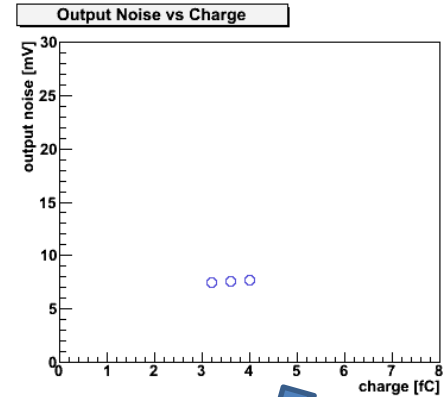
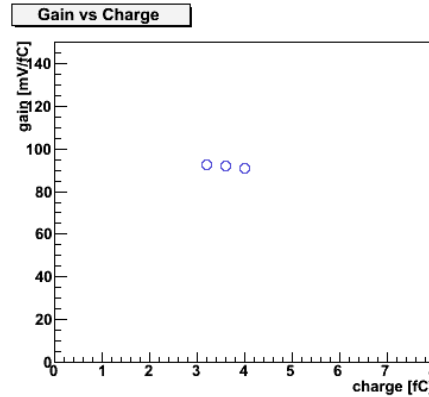
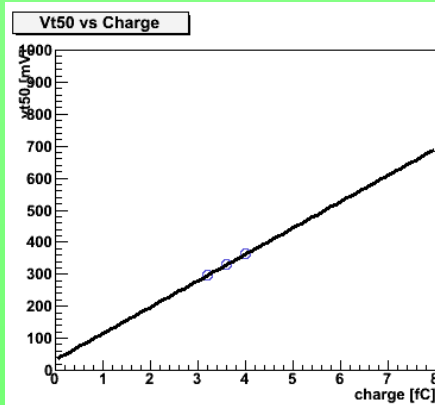
L1 Delay Scan:

従来、Trigger SignalはInject Pulseよりも遅れてくるものである。

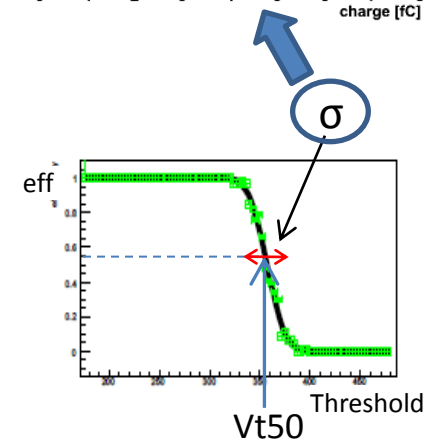
その為、本TestはABCN ASICがTriggerを受け取った際に、Triggerを受けたタイミングからどれだけ遡ったタイミングでHit Dataを読み出せばよいかを決定する為のTestである。

このTESTでは、各L1 Delay値につきそれぞれ100Trigger分のdataを貯めている。

3 Point Gain Test



- この結果より、このChipの
 - Gainは $\sim 90\text{mV/fC}$
 - 各chのoffsetは $\sim 30\text{mV}$
 - Input Noise(デジタルTest時)は $\sim 520\text{ ENC}$であることがわかる。



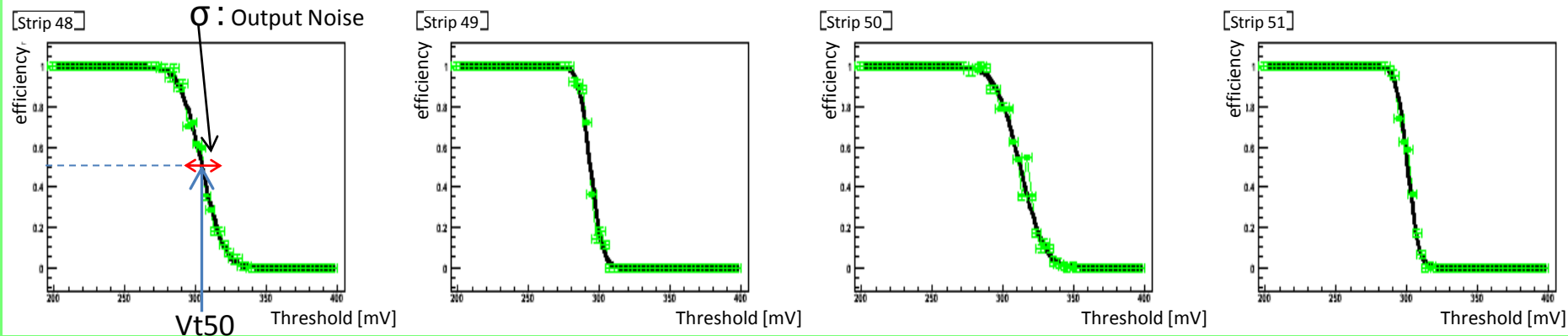
3Point Gain Test:

Threshold CurveからVt50を、Inject PulseのCharge[fC]ごとに3点求めて、線形Fitすることにより、ASICのGain[mV/fC]を求めるTestである。

※この結果は、SensorがChipに繋がっていない時の結果である。

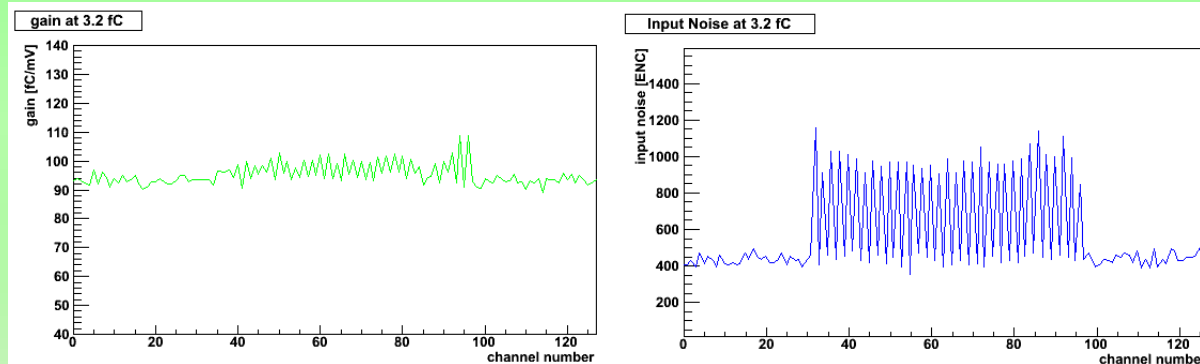
Input Noise: Threshold Curveの σ から求めたOutputNoiseを、求めたGainを用いてENC変換したもの。

Threshold Curve Test



Threshold Curve Testはその名の通り、thresholdの値を変化させ、ASICのFront-Endに入ってきた電荷のThreshold Curve(S Curve)を測定するテストである。

- ABCN ASICはテスト用に、Front-Endに自ら電荷を送ることが出来る(Calibration Pulse)為、実測の前にThresholdを設定する為などに用いる。
 - 自ら電荷をFront-Endに送らなければ、noise電荷のチェックにもなる。
- (それぞれのCurveの形が違う理由は、Strip48,50はSi Sensorにラインが伸びているch、Strip49,51はラインが無く閉じているchであるから)



Test Pulse(Inject Pulse) : 3.2fC

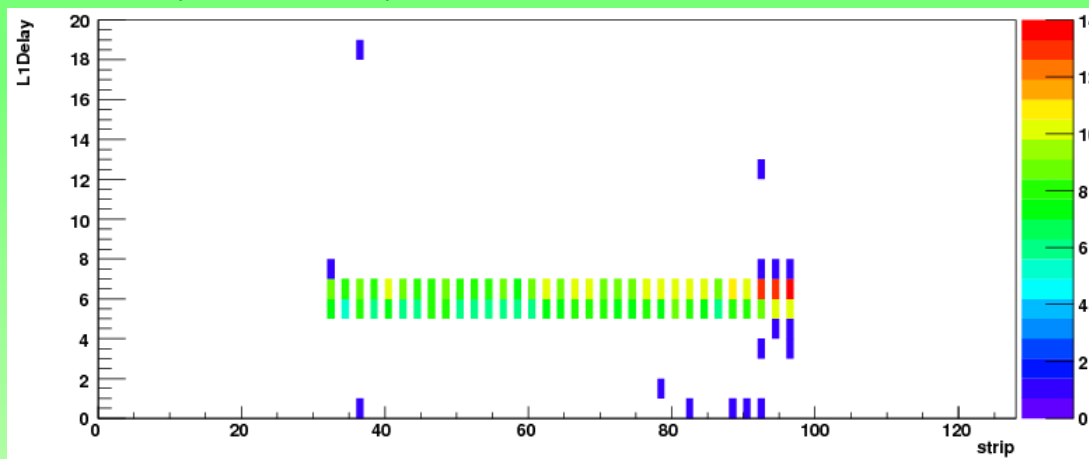
左図は、各chのThreshold Curveから求めた各chのgain[fC/mV]とInput Noise[ENC]である。この結果はSensorをChipに繋げた状態での結果である。

ASICのchのうち
32ch,34ch,36ch,...,92ch,94ch,96chのみ
Sensorにラインが伸びている為、その部分のENCが少し大きくなっている。
また、Gainが90ch付近のみ大きくなっているのはこのSensorの特性と思われる。

Checking Source Test(L1 Delay Scan)

このDAQシステムをTest Beamで用いる前に、Checking Source等での試験が必要となる。今回のTestはChecking SourceとPMT+シンチレータ(Trigger)とSensorの系で新DAQシステムを試験した。

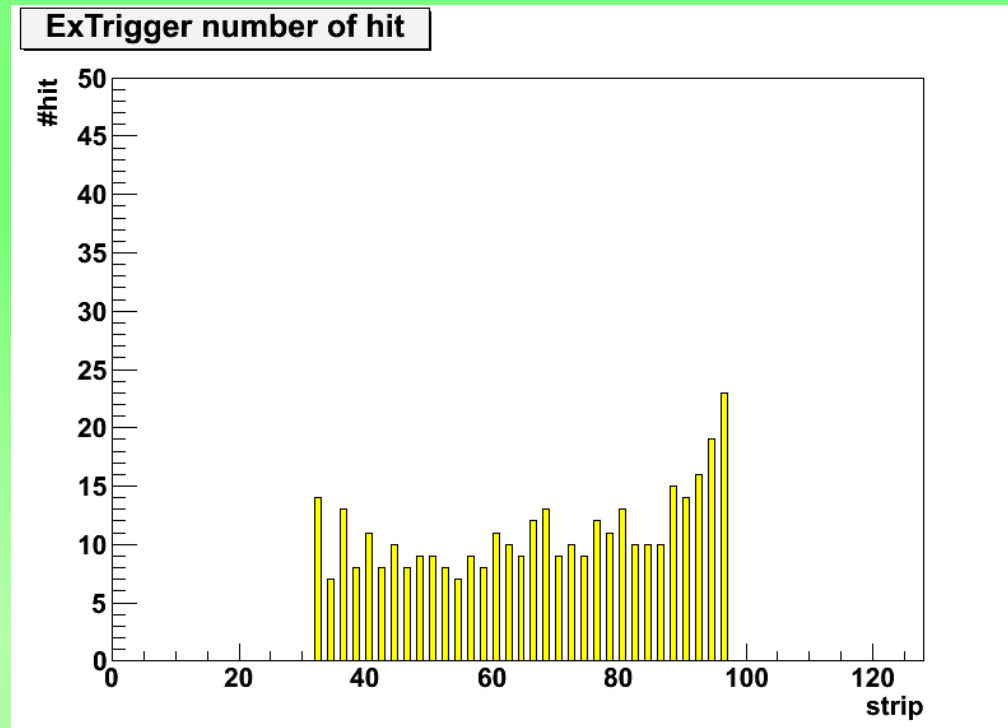
- 使用Checking Source : 90Sr (β 線源、Avg E : ~ 1 MeV(Max E : ~ 2 MeV))
 - Sensorに落とすEnergyは ~ 5 fc
- Threshold : 250 mV (~ 3 fcのvt50)



- 上図より、この測定で使用したSetupでの適切タイミング(L1 Delay)は5 or 6(= 125 or 150 ns)となる。
- 今回の試験ではASICのchのうち32ch,34ch,36ch,・・・,92ch,94ch,96chのみしかSensorに繋がっていない為、hit分布が上図のようになる。
- Hit Rateが右肩上がり(90ch付近の方が高くなっているのは90ch付近のvt50が高い(=90ch付近のgainが大きい)ことが原因である。

Checking Source Test(Hit Test)

- 使用Checking Source : 90Sr (β 線源、Avg E : ~ 1 MeV(Max E : ~ 2 MeV))
- Threshold : 250 mV (~ 3 fCのvt50)
- L1 Delay : 5



- 32ch ~ 96chにHitが見えているのがわかる。
 - L1 Delay Scan Testに見える各chの傾向が同様にこのHit Testにも見えているので、適切な結果である事がわかる。
 - また、L1 Delayの値を5 or 6以外の見当違いの値にすると、hitは全く得られないことから上図はNoiseを拾っているものではないと思われる。

Beam Testに向けて

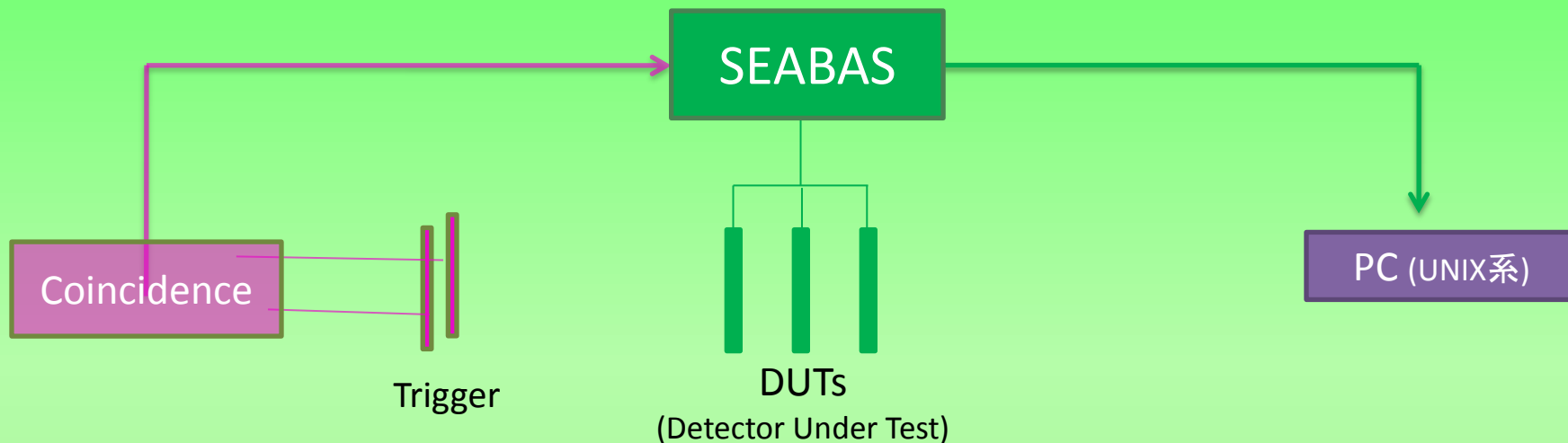
新DAQシステムをBeamTestに使用する為に、位置検出器(=Telescope)をシステムに組み込む。

- Telescope位置検出器

- BeamTestにおいて、飛跡の再構築をする際に必要となる。

- 課題:

- SEABASとTelescopeの処理系統の統一
 - 現在は別々に処理した後で、ファイルを持ち寄って結果を統合している。



Beam Testに向けて

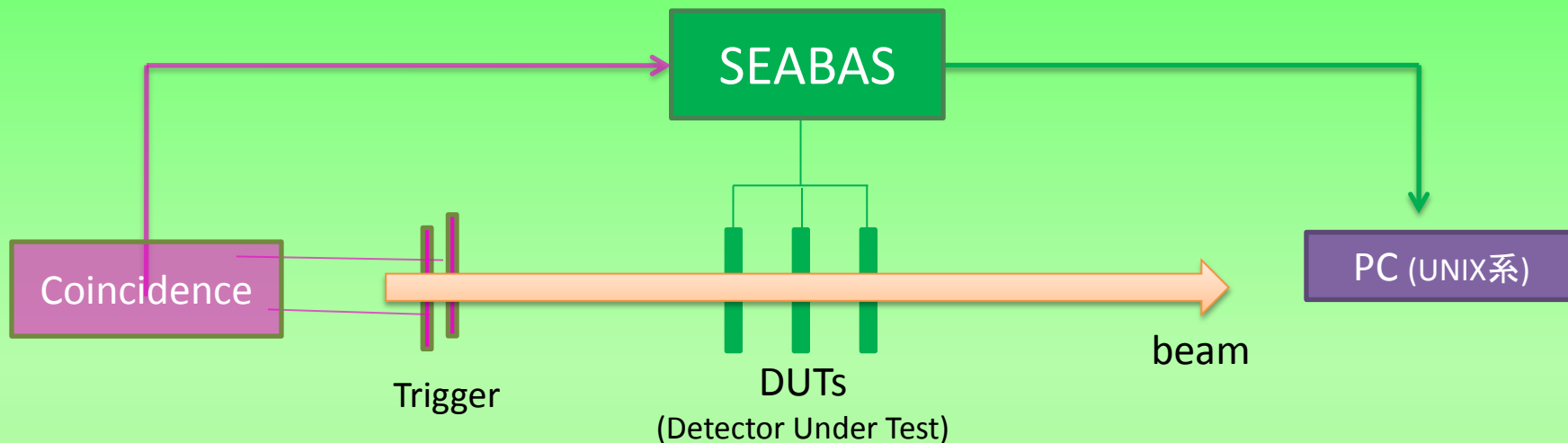
新DAQシステムをBeamTestに使用する為に、位置検出器(=Telescope)をシステムに組み込む。

- Telescope位置検出器

- BeamTestにおいて、飛跡の再構築をする際に必要となる。

- 課題:

- SEABASとTelescopeの処理系統の統一
 - 現在は別々に処理した後で、ファイルを持ち寄って結果を統合している。



Beam Testに向けて

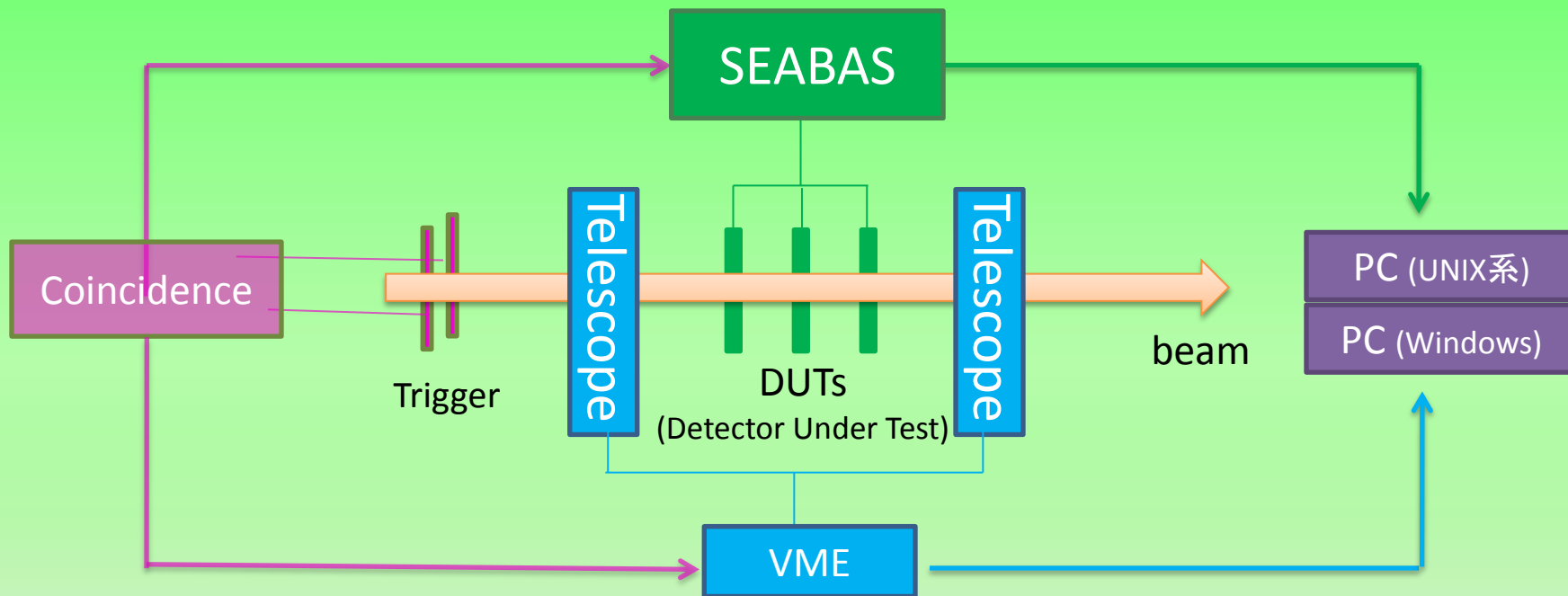
新DAQシステムをBeamTestに使用する為に、位置検出器(=Telescope)をシステムに組み込む。

- Telescope位置検出器

- BeamTestにおいて、飛跡の再構築をする際に必要となる。

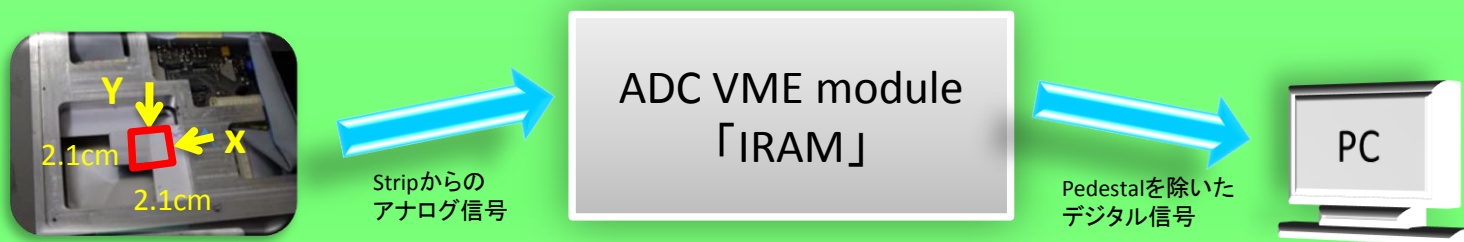
- 課題:

- SEABASとTelescopeの処理系統の統一
 - 現在は別々に処理した後で、ファイルを持ち寄って結果を統合している。



Telescope位置検出器

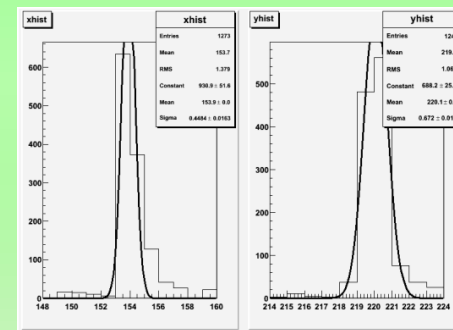
Telescope位置検出器 = 高分解能なSilicon Strip位置検出器



Telescope位置検出器

- Telescope位置検出器 (Silicon Strip Detector)
Stripのhit情報をアナログ信号 (Energy情報を含む) として IRAM(ADC VME module)に送る。
 - X方向・Y方向の2つで1 set
 - 測定時は2 set使用する
 - X・Yそれぞれ340 ch
 - Strip間隔: 50 μm
 - 2.1 cm 四方
- IRAM (ADC VME module)
Stripからの情報をADC変換し、hit dataとしてPCに送る。

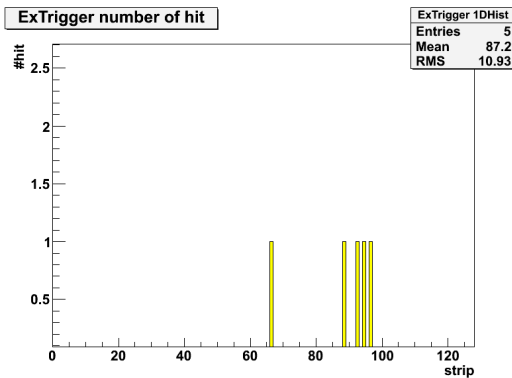
- 分解能 (実測値)
— X方向・Y方向それぞれ2set使用時
「 $\sim 15 \mu\text{m}$ 」
(1 setあたりx,yそれぞれ: 22 μm \Rightarrow 2 setで15 μm)



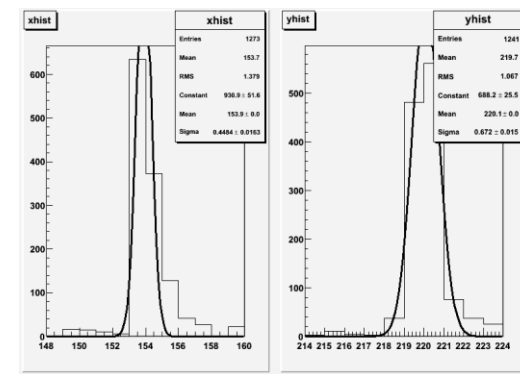
PCでthresholdを掛けた後の、Hit Stripのenergy histogramとそのfitting

新DAQシステムの出力と今後

出力data



SEABAS DAQ



Telescope

今後

1. "SEABASのhit data"と"Telescope位置検出器によるBeam Track"のresidualからalignmentを行う。
2. Trackとhitの対応を調査し、DUTのefficiencyおよび分解能を求める。

まとめ

- ATLAS Inner Detectorのupgradeで、sensorと読み出しASICが一新。
 - その為の評価試験システム開発
 - 新DAQシステム
 - SEABAS DAQ
 - » ABCN ASIC対応のDAQシステム
 - » 最大34line同時読み出し可能
 - » Macでもlinuxでも稼働可能
 - Telescope位置検出器
 - » 高分解能なSilicon Strip検出器
 - » BeamTestのTrackingに必要
- 今後
 - SEABAS DAQとTelescope位置検出器の処理系統の統一
 - アライメントとTracking用ソフトの開発(大阪大学と作業分担予定)
 - 今年の夏から秋にかけてBeamTestで稼働予定