

# ATLAS前後方ミュオン検出器用 読み出しシステムの現状及びアップグレード

東京大学素粒子物理国際研究センター

二ノ宮 陽一

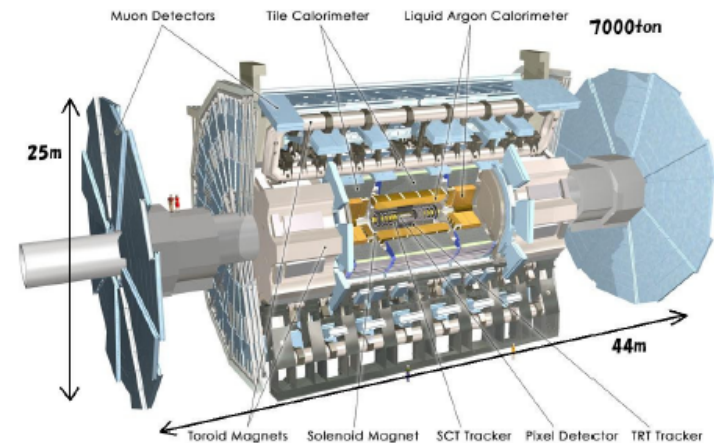
結束晃平, 越前谷陽佑, 坂本宏, 川本辰男, 織田勸, 久保田隆至, 神谷 隆之,  
佐々木修A, 池野正弘A, 石野雅也A, 田中秀治A, 鈴木友A,  
蔵重久弥B, 越智敦彦B, 松下崇B, 石川明正B, 早川俊B, 西山知徳B,  
戸本誠C, 杉本拓也C, 高橋悠太C, 奥村恭幸C, 長谷川慧C, 伊藤悠貴C, 岸木俊一C,  
菅谷頼仁D, 福永力E,  
他ATLAS日本TGCグループ

高工研A, 神戸大理B, 名大理C, 阪大理D, 首都大E

# ATLAS実験

## ・ATLAS検出器

Higgs粒子や、標準模型を超える  
物理現象の探索を行う汎用検出器



## ・TGC(Thin Gap Chamber)

ミュオンスペクトロメータの一部  
前後方部のトリガー及び $r, \phi$ の  
2次元位置測定を担うガス検出器



TGCはガスチェンバーであるMWPCの一種で、通常のMWPCに比べ、アノードワイヤーとカソード面との間の距離が短いという特徴をもっている。

➡ 25 ns のバンチクロッシング時間よりも小さい時間分解能

# ATLASトリガーシステム

ATLASのトリガーシステムは、3段階のトリガーにより、

40MHz→75kHz→3.5kHz→200Hz

と段階的に読み出しレートを落としている。

レベル1トリガーでは、

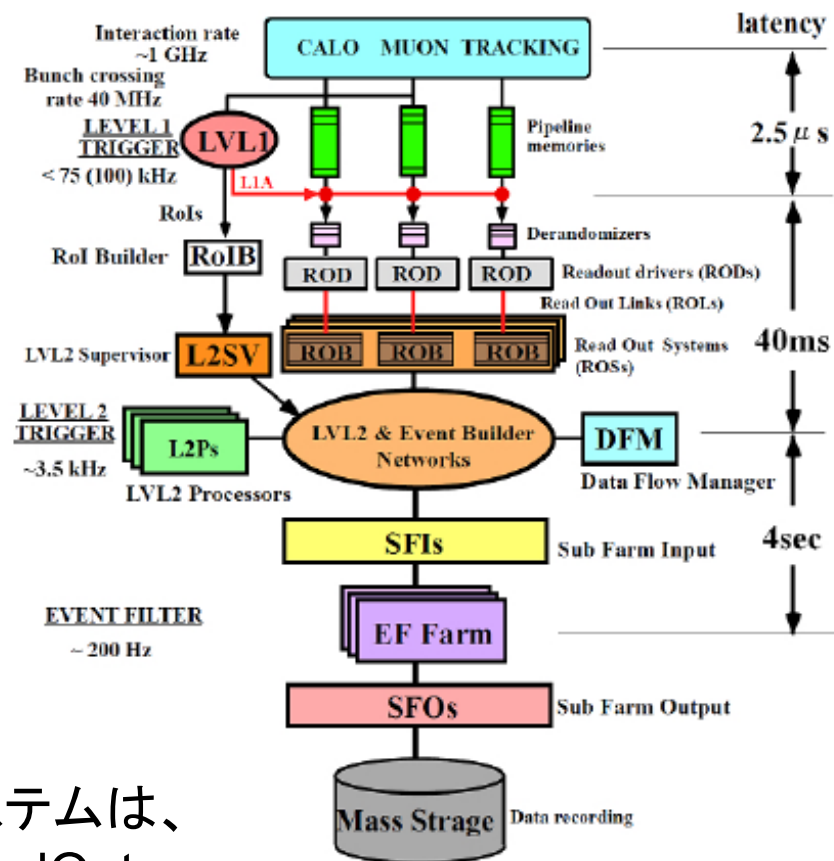
TGC(Thin Gap Chamber),

RPC(Resistive Plate Chamber),

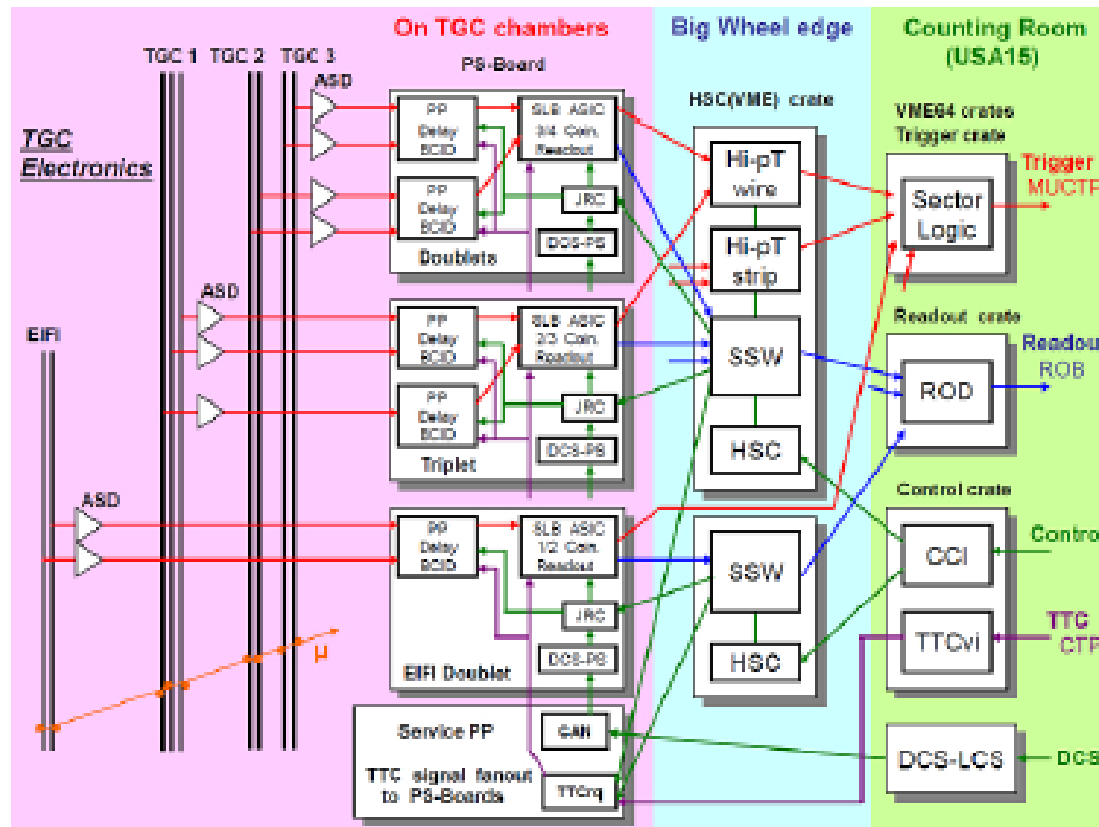
カロリメータの情報が用いられ、

Level1 Accept信号が発行される。

Level1 Accept信号を受け取った各システムは、当該イベント情報を送り出し、ROD(ReadOut Driver)に送られる。



# TGCのリードアウトライン



L1A信号を受けたデータは、SSWを経由し、光信号にてRODへ。

SSW (Star Switch) は、複数のデータを収集し、データの圧縮を行う。

# ROD(ReadOut Driver)のアップグレード

RODはリードアウトのデータが最終的に集まるモジュールである。

SSWからのデータをトリガー情報を用いて、ATLASで決められたフォーマットにまとめ、CERNで開発された光信号規格により、バッファに送られる。

LHCのアップグレードにより、最大ルミノシティ

$$10^{34} \text{cm}^{-2} \text{s}^{-1} \quad \longrightarrow \quad 10^{35} \text{cm}^{-2} \text{s}^{-1}$$

陽子衝突数が10倍  $\longrightarrow$  Hits/衝突が10倍になる。

レベル1トリガーレート

$$75 \text{kHz} \quad \longrightarrow \quad 150 \text{kHz}$$

レートが2倍になる。

現RODの搭載チップの性能では、処理ができなくなる。

# 新ROD開発計画

新RODでは、CPUコア (MicroBlaze) を搭載することを検討中。

CPUコアを搭載することで

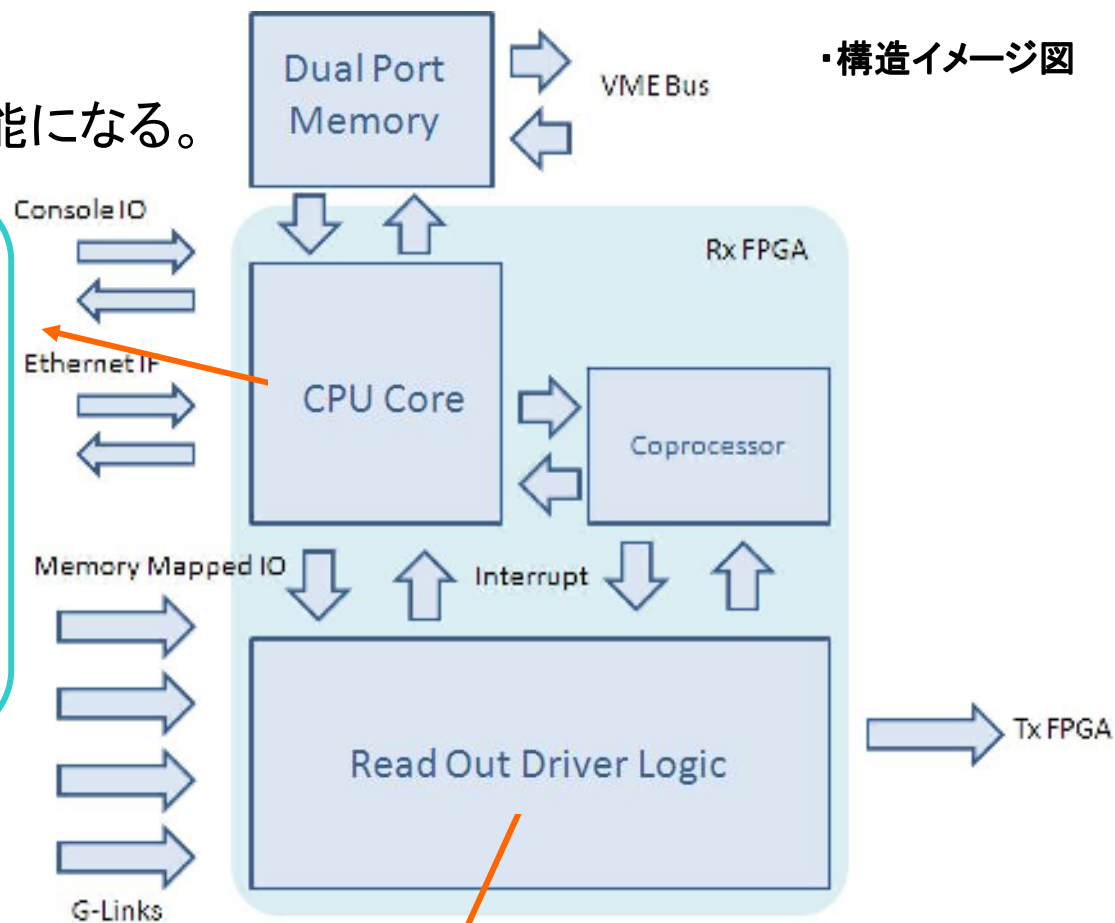
ソフトウェアを用いた動作が可能になる。

・構造イメージ図

## ・エラーハンドラー

- データ収集のエラーにより起動
- データフローの停止
- エラー発生時のデータの保管
- エラー内容の解析
- データフローシーケンスの初期化
- データフローの再起動

## ・システム診断



SSWからのデータを集めて、イベントビルディングを行い、データを送る。

# 新ROD開発計画

---

## ・なぜCPUコアを搭載させ、ソフトを用いるのか

データ量の増加から、複雑、柔軟な処理が求められる。

HDLを用いると柔軟性にかけて、複雑なロジックでは多くのバグが出やすい。

またデバッグにも時間がかかる。

そこで、HDLで記述することを最小限にし、できるだけソフトを用いることで、バグが少なくなり、信頼性があがる。

# MicroBlaze

---

Xilinx製ソフトCPUコア、32bit RISC型プロセッサ。  
OSを搭載可 ( $\mu$ ITRON、uClinux)

Intel社 Pentium4 2.4GHz  
MicroBlaze 50MHz  
の性能を比較してみる。

以下の2つの内容をそれぞれ行った。

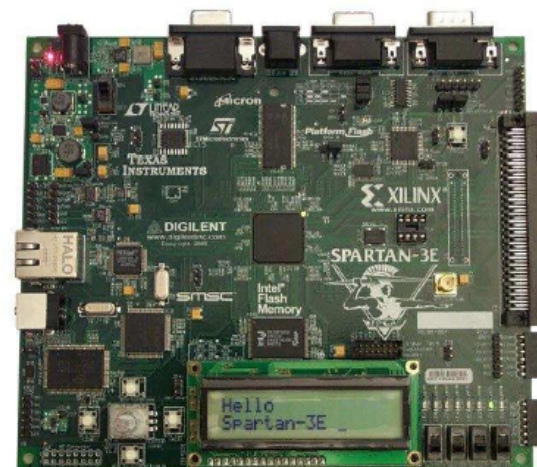
- 1、空のforloopを1000万回処理したときに要する時間
- 2、MicroBlazeによるオンボード上のメモリへのアクセスと、VMEを経由してメモリにアクセスする時間を計測。



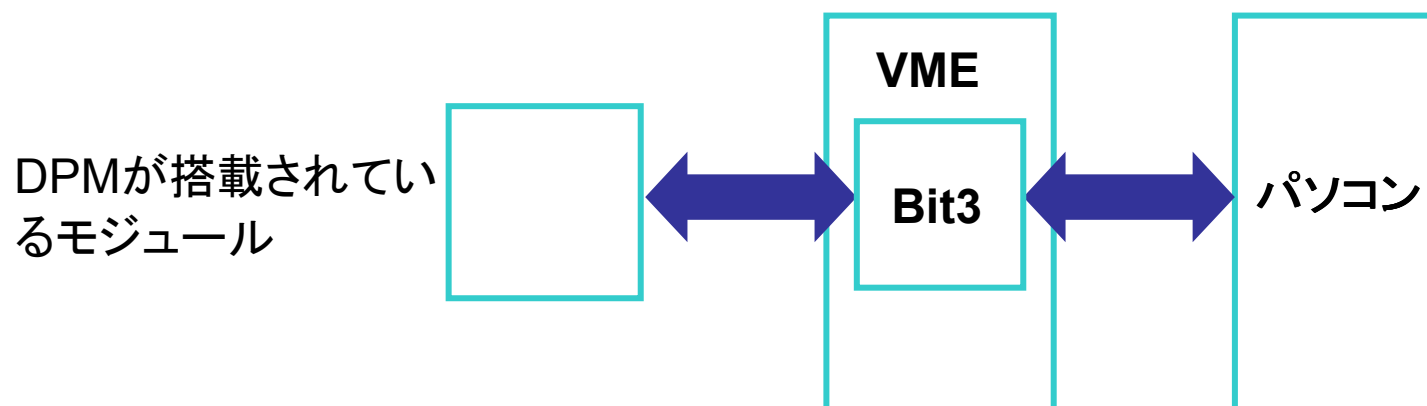
# MicroBlaze

今回Spartan 3E Starter Kitを使用した。

メモリのアクセスはこのメモリ上にある  
DDR SDRAMにアクセスする。



またVMEを経由してのメモリのアクセス



# 実験結果

- ・空のfor loopを1000万回処理したときに要する時間

	時間	クロック数	1ループあたり
・ MicroBlaze	<b>2.6s</b>	1億3000万	<b>13</b>
・ Pentium4	<b>16.8ms</b>	4000万	<b>4</b>

CPUの周波数で約50倍の違いがあるので、 $16.8 \times 50 \times 3.25 = 2.7s$   
従って、性能の差と処理時間が妥当であることがわかる。

このように通常は汎用CPUの方が圧倒的に処理時間が早い。

# 実験結果

- ・MicroBlazeによるオンボード上のメモリへのアクセスと、Bit3を介してVMEモジュール上のメモリにアクセスする時間

	時間	クロック数
・ MicroBlaze	<b>0.94us</b>	47
・ Pentium4	<b>4.97us</b>	(11,200)

VMEを経由することによって、5倍以上の差が現れた。

新RODのようにボード上のメモリにアクセスする場合などはVMEからのアクセスよりも速いことがわかる。

# まとめ

---

新RODでは、ボード上のメモリにアクセスする必要性からCPUコアを搭載するメリットが十分あるということがわかった。

HDLで記述されている部分を最低限にし、どこまでソフトウェアで処理できるかということに関して、MicroBlazeの評価を行う必要がある。

さらに具体的なソフトウェア、ハードウェアの製作、回路図設計をしていき、試作品の動作検証などを行う予定である。



## ・Read out driver logicのシミュレーション結果

