

ATLAS前後方ミュオントリガーシステムの タイミング調整のためのVME Variable Delay モジュールの開発と試験

東京大学素粒子物理国際研究センター
越前谷 陽佑

坂本宏, 川本辰男, 織田勸, 久保田隆至, 結束晃平, 佐々木修A, 池野正弘A,
岩崎博行A, 石野雅也A, 田中秀治A, 鈴木友A, 戸本誠B, 杉本拓也B, 奥村恭幸B,
高橋悠太B, 長谷川慧B, 蔵重久弥C, 越智敦彦C, 松下崇C, 石川明正C, 早川俊C,
菅谷頼仁D, 福永力E 他ATLAS日本TGCグループ、イスラエルグループ

東大素セ, 高工研(総研大) A, 名大理B, 神戸大理C, 阪大理D, 首都大E

LHCとATLAS検出器

LHC (Large Hadron Collider)

- 周長26.7km
- 重心エネルギー14TeVの陽子・陽子衝突

重心エネルギー7TeVでの衝突が11月からスタート

- 10^{11} 個の陽子が入ったバンチが2808個周回しており、各衝突点で25nsごとに衝突が起きる(頻度にして40MHz)。

衝突開始直後は43bunch

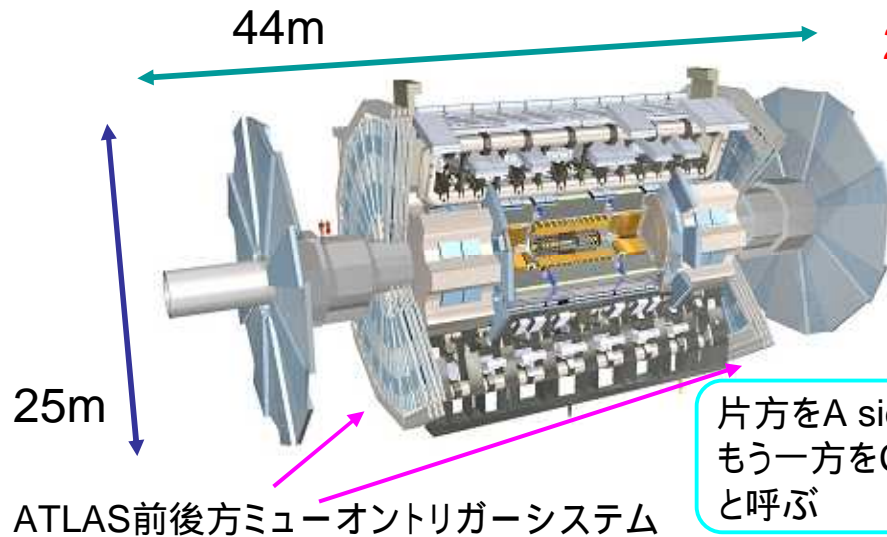
- デザインルミノシティ $10^{34} \text{ cm}^{-2}\text{s}^{-1}$

2009-2010のランでは積分ルミノシティ200pb⁻¹が期待される

ATLAS検出器

- Higgs粒子、標準理論を超える新しい物理現象の探索を行う汎用検出器

- 40MHzの衝突の中から新しい物理現象を探るために多段的なトリガーシステムを採用。



10/Sep/2009

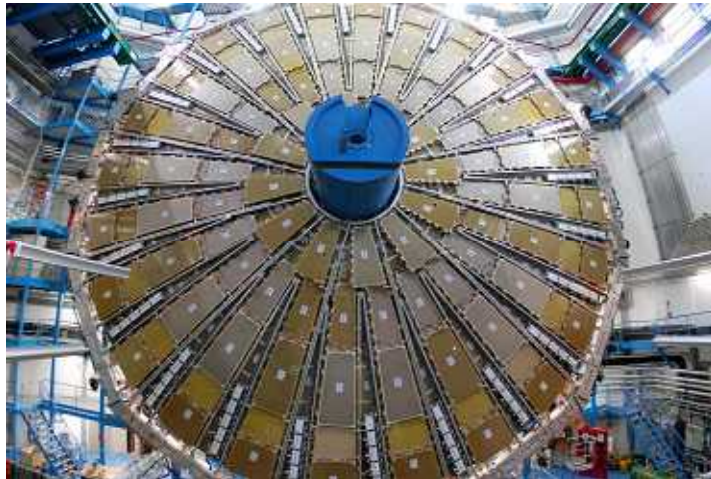
日本物理学会 10pSB-1

ATLAS前後方ミュオントリガーシステム 1

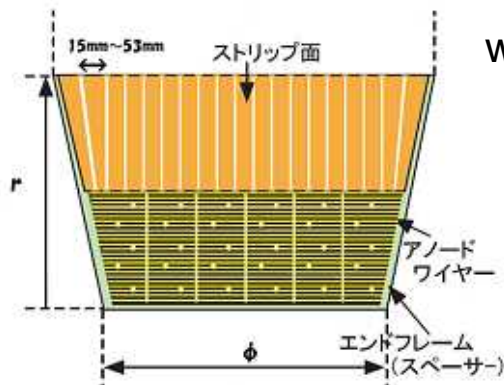
2.5 μ s以内での高速なトリガー判定

➡ ハードウェアによるトリガーで実現

6段階の運動量情報

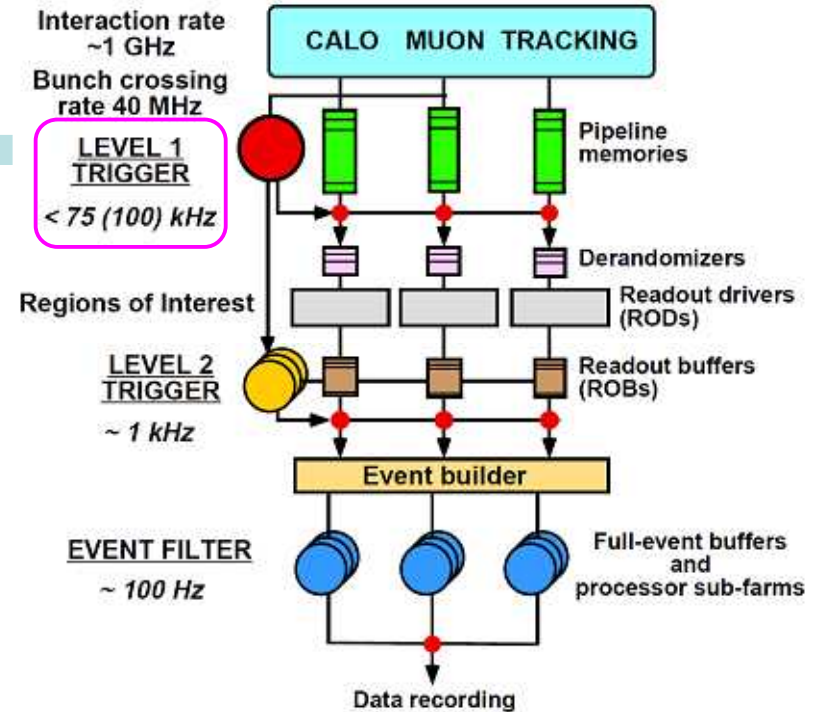


前後方部分 TGC (Thin Gap Chamber)



wire-wire間隔よりstrip-wire間隔が短いMWPC

- チェンバー総数 3600枚
- Wire、Stripの二次元読み出し
- ➡ 総読み出しチャンネル数 30万チャンネル



ATLAS前後方ミュオントリガーシステム 2

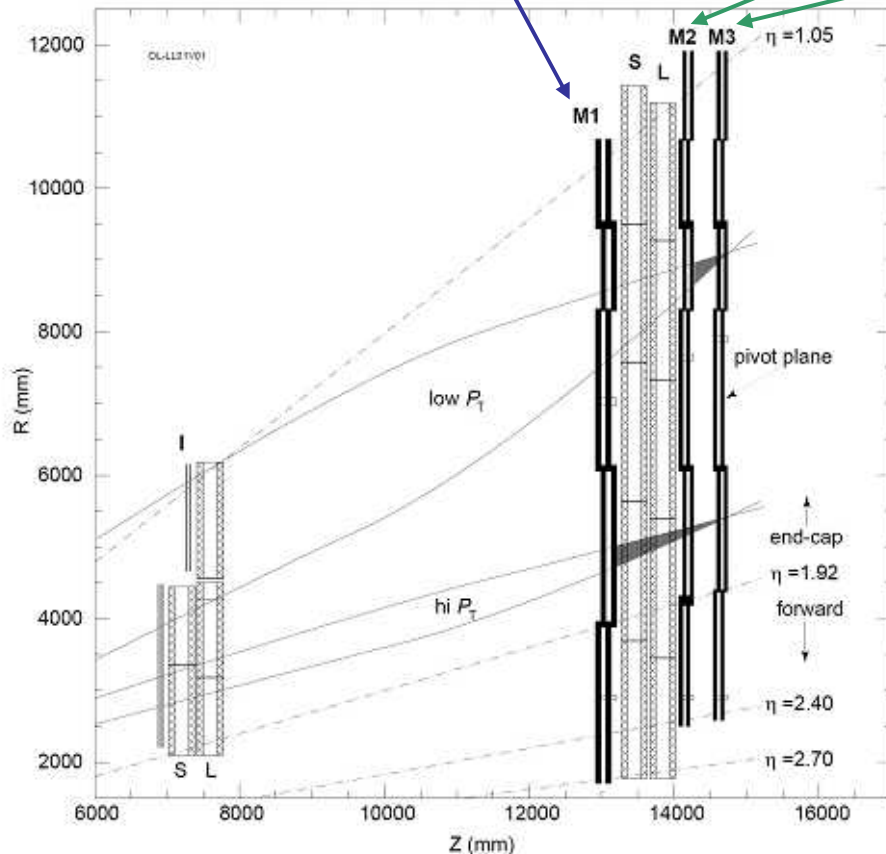
TGC1(Wire 3Layer, Strip 2Layer)

Triplet

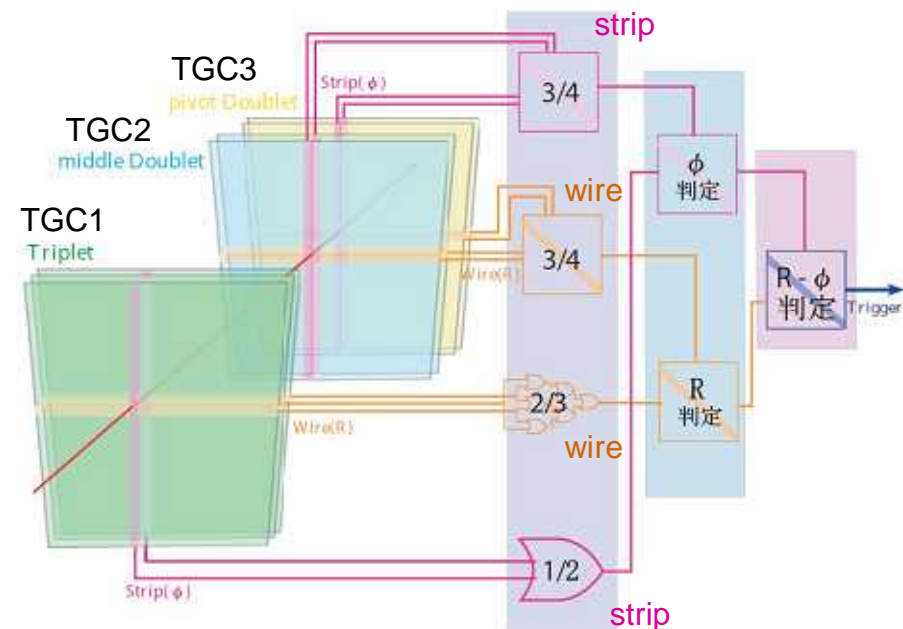
TGC2(Wire 2Layer, Strip 2Layer)

TGC3(Wire 2Layer, Strip 2Layer)

Doublet



wire、strip別々にコインシデンス処理を行い、最終的には両者を合わせてトリガーを発行する

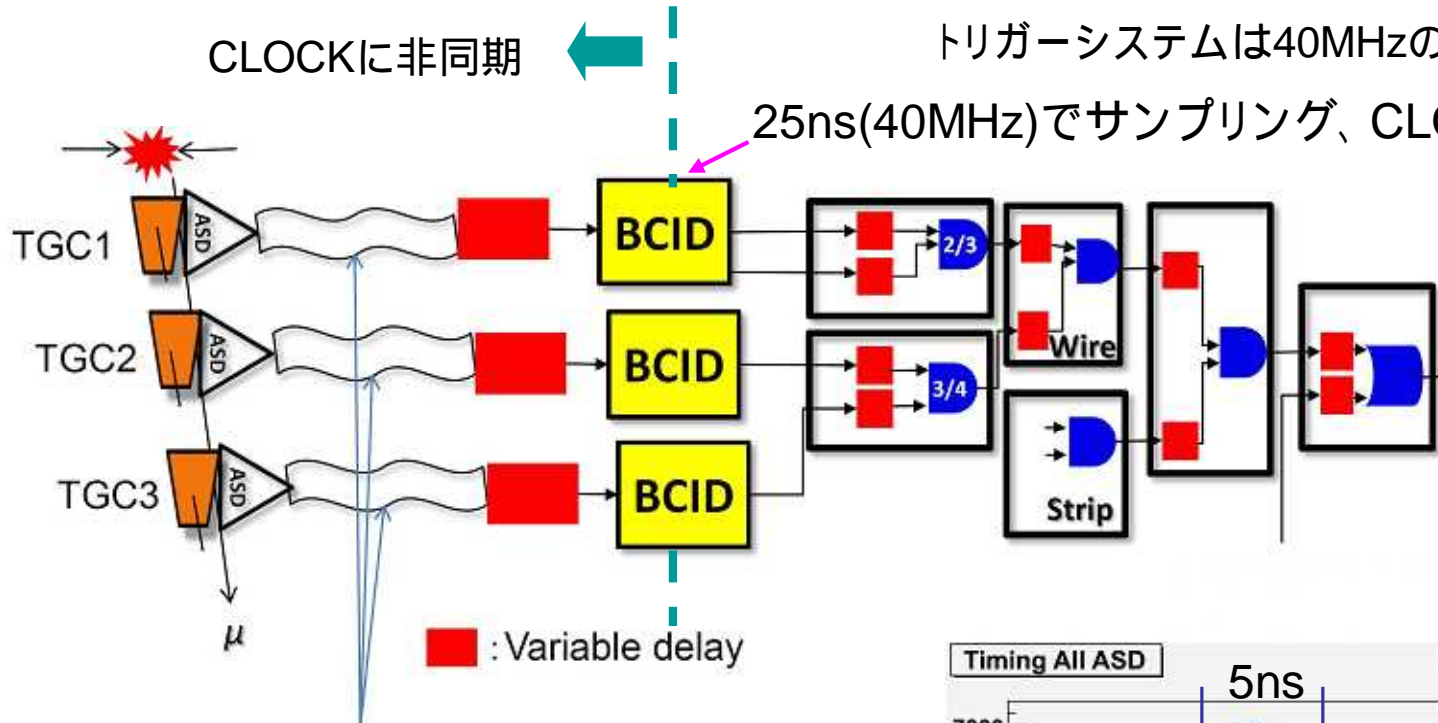


TGCシステム内のタイミング調整

CLOCKに非同期 ←

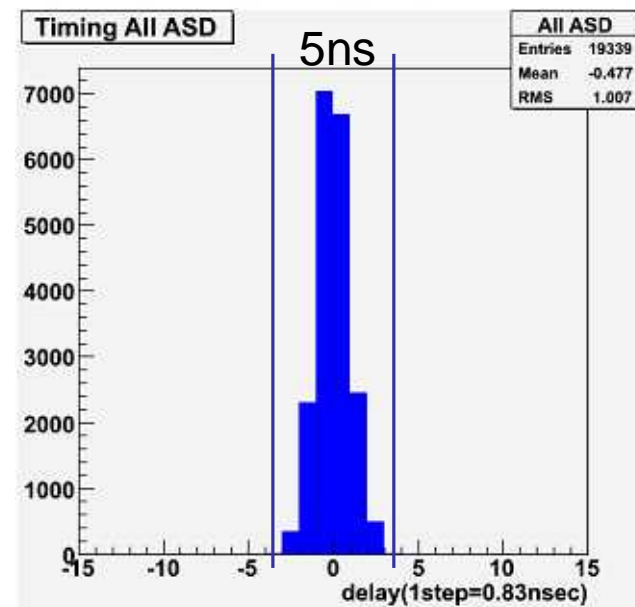
トリガーシステムは40MHzのCLOCKで動作

25ns(40MHz)でサンプリング、CLOCKに同期



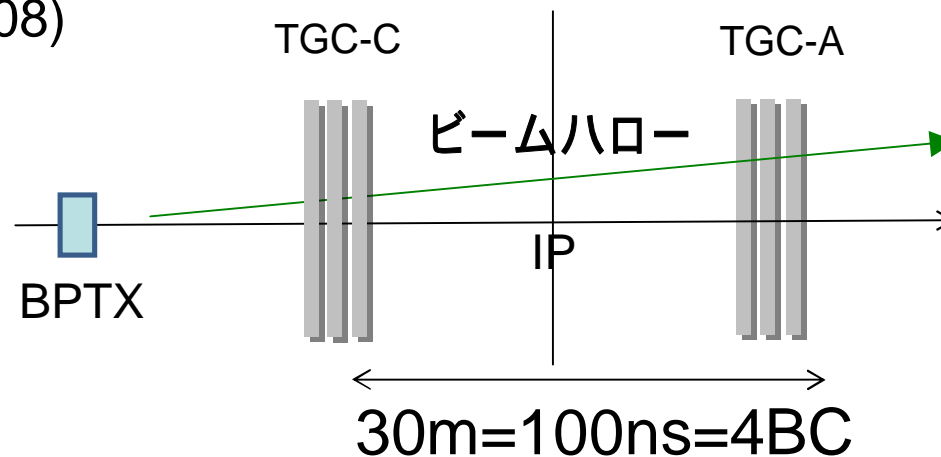
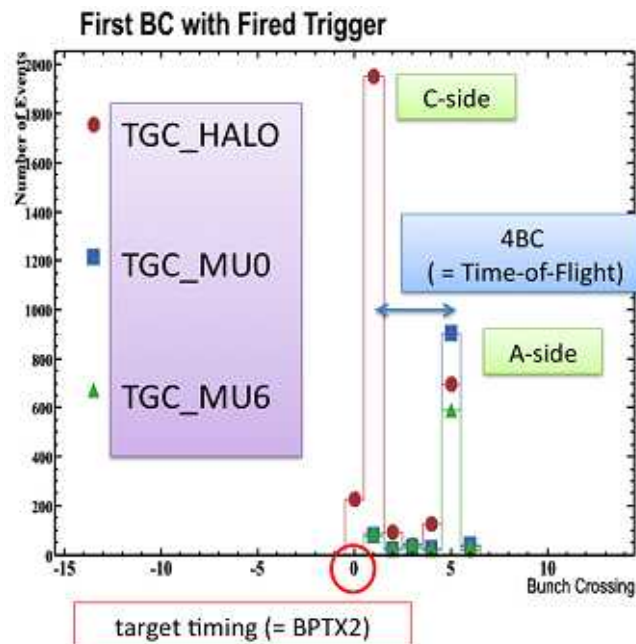
ケーブル約10000本(調整が必要なパラメータが20016個)あったが、その調整は完了済み！

全てのASDからのタイミングが5ns以内におさまっている



TGCシステムのタイミング調整の現況

Single Beamでの結果 (Sep, 2008)



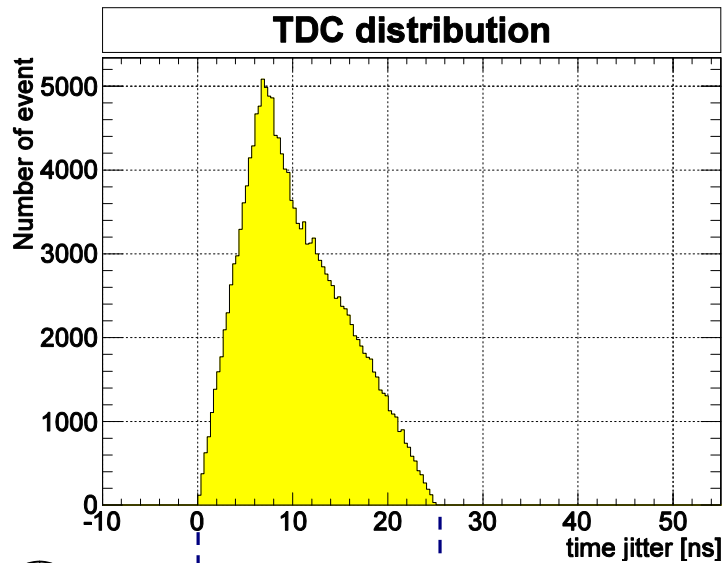
「システム内」のタイミングは予想通りに調整されていることが確かめられた。

あとはビーム衝突とTGCシステム間のクロックの位相調整が必要！！
ビーム衝突のタイミングに対してTGCシステムのクロックをスキャンしたい！！

Clock Phase Scan

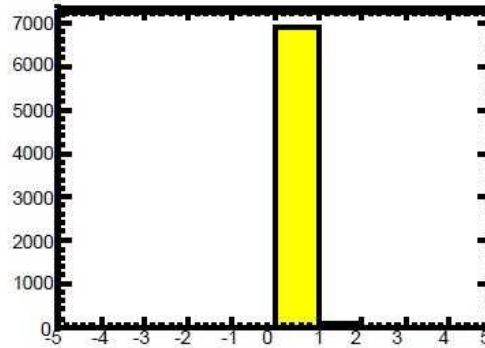
TGCシステムのClockの位相を変化させながらHit数変化をスキャンする。

シミュレーションで検証してみた。



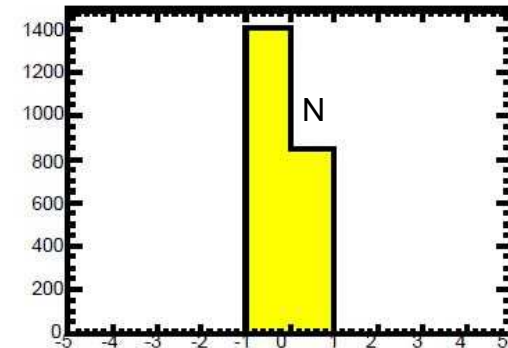
①

N



②

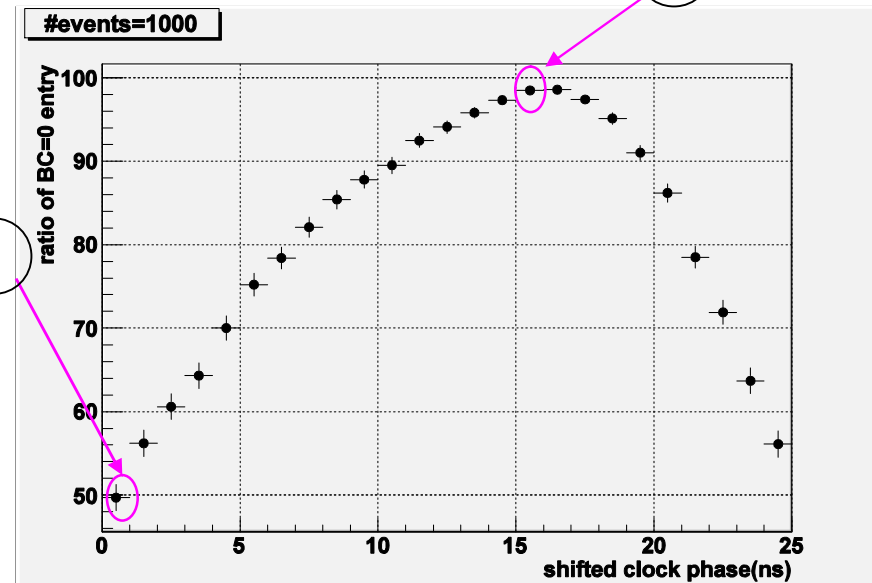
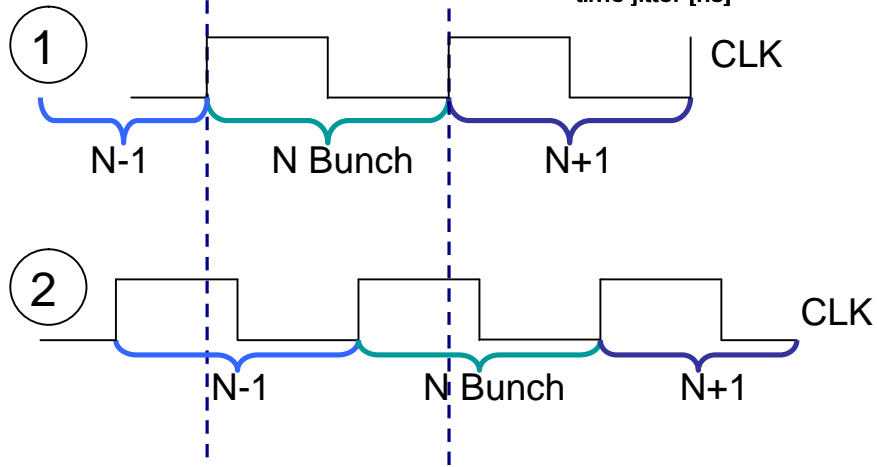
N-1



1番位相が合っている

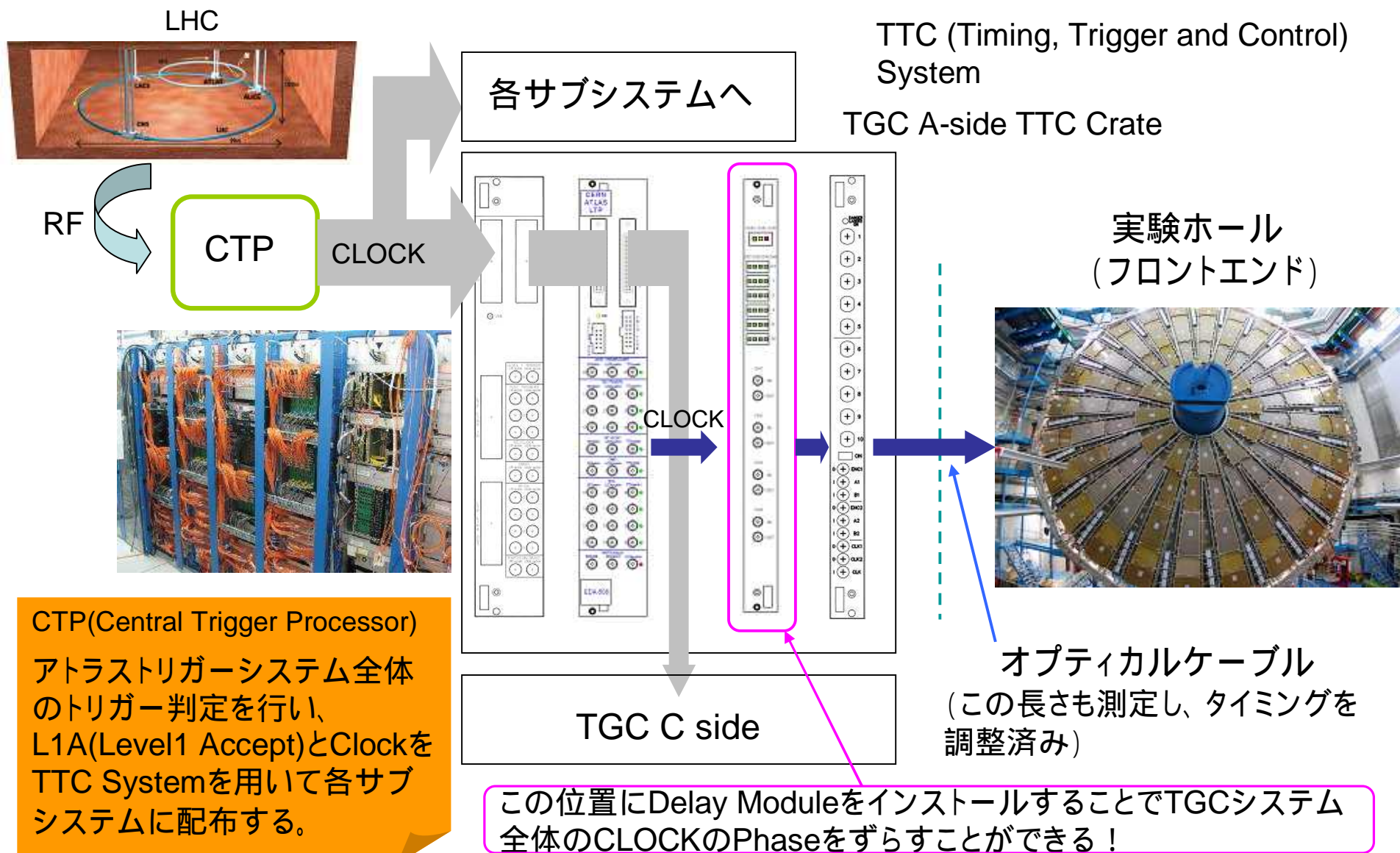


①



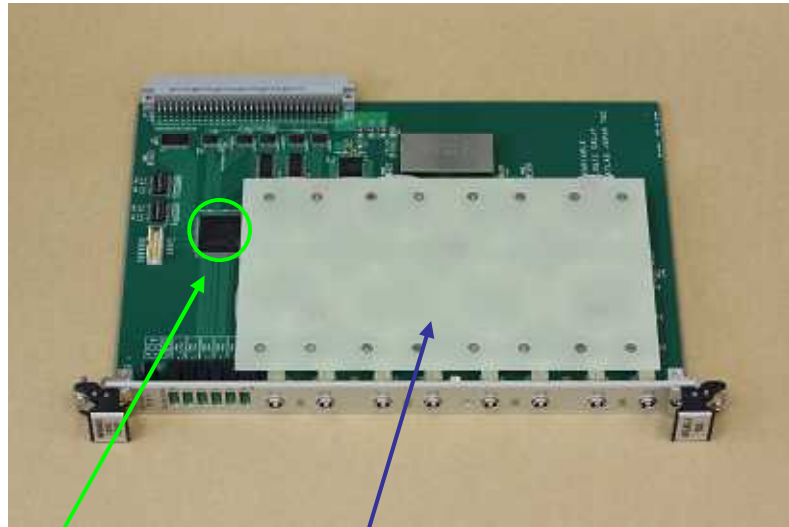
Clock Phase Scanをするためには...

VME Variable Delay ModuleをインストールしてClock Phase Scanを行う！



CTP(Central Trigger Processor) アトラストリガーシステム全体のトリガー判定を行い、L1A(Level1 Accept)とClockをTTC Systemを用いて各サブシステムに配布する。

VME Variable Logic Delay Moduleの製作



CPLD (XC95144XL)

Delay用の同軸ケーブル

- 4 input, 4 output
- 1ch, 2ch ECL AC couple
- 3ch, 4ch ECL DC couple
- 1 step 0.5nsで64step可変 (0 – 31.5ns)
- 同軸ケーブルによる遅延
- バスコントロール用に1個のCPLD
(A24, D16のデータ転送に対応)



LEDによって各
チャンネルの設定
値が確認できる



Delay Moduleの製作
に合わせてECL-NIM
のLEVEL変換ボードも
作成

VME Delay Moduleのテスト

KEKにてVME Variable Logic Delayの動作テストと各channel、各stepの精度を測定した。



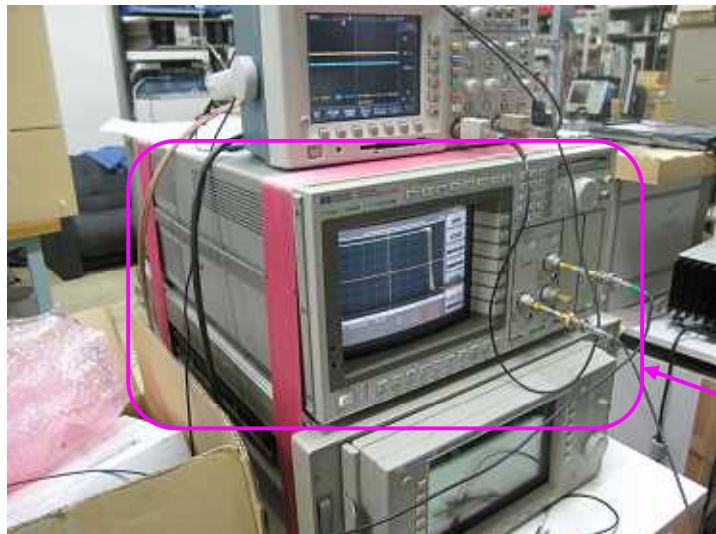
測定結果

各stepの精度・・・±数十ps

31.5nsのとき(全てのケーブルを通るとき)

・・・±100ps程度

KEKでテストができなかったモジュールはCERNにてテストを行った。

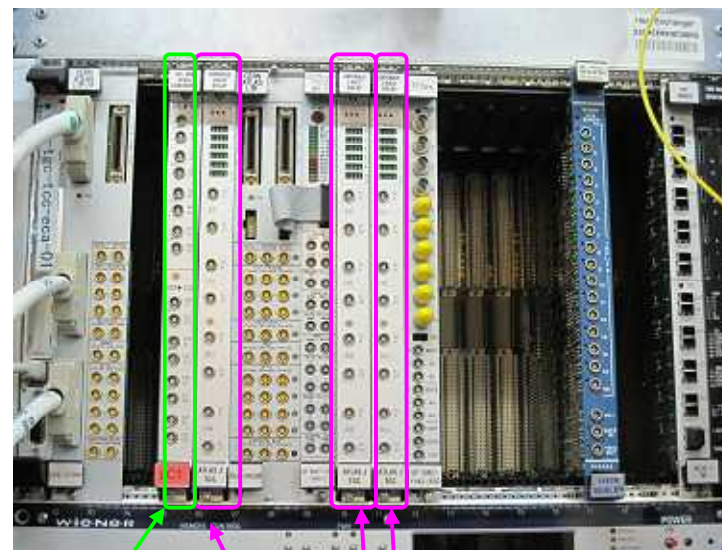
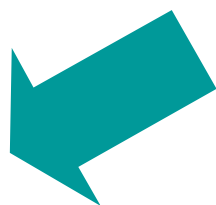
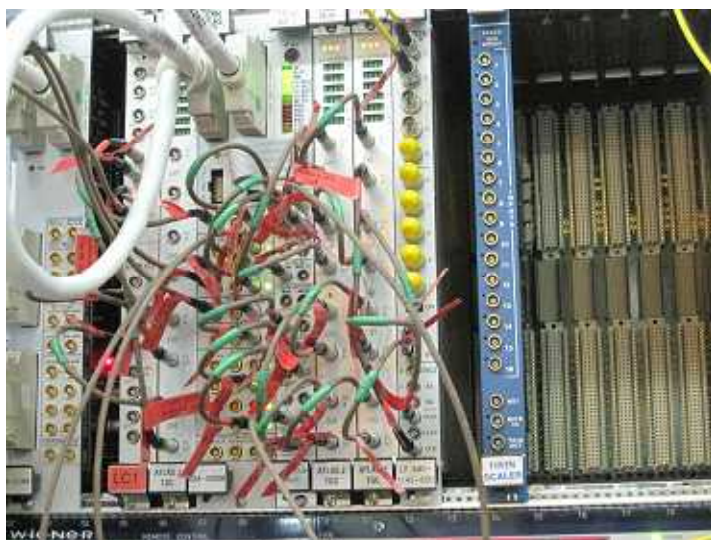


10枚のボード×4チャンネル×6本の内部ケーブル
全てについて測定を行った。

HP製 Digitizing Oscilloscopeを使用
(高機能、高分解能)

VME Delay Moduleのインストール1

地下のカウンティングルームにてインストール作業を行った。

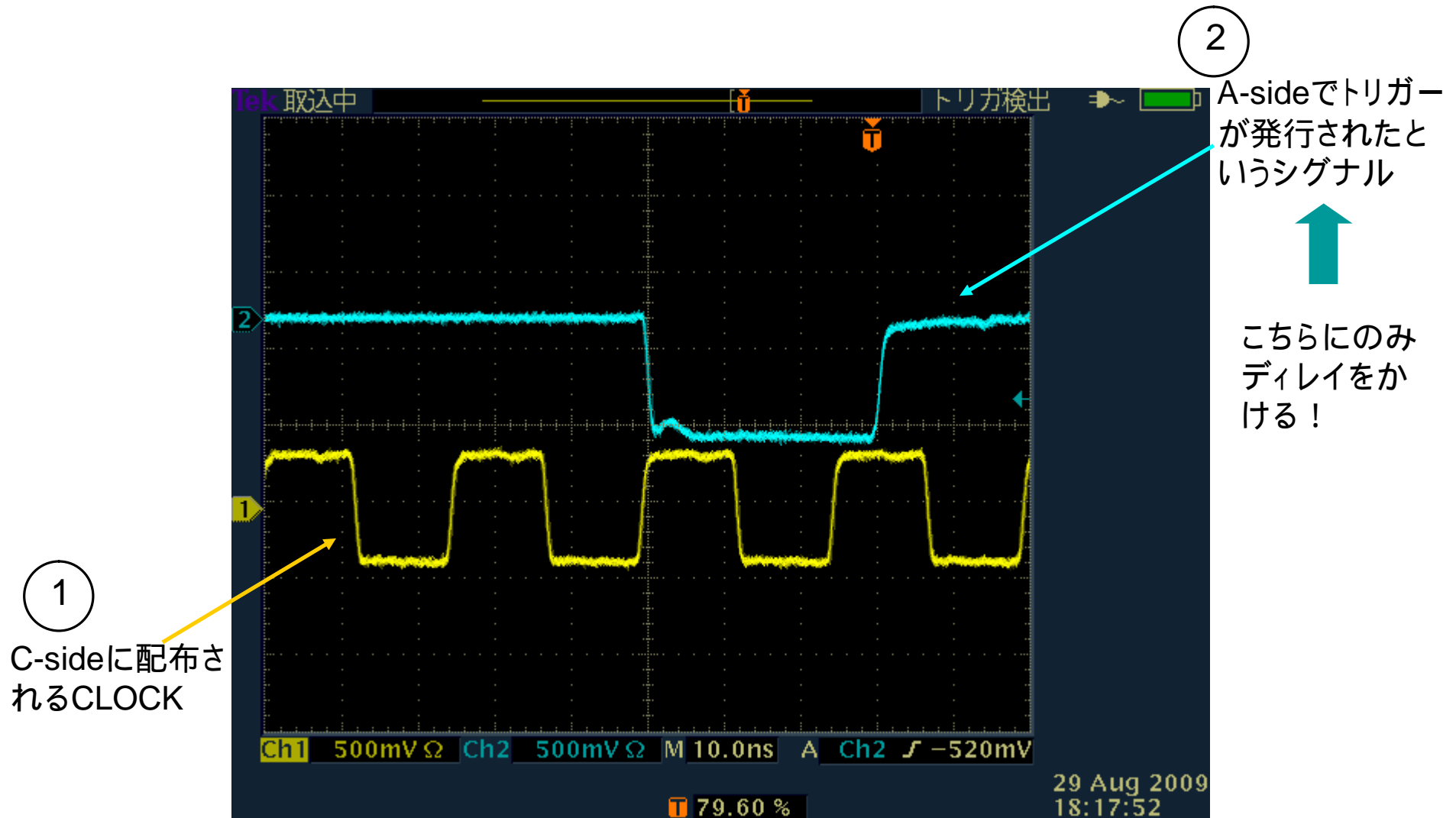


ECL-NIMレベル変換ボード

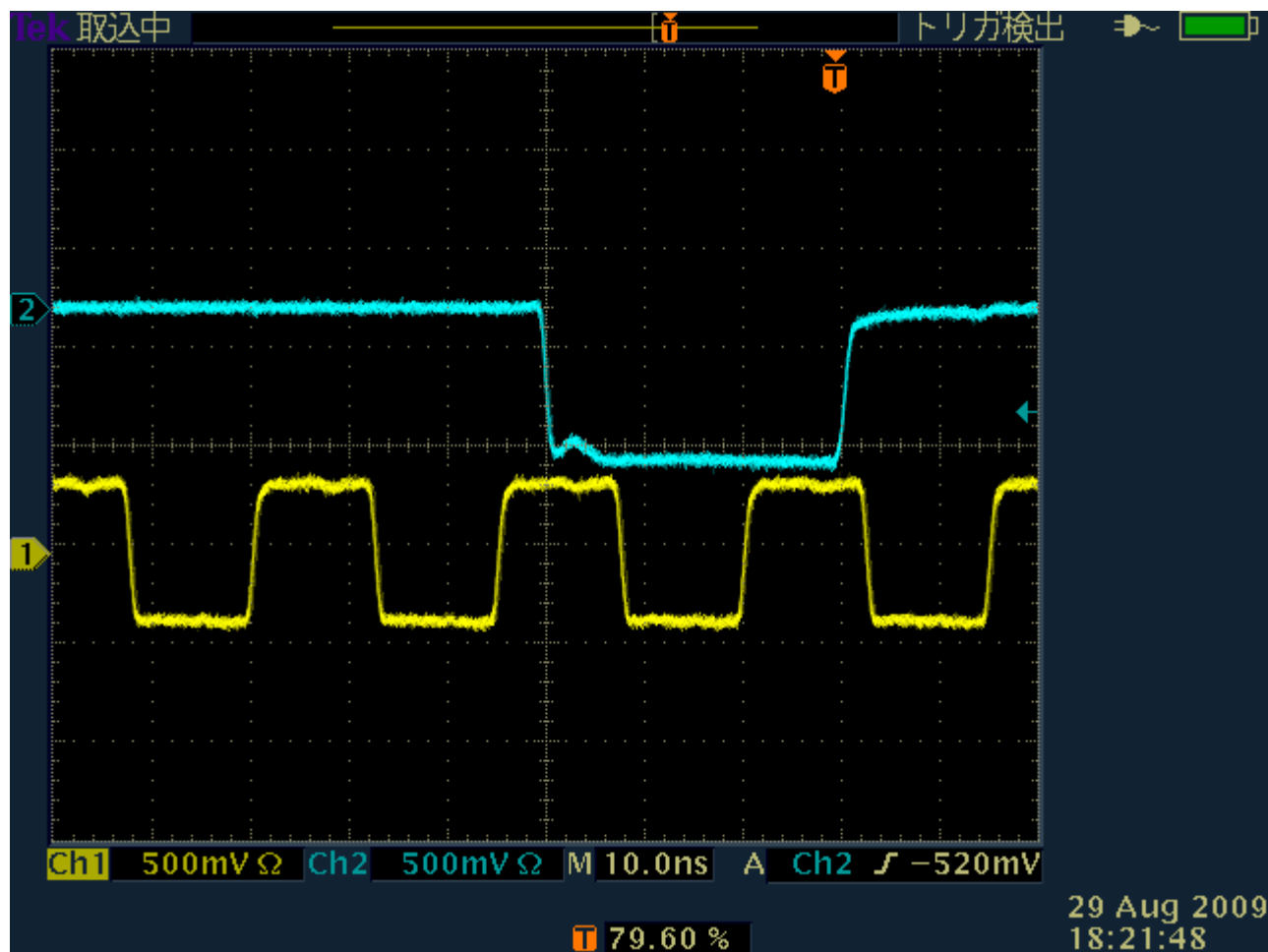
片サイドのクレートに3枚のDelay Module
をインストール

2009-2010のランはこのセットアップで走る。

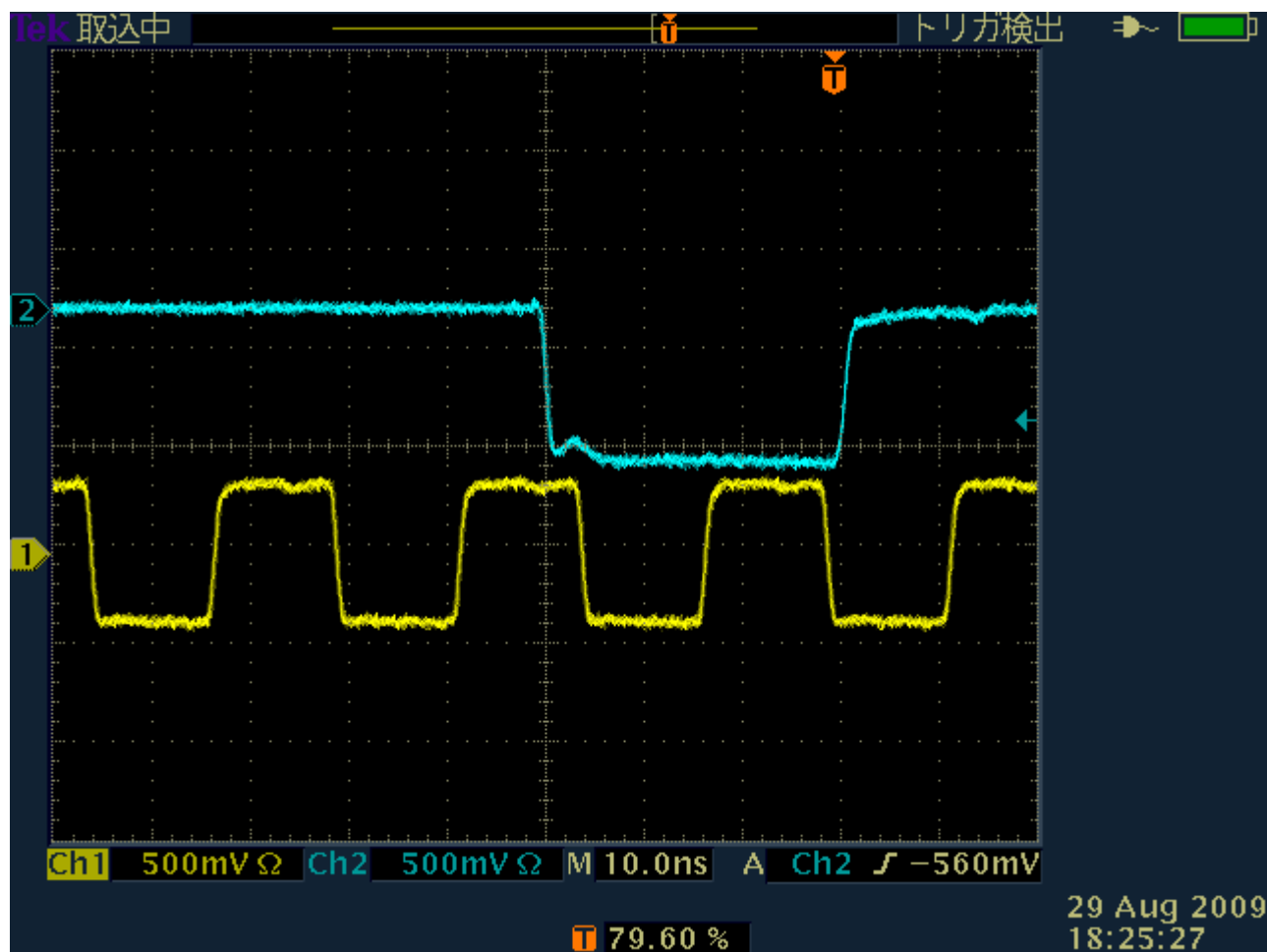
実際のシステムに組み込んでのテスト



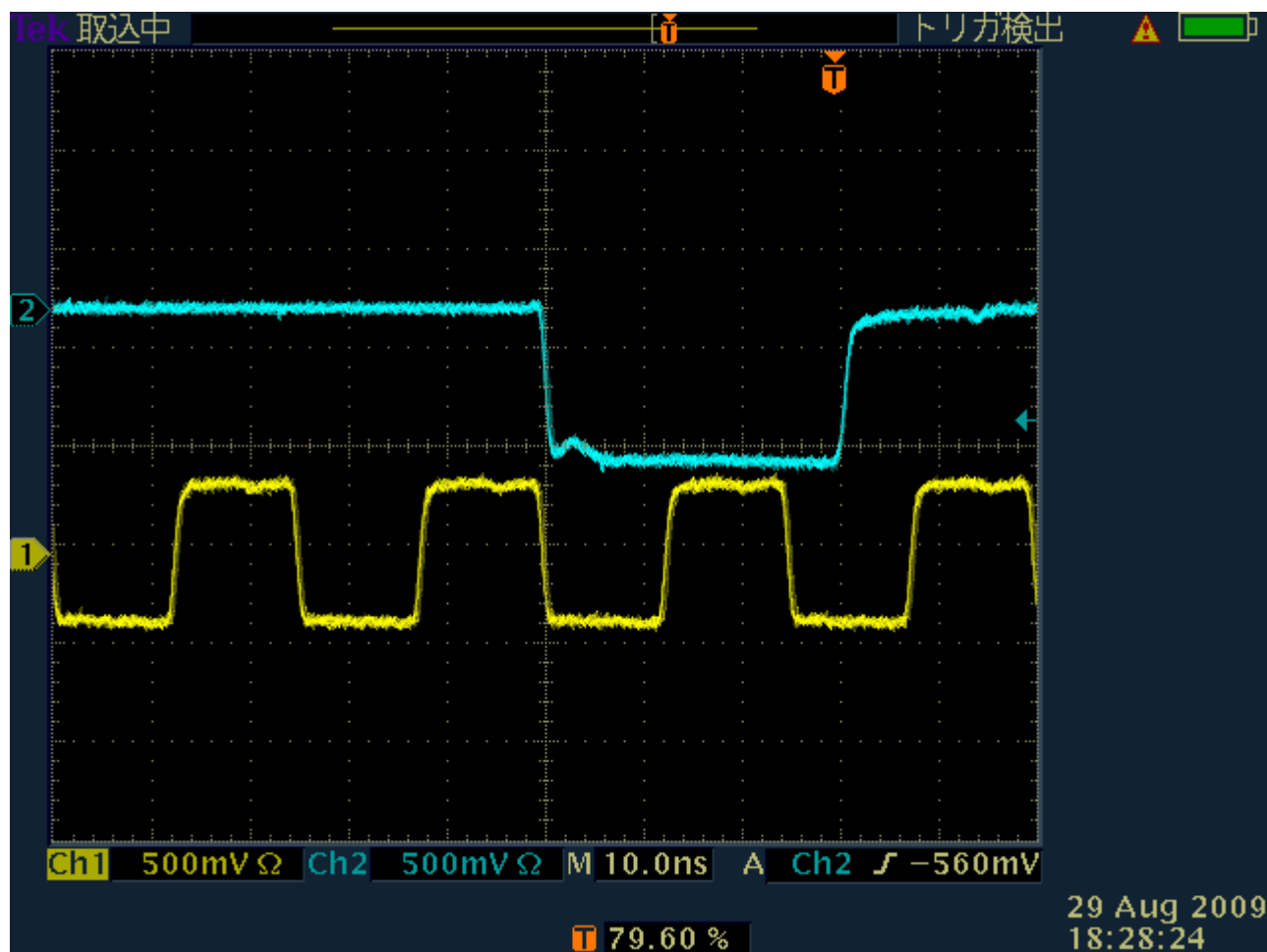
実際のシステムに組み込んでのテスト



実際のシステムに組み込んでのテスト

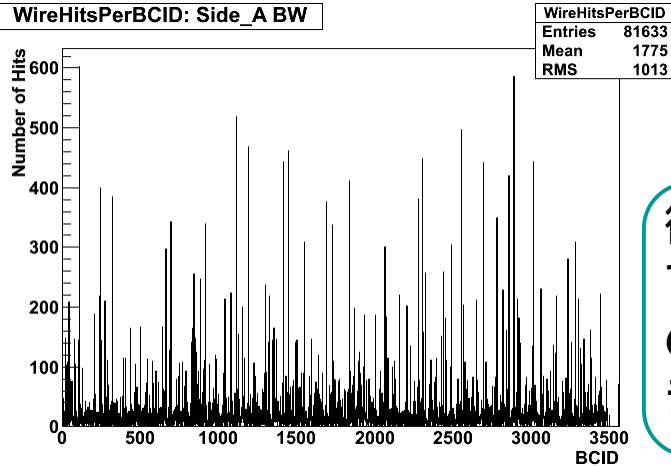


実際のシステムに組み込んでのテスト



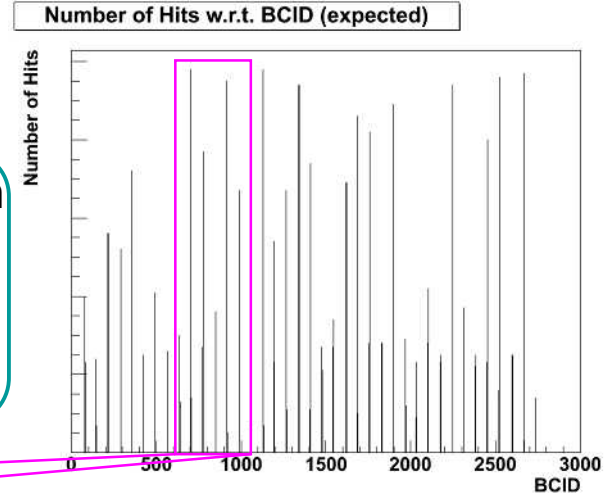
Clock Phase Scanに向けて

Clock Phase Scan用の新しいオンラインヒストグラムを作成。
宇宙線データによるテスト

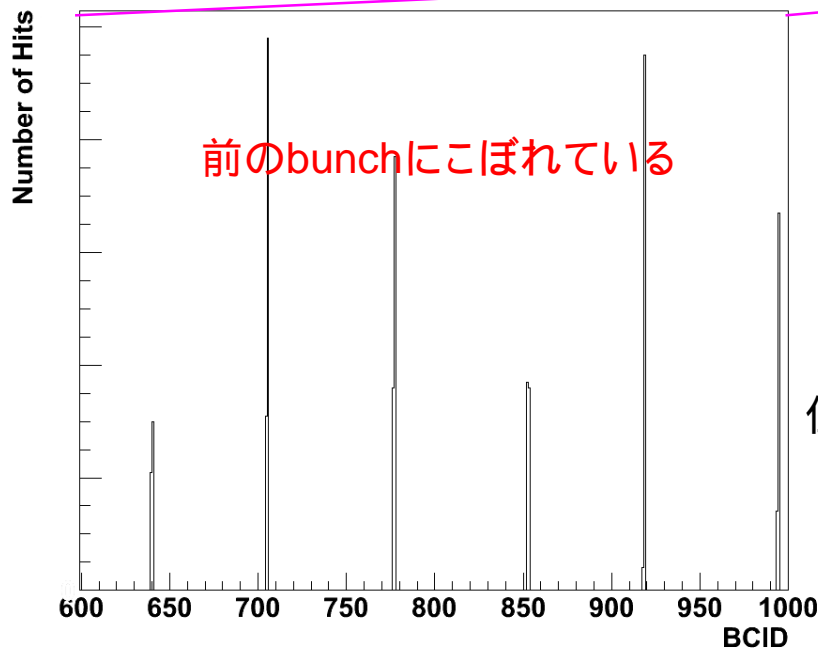


衝突開始初期は43bunch
でスタートするので、43個
のピークが立ったヒストグ
ラムが見られるはず。

Clock Phase Scan時の予想図



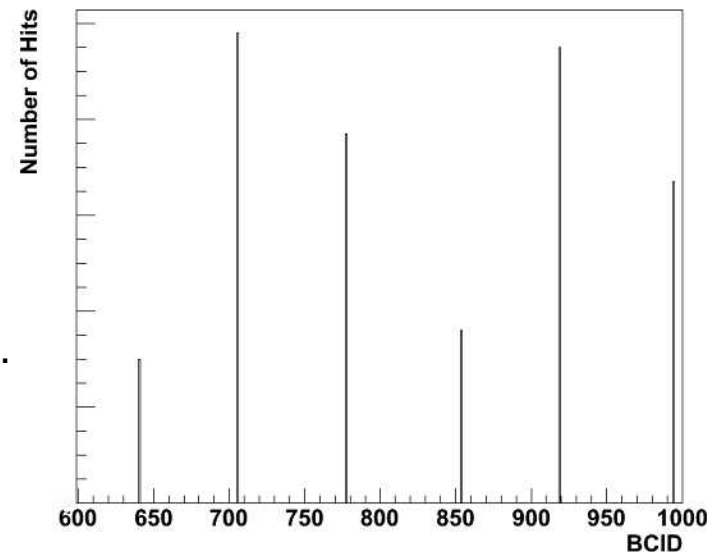
Number of Hits w.r.t. BCID (expected)



前のbunchにこぼれている

位相がそろとう...

Number of Hits w.r.t. BCID (expected)

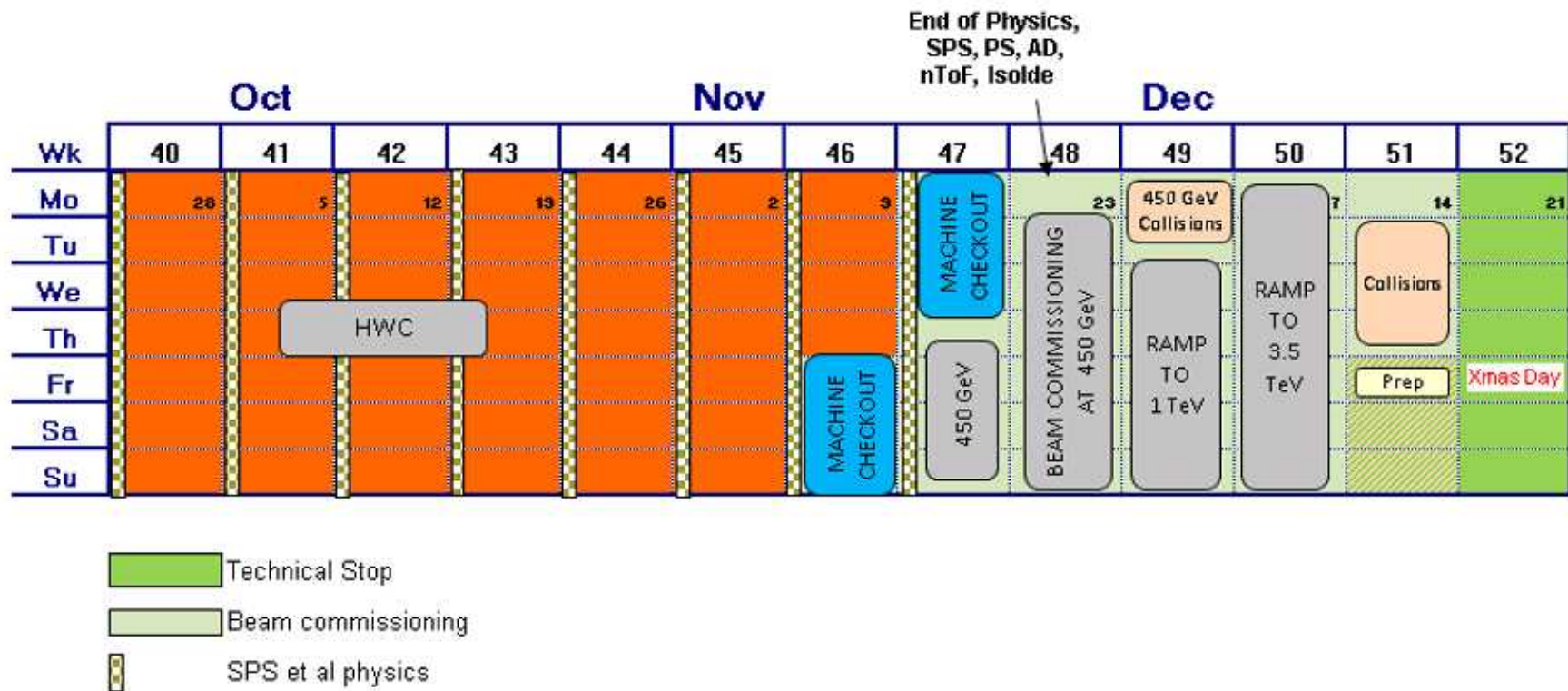


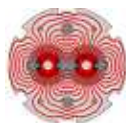
まとめ

- ビーム衝突とTGCシステムのクロックの間の位相調整を行うVME Variable Logic Delay Moduleを製作した。
- 現在Delay Moduleのインストールは完了していて動作確認も済んでいる。
- Clock Phase Scanにかかる時間はミューオンのrateを低く見積もり、チェンバータイプ(10type)別に解析するとして約7時間ほど要する。
- ピークルミノシティが 10^{31} に達するころにTGC単独でClock Phase Scanを行う予定。

Backup

今年の予定





Plugging in the numbers – 3.5 TeV

Month	OP scenario	Max number bunch	Protons per bunch	Min beta*	Peak Lumi	Integrated	% nominal	events/X
1	Beam commissioning							
2	Pilot physics combined with commissioning	43	3×10^{10}	4	8.6×10^{29}	$\sim 200 \text{ nb}^{-1}$		
3		43	5×10^{10}	4	2.4×10^{30}	$\sim 1 \text{ pb}^{-1}$		
4		156	5×10^{10}	2	1.7×10^{31}	$\sim 9 \text{ pb}^{-1}$	2.5	
5a	No crossing angle	156	7×10^{10}	2	3.4×10^{31}	$\sim 18 \text{ pb}^{-1}$	3.4	
5b	No crossing angle – pushing bunch intensity	156	1×10^{11}	2	6.9×10^{31}	$\sim 36 \text{ pb}^{-1}$	4.8	1.6
6	partial 50 ns – nominal crossing angle	144	7×10^{10}	2-3	3.1×10^{31}	$\sim 16 \text{ pb}^{-1}$	3.1	0.8
7		288	7×10^{10}	2-3	8.6×10^{31}	$\sim 32 \text{ pb}^{-1}$	6.2	
8		432	7×10^{10}	2-3	9.2×10^{31}	$\sim 48 \text{ pb}^{-1}$	9.4	
9		432	9×10^{10}	2-3	1.5×10^{32}	$\sim 80 \text{ pb}^{-1}$	12	
10		432	9×10^{10}	2-3	1.5×10^{32}	$\sim 80 \text{ pb}^{-1}$	12	
11		432	9×10^{10}	2-3	1.5×10^{32}	$\sim 80 \text{ pb}^{-1}$	12	

27-08-09

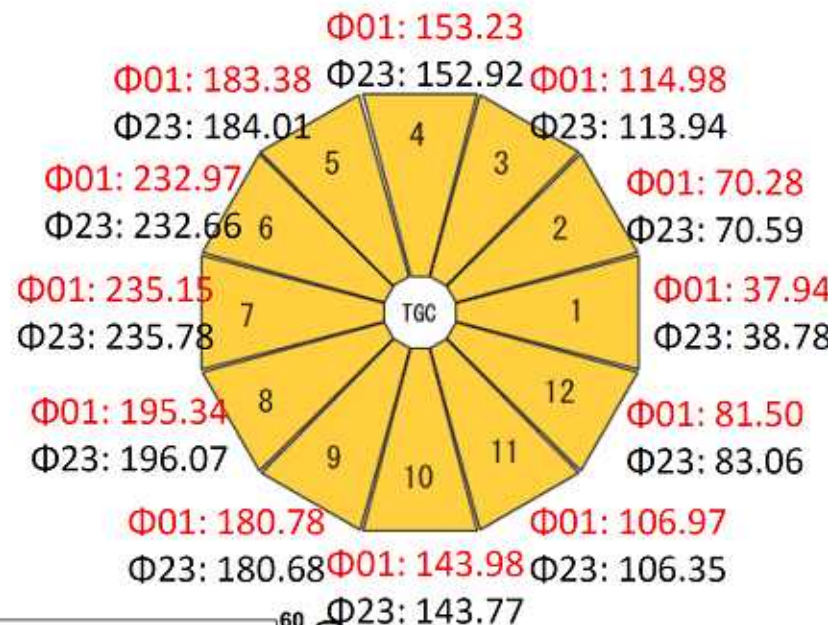
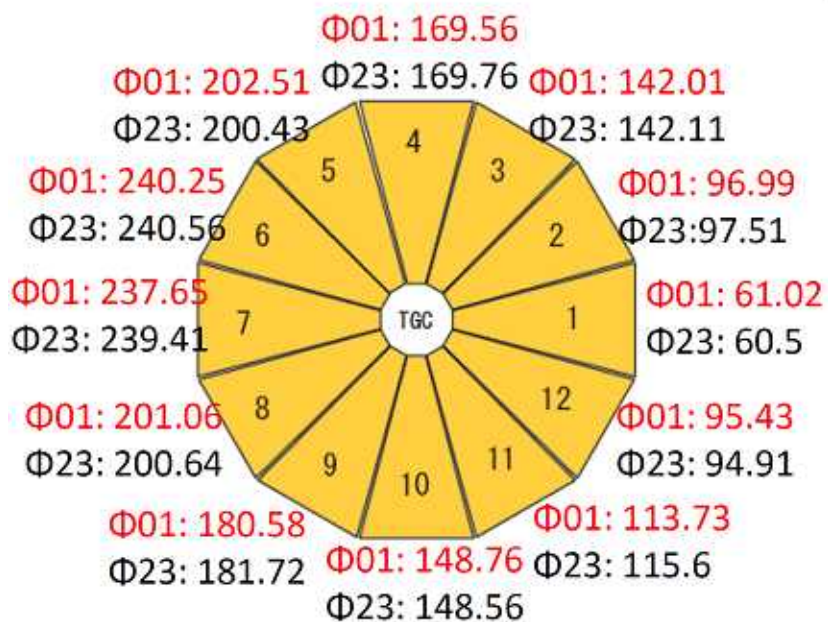
LHC - 2009/2010

Clock Phase Scanに必要な時間の見積もり

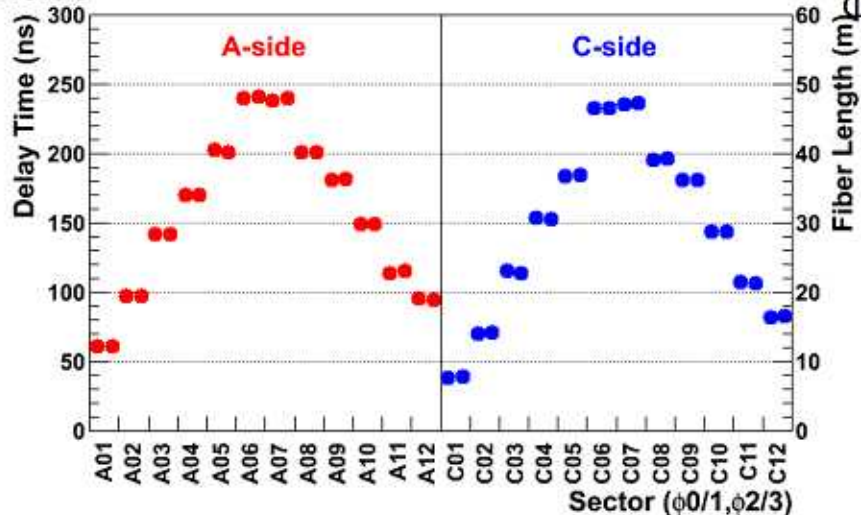
- L1 Triggerグループによるミュオンスペクトロメーターでのミュオンのrateは $10^{31} \text{ cm}^{-2}\text{s}^{-1}$ のルミノシティで600Hzほど。エンドキャップはその半分として300Hz。安全ファクターとして1/10をかけて30Hz程度。計算を簡単にするために10Hzとする。
- 1scanポイントあたり1000個のミュオン × 25個のscanポイント × 10 Chamber Type = 250kのミュオンが必要

$$250\text{k} / 10\text{Hz} = 25 \times 10^3 \text{ s} \sim 7 \text{ hour}$$

Clockのセクター間の位相測定 M1

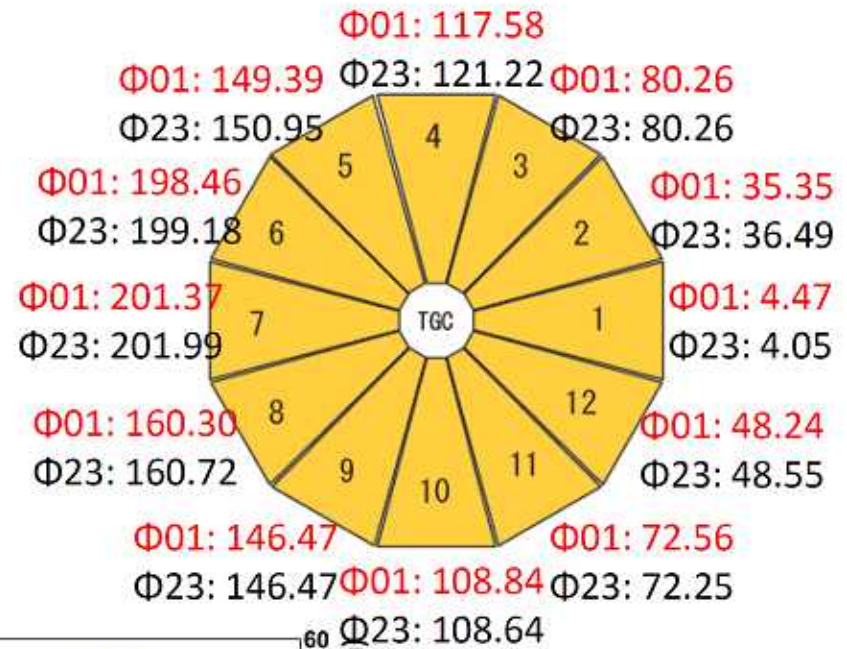
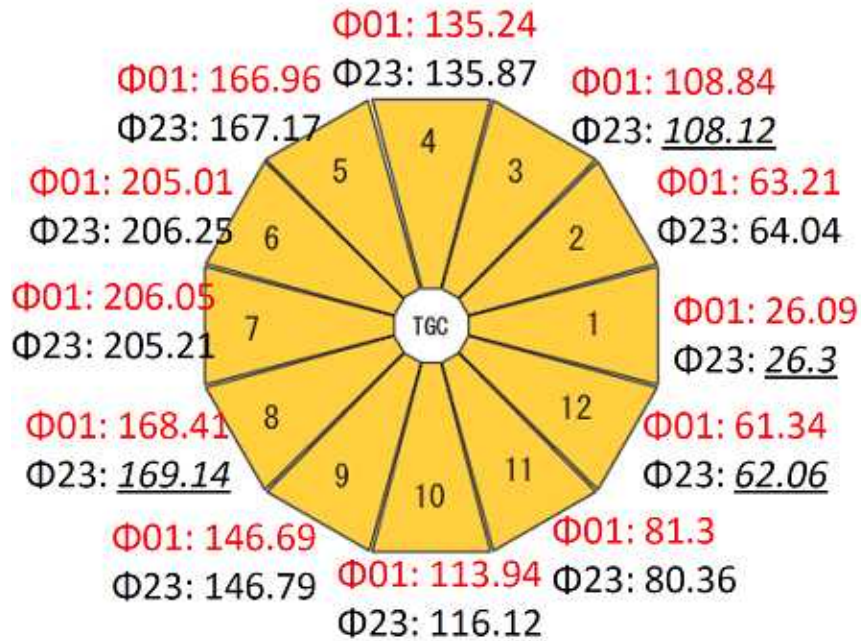


A side

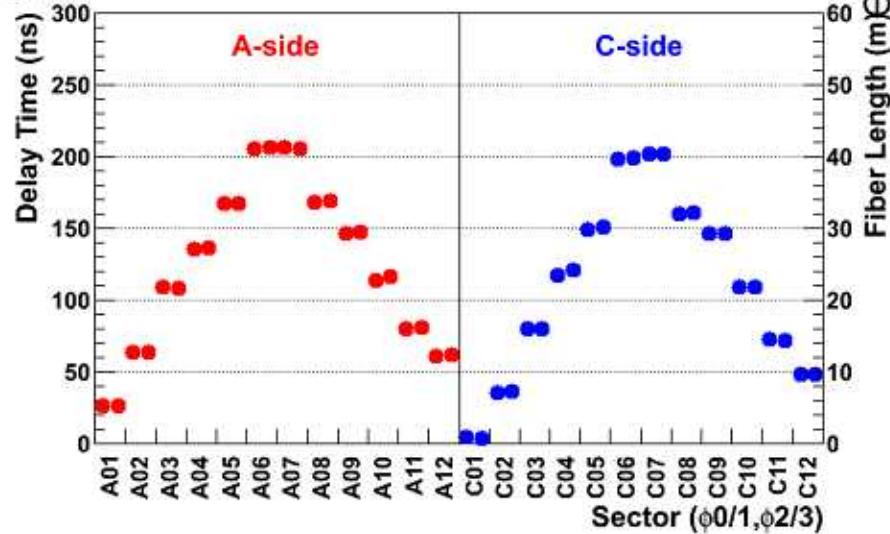


C side

M3

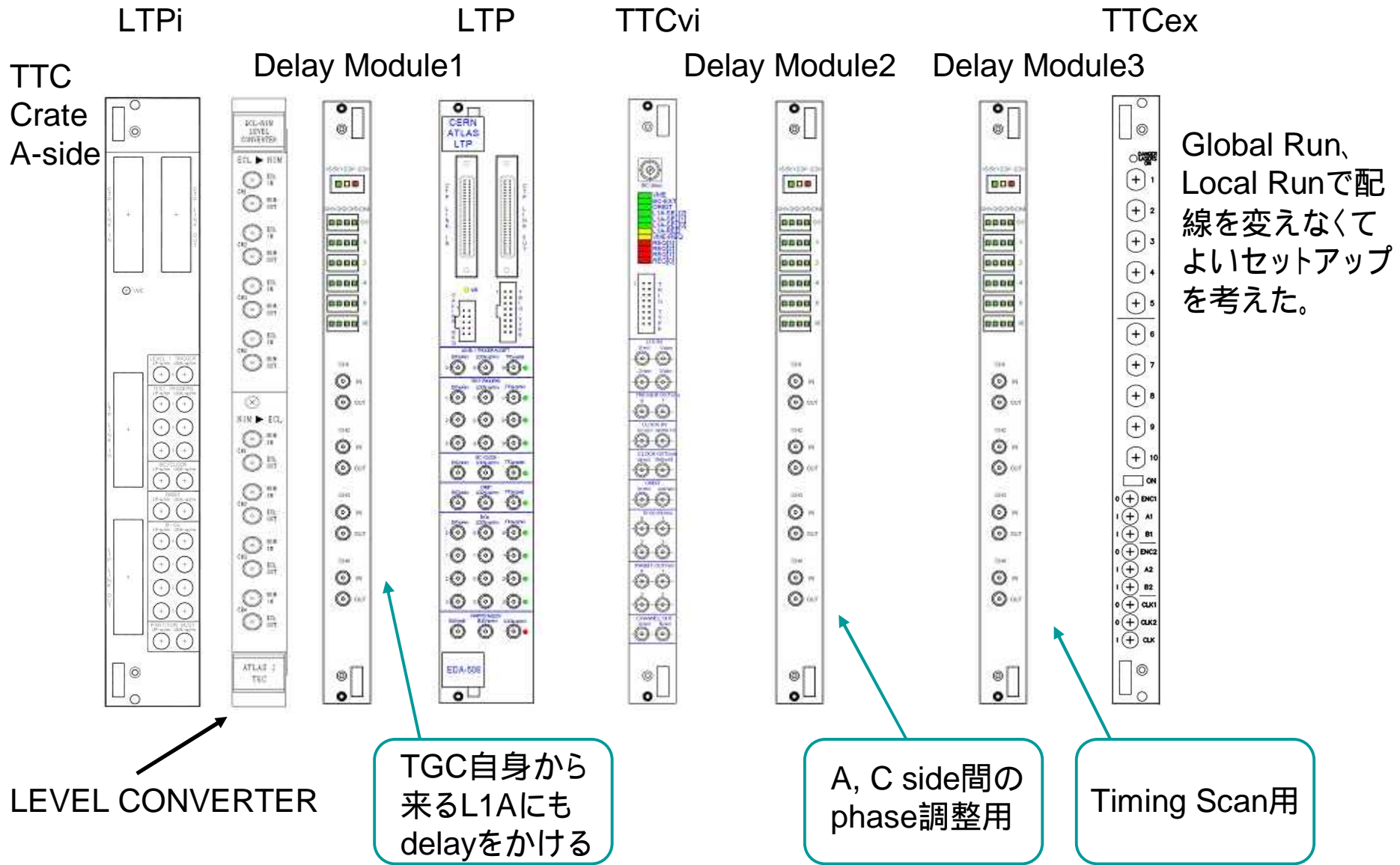


A side



C side

VME Delay Moduleのインストール2



A, C side間のphaseは調整済み!!