

---

# ATLAS前後方ミュオン検出器用 読み出しシステムの現状 及び アップグレード

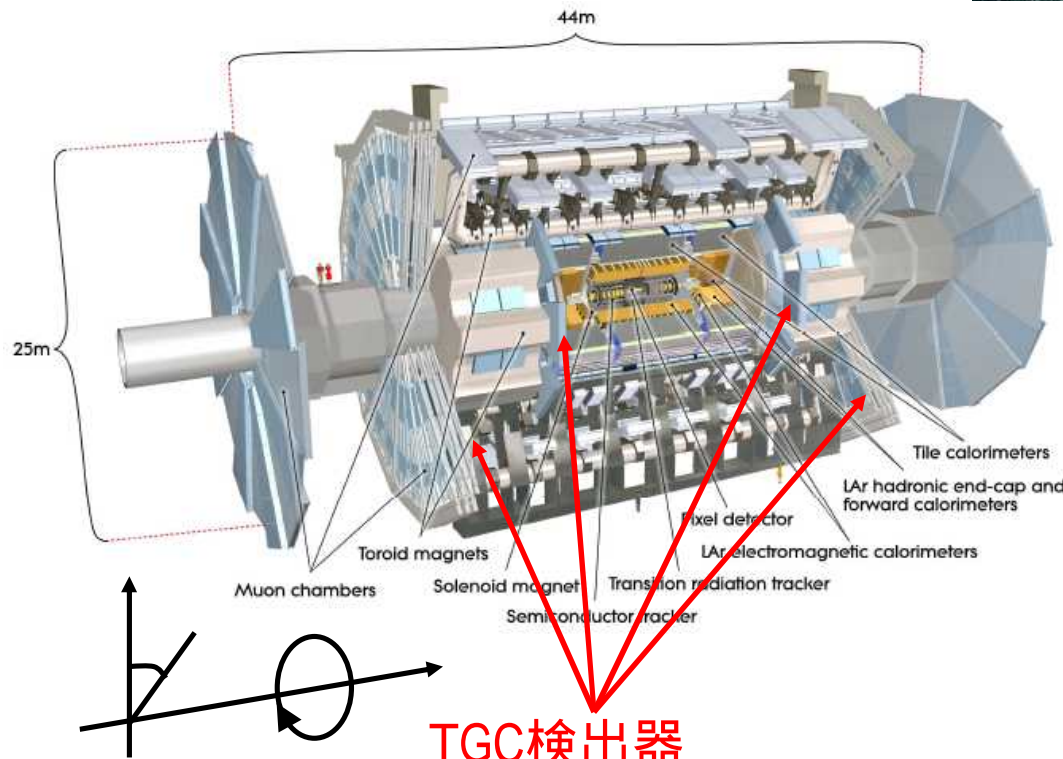
東京大学 (ICEPP)  
結束晃平

坂本宏, 川本辰男, 石野雅也, 織田勸, 久保田隆至, 平山翔, 金賀史彦, 越前谷陽佑,  
佐々木修A, 池野正弘A, 田中秀治A, 鈴木友A,  
蔵重久弥B, 越智敦彦B, 松下崇B, 石川明正B, 早川俊B, 中塚洋輝B,  
戸本誠C, 杉本拓也C, 高橋悠太C, 奥村恭幸C, 長谷川慧C, 菅谷頼仁D, 福永力E,  
他ATLAS日本TGCグループ  
東大素セ, 高工研A, 神戸大理B, 名大理C, 阪大理D, 首都大E

---

## LHC加速器

主リング周長	26.66km
衝突頻度	40.08MHz
重心系エネルギー	14TeV
(高)ルミノシティ	$10^{34}\text{cm}^{-2}\text{sec}^{-1}$



### TGC検出器

- ・ 前後方のミュオン粒子を検出
- ・ レベル1トリガー判定を行う

## ATLAS検出器

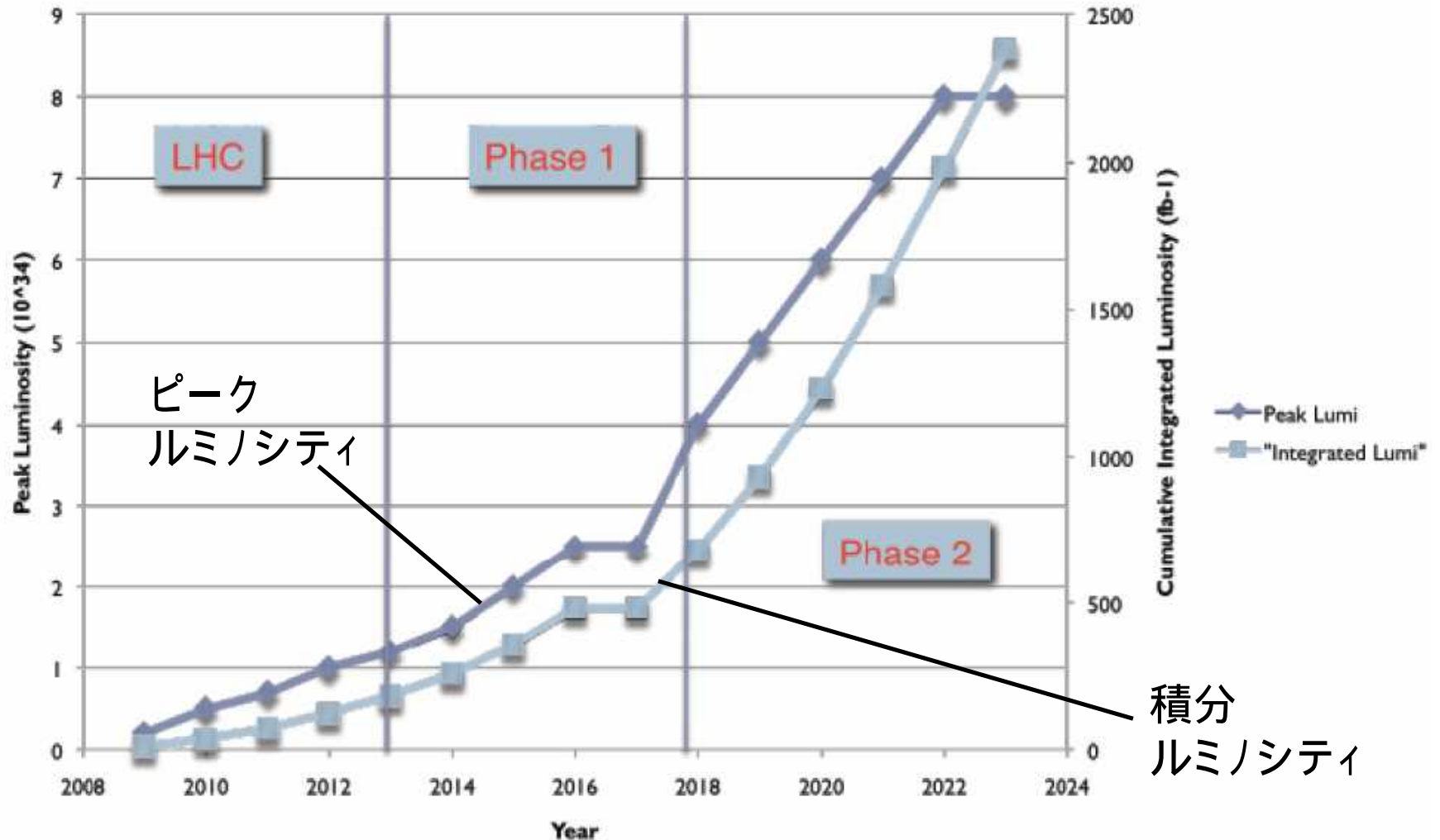
ヒッグスやSUSYなど新物理現象を直接探索する汎用検出器

- ・ 検出可能な粒子をなるべくもらさず検出し測定する  
広範囲なラピディティ  
全方位角
- ・ 約1GHzになる反応レートから有用なものを逃すことなく処理するシステム  
3段階トリガーで実現  
(レベル1トリガーで**最大100kHz**)

# Super LHC (SLHC) 計画

最終的なルミノシティ  $\sim 10^{35}[\text{cm}^{-2}\text{sec}^{-1}]$  を目指す計画

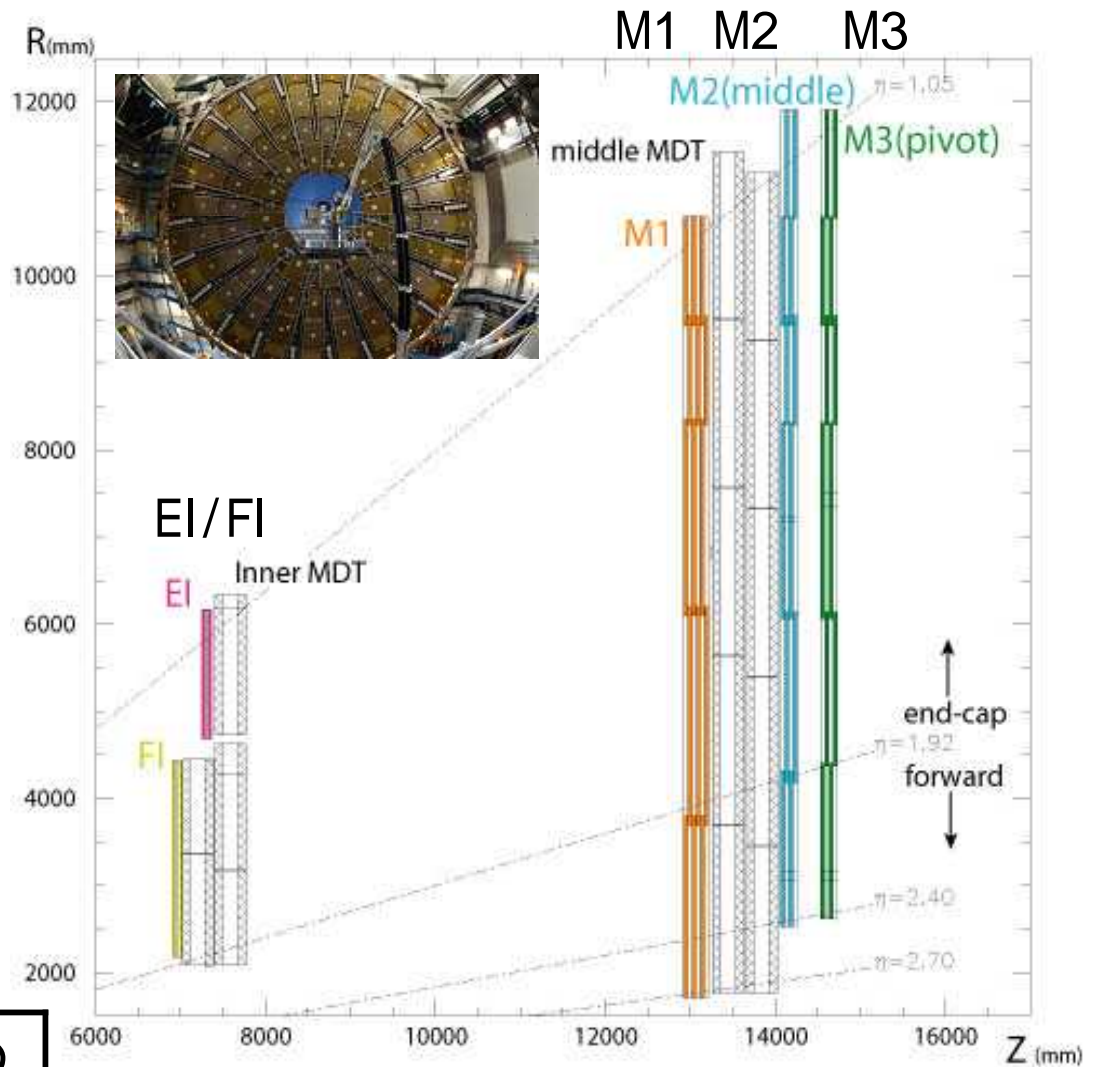
ATLASも必要に応じてアップグレード



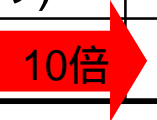
(現行LHCで)2012年までにルミノシティ  $10^{34}[\text{cm}^{-2}\text{sec}^{-1}]$  を達成する  
2013年からアップグレード phase1 (四極電磁石の交換など)  
2017年頃 アップグレード phase2 (LHCリング前段の加速器を新設)

# TGC (Thin Gap Chamber) 検出器

- MWPCの一種  
 ワイヤ面とカソード面間隔  
 (1.4mm)がワイヤ間隔  
 (1.8mm)より短い  
 Thin Gap  
 25ns以下のタイムジッター
- $1.05 < |\eta| < 2.7$ の範囲をカバー
- 片サイドあたり
  - ビッグウィール
  - M1(3層)、M2(2層)、M3(2層)
  - EI/FI(2層)
- 総チャンネル数 = 約32万

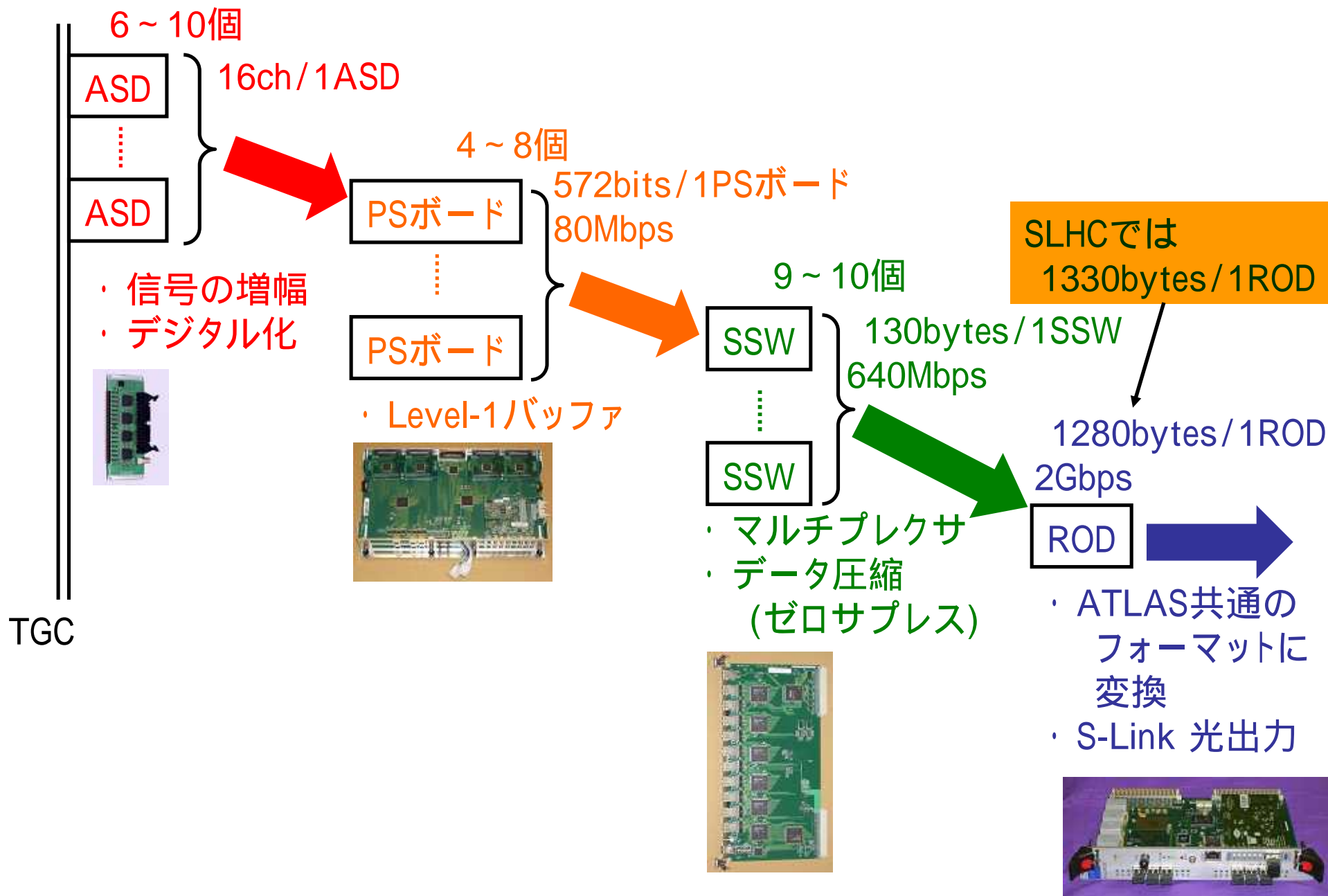


	LHCでの Hits/衝突 (TDRより)	SLHCでの Hits/衝突
TGC全体	50	500



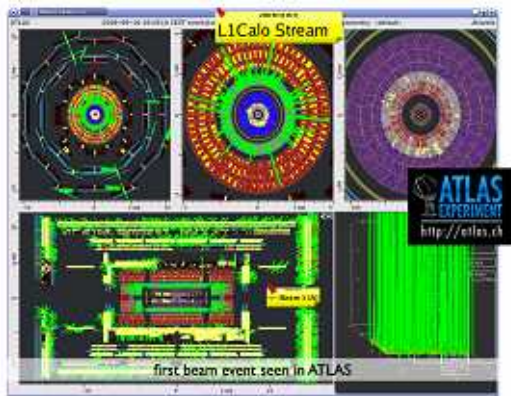
LHC及びSLHCでのヒット数の見積もり

# TGC読み出しエレクトロニクス



2008年9月10日

First beam



TGC 読み出しエレクトロニクス	動作状況
ASD(日本担当)	
PSボード(日本担当)	
SSW(日本担当)	
ROD(イスラエル担当)	レベル1トリガーレート (100kHz)で動作しない。

2008年秋の時点において、  
TGC読み出しシステムはSSWまでは良好に動作していることを  
確認

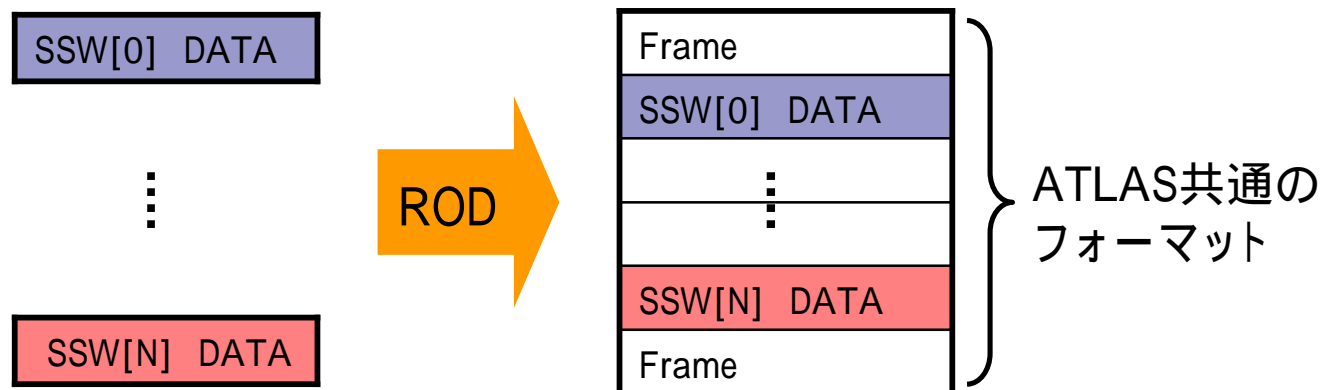
しかしながら、RODが安定に動作しない

2008年10月より Super LHC も視野に入れた新RODの開発開始

# 新ROD開発

## RODの役割

複数のSSWデータ( 2bytes単位 )を受け取り、一本にする  
ATLAS共通のフォーマットにして出力( 4bytes単位 )する



SuperLHCでのデータ量及びレベル1トリガーレート(最大150kHz)で  
動作するロジックの開発

### 現行RODの場合

最大で10個  
のSSW入力



ROD

1つの出力

現行RODと置き換えることを考える

新RODも同じ入出力として考え、10入力1出力

## 1枚のRODが送るデータ量の見積もり

TDRのヒットレート値からSLHCのデータ量を見積もると

TGCでのhit occupancyは0.2%程度

1枚のRODに対して1.3k[bytes/衝突]程度のデータ量

最大L1トリガーレートの150kHzで**195M[bytes/s]のデータ量**

## 満たすべき動作速度

出力側であるS-Link光出力の動作速度以上が望ましい

S-Linkは 2G[bps] = 250M[bytes/s]

RODは**内部ロジックでは125M[Hz]以上で処理し62.5M[Hz]以上の出力速度**が必要となる。



## 初期開発:

ロジックサイズや処理速度などを考慮しながら、  
どのようにロジックを分散させるかを考える。

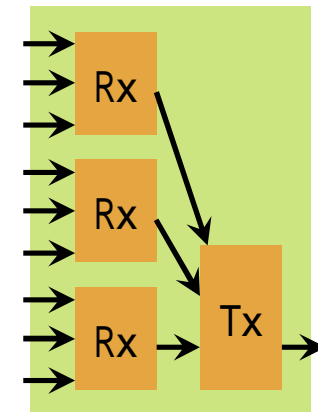
~ 今回行ったこと ~

受信(Rx)用ロジックと送信(Tx)用ロジックにわけて設計

- ・ 基本骨格部の設計
- ・ 論理シミュレーション
- ・ デバイスに依存したシミュレーション(タイミングシミュレーション)

による動作速度の見積もり

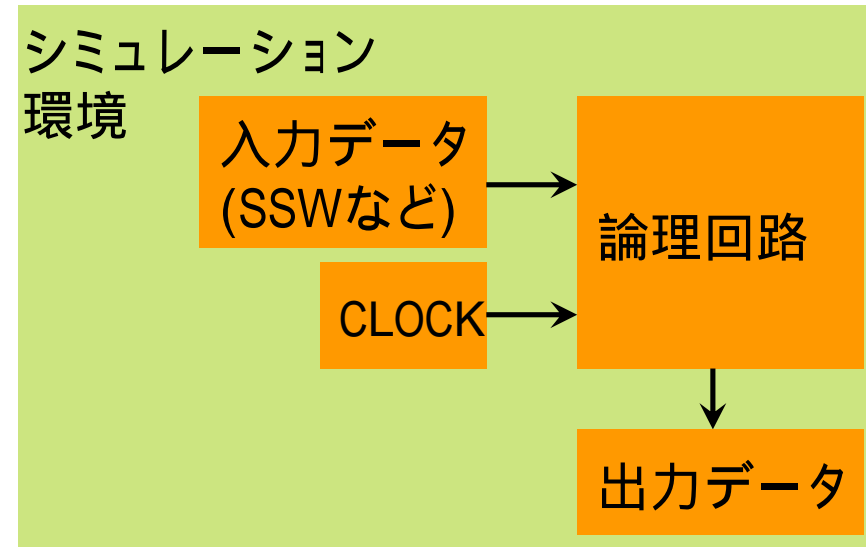
- ・ 汎用モジュールによる動作確認





## セットアップ (シミュレーション)

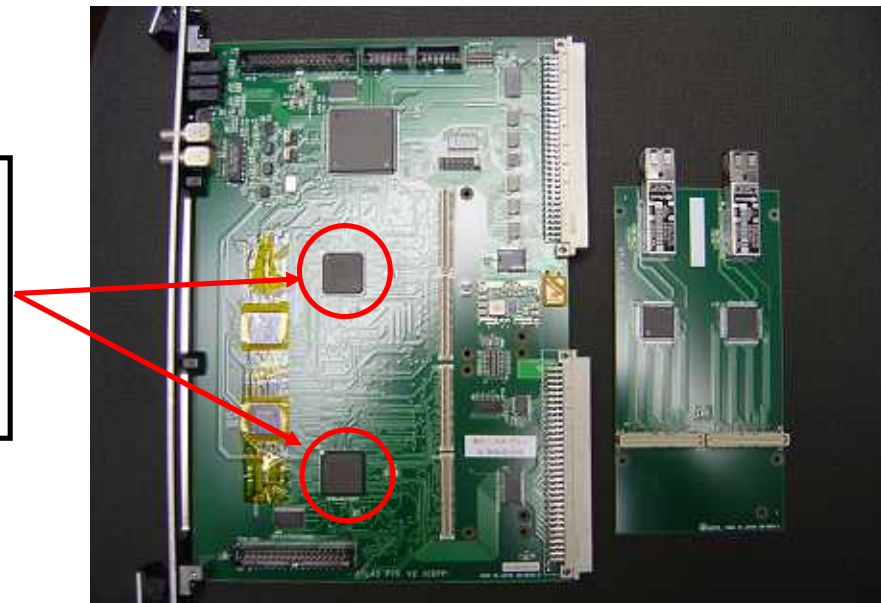
- ・ CLOCKに合わせてデータ入力  
Rx: 入力データ = SSWデータ  
Tx: 入力データ = Rx出力データ
- ・ 検証デバイス(Xilinx社製)
  - Spartan3 XC3S400
  - Virtex5 XC5VLX30



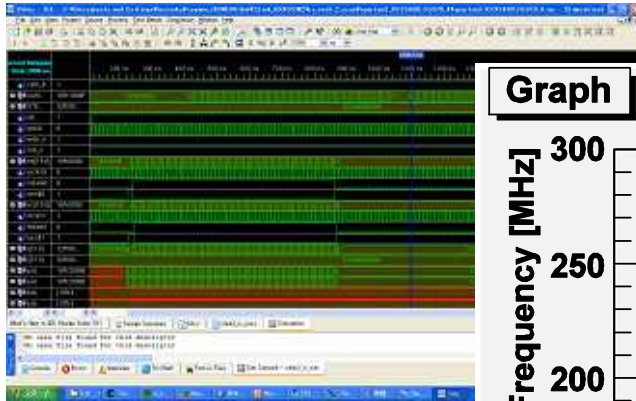
## セットアップ (汎用モジュールを用いた動作確認)

汎用モジュール: PT5  
水晶クロック: 40MHz

搭載FPGA  
Xilinx社製  
Spartan3 XC3S400  
FG320 speed level -4

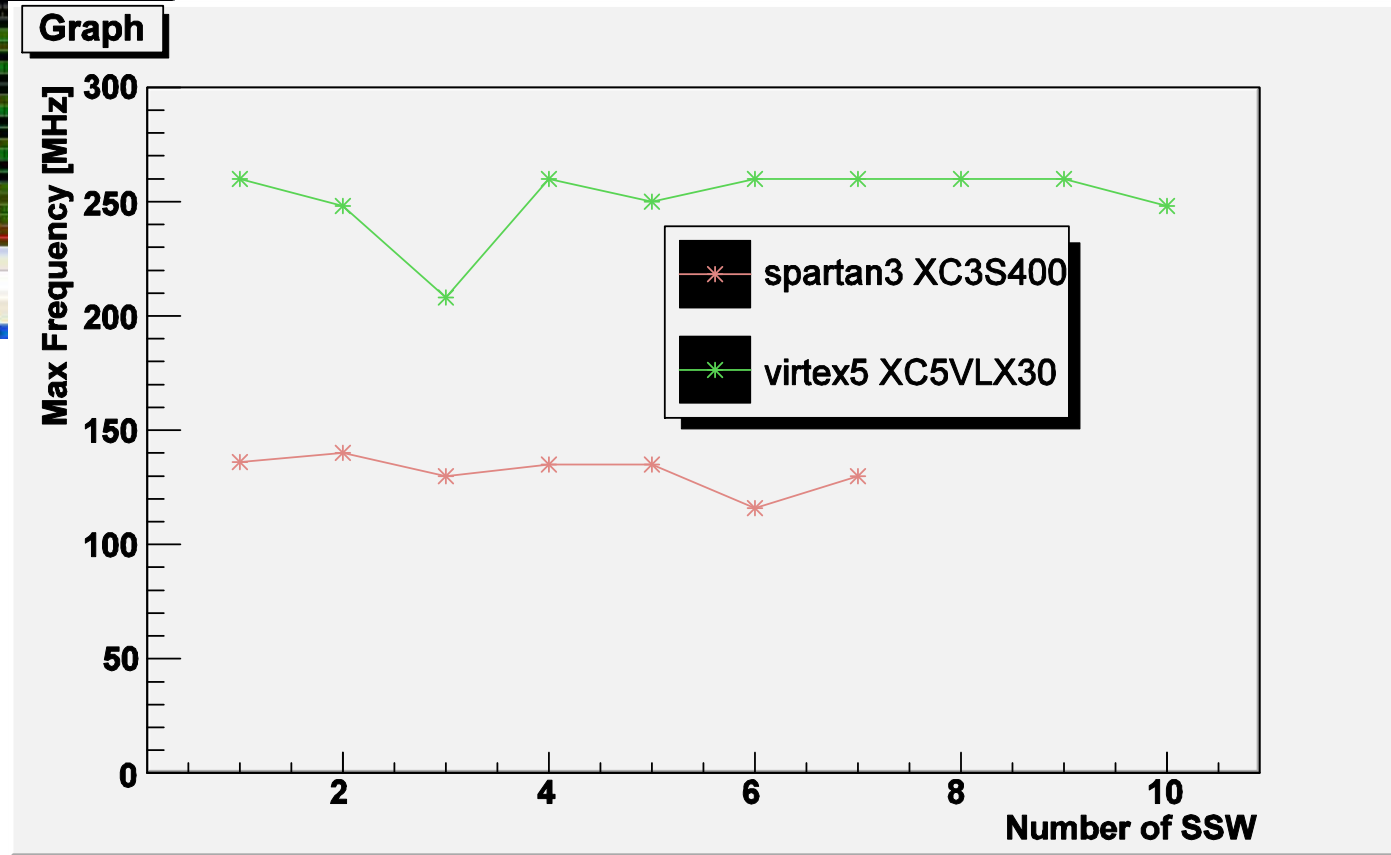


# Rx



## シミュレーションで動作確認

動作速度の見積もり  
入力数を  
増やしても  
動作速度は  
低下しない。

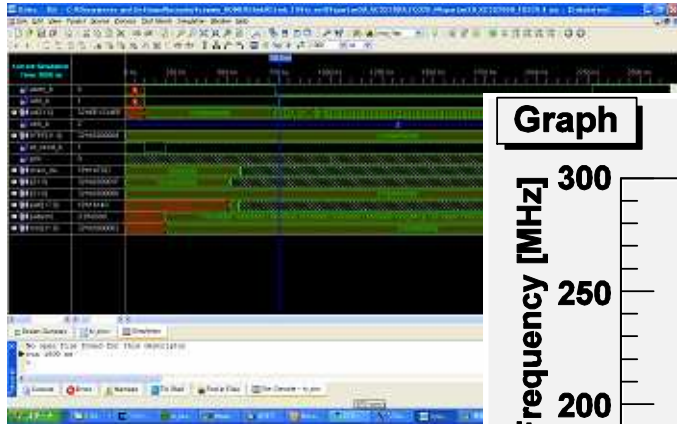


125MHz以上で動作する。Virtex5であれば200MHz以上で動作

汎用モジュールで  
動作を確認！

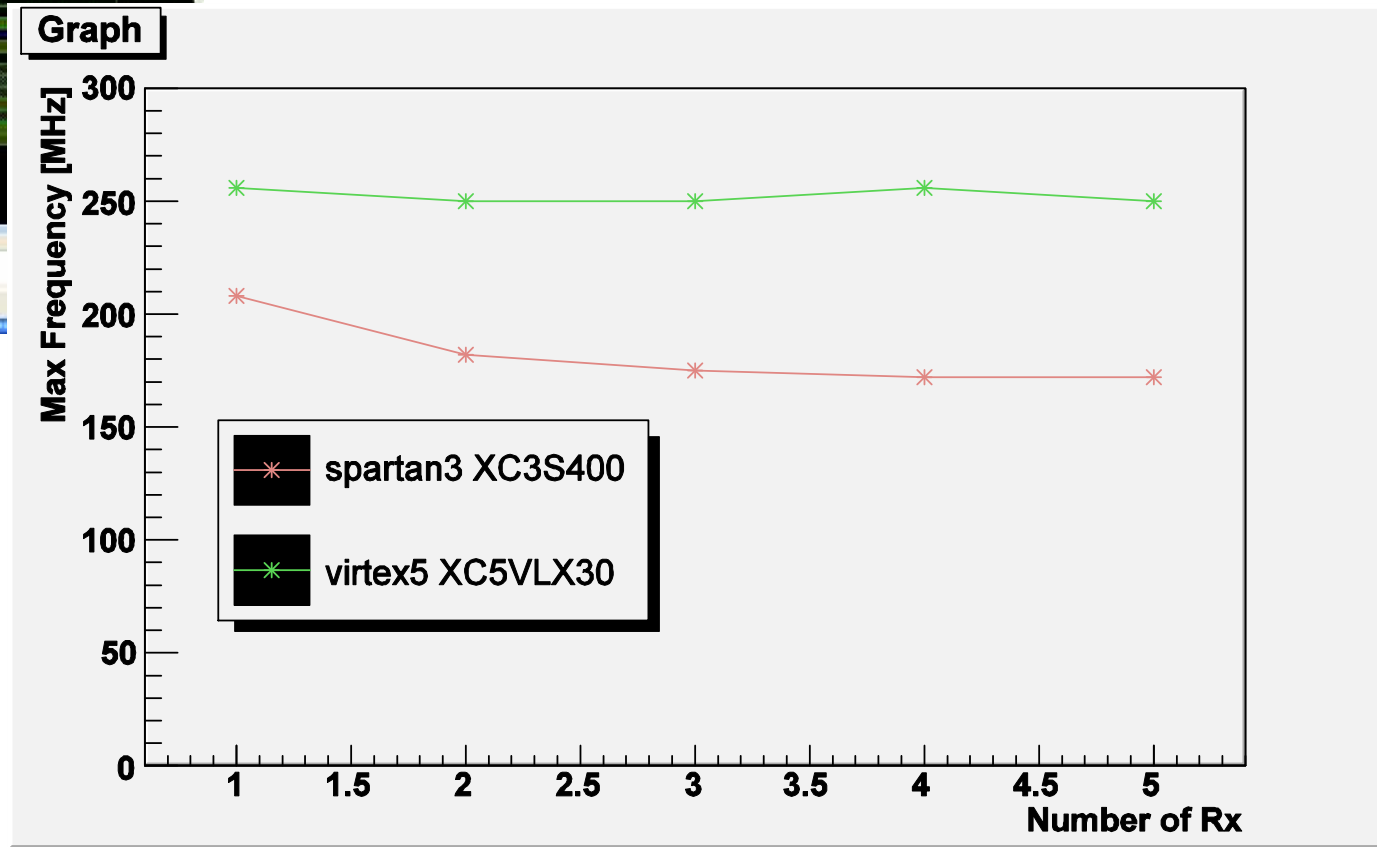


# Tx



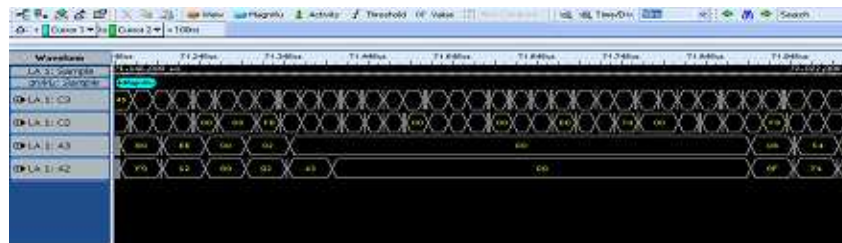
## シミュレーションで動作確認

動作速度の見積もり  
Rxと同じく  
入力数を  
増やしても  
動作速度は  
低下しない。



Txも同様に要求速度を満たす速度で動作する

汎用モジュールで  
動作を確認！



## まとめ

### ROD機能の基本骨格の設計の完了

- ・ 論理シミュレーションによって動作確認
- ・ **要求水準を満たす動作速度で動く**ことをタイミングシミュレーションで確認  
チューニングを行うことでさらに性能向上が期待できる
- ・ 汎用モジュールを用いて**実機動作を確認**

### 今後の予定

- ・ 設計改良やタイミング調整などによってより安定な動作回路を実現する
- ・ エラー検知アルゴリズムなどの機能をつける

試作を経てATLASに組み込み、検証を行う

アップグレードphase1 に合わせて最終モジュールを完成させる