

# ATLAS前後方ミュオントリガーチェンバーの 読み出し回路試験

東大素セ, KEK<sup>A</sup>, 神戸大自然<sup>B</sup>, 阪大理<sup>C</sup>,

信州大理<sup>D</sup>, 首都大理工<sup>E</sup>, 名大理<sup>F</sup>

久保田隆至, 坂本宏, 石野雅也, 野本裕史, 桑原隆志,  
佐々木修<sup>A</sup>, 安 芳次<sup>A</sup>, 池野正弘<sup>A</sup>, 香川晋二<sup>A</sup>, 蔵重久  
弥<sup>B</sup>, 緒方岳<sup>B</sup>, 門坂拓哉<sup>B</sup>, 丹羽正<sup>B</sup>, 菅谷頼仁<sup>C</sup>, 長谷川  
庸司<sup>D</sup>, 福永力<sup>E</sup>, 戸本誠<sup>F</sup>, 杉本拓也<sup>F</sup>, 奥村泰幸<sup>F</sup>, 高橋  
悠太<sup>F</sup> 他ATLAS日本TGCエレキグループ

# 内容

TGC (Thin Gap Chamber)

TGC用エレクトロニクス

CERNでの Test Pulse 読み出し試験

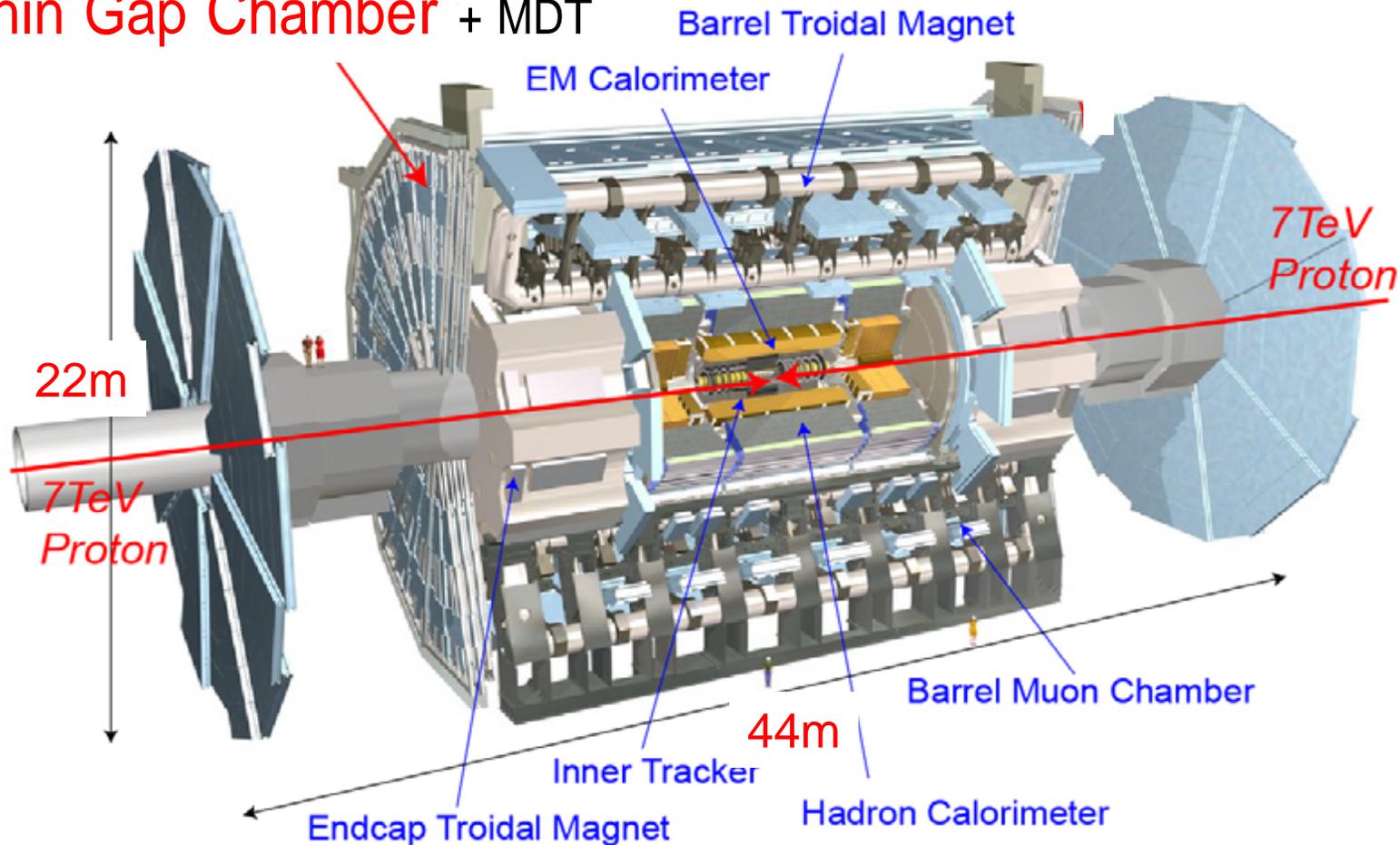
- コネクション、デッドチャンネルの洗い出し、修正
- デイレイ補正回路の動作確認

まとめ

# Thin Gap Chamber (TGC)

ATLAS実験のための前後方ミュオントリガーチェンバー

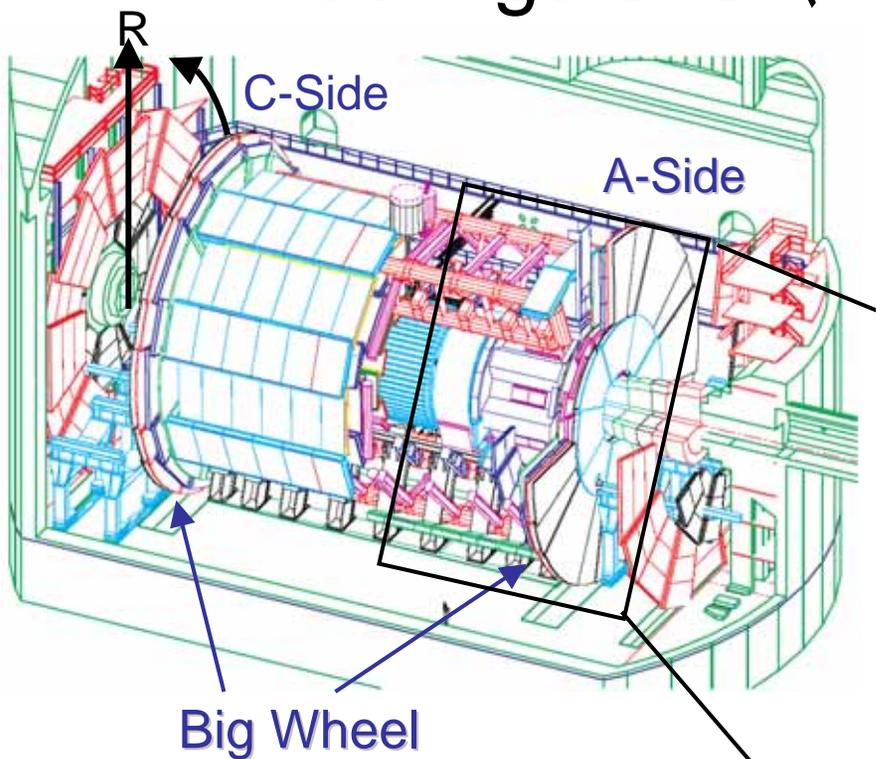
Thin Gap Chamber + MDT



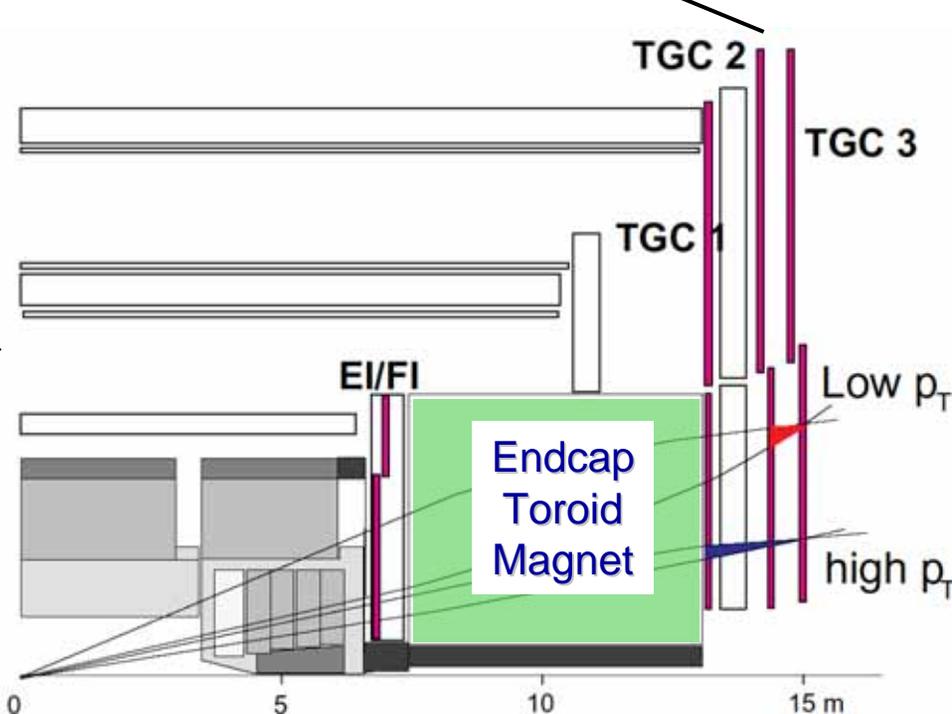
エンドキャップ ( $1.05 < |\eta| < 2.4$ ) 領域をカバー

Ptの高いミュオン含むイベントを選択、L1A (Level 1 Accept) と呼ばれるトリガーシグナルを生成

# Configuration, Trigger Scheme



- 狭い Wire - Cathode間隔 (1.4mm)  
 $t < 25\text{ns} = 40.08\text{MHz}$  でバンチ識別 (LHCの設計値)
- R (Wire)、 (Strip) の2次元読み出し
- TGC1、TGC2、TGC3の3ステーション  
 3レイヤー (TGC1)、2レイヤー (TGC2,3) 構造  
 全7レイヤー構造  
 + 内側にEI/FI (補助的役割)



- TGC手前にトロイド磁場  
 トラックが曲がる ( $P_t$  大、曲率 小)
- TGCエレクトロニクスでチェンバー信号処理  
 3ステーションでコインシデンス 飛跡の検出  
 $P_t$ の大きい (曲率の小さな) ミューオンを探す  
 $P_t > 6\text{GeV}/c$  のミューオンにトリガー

# TGC近影

総チャンネル数 **32万**チャンネル

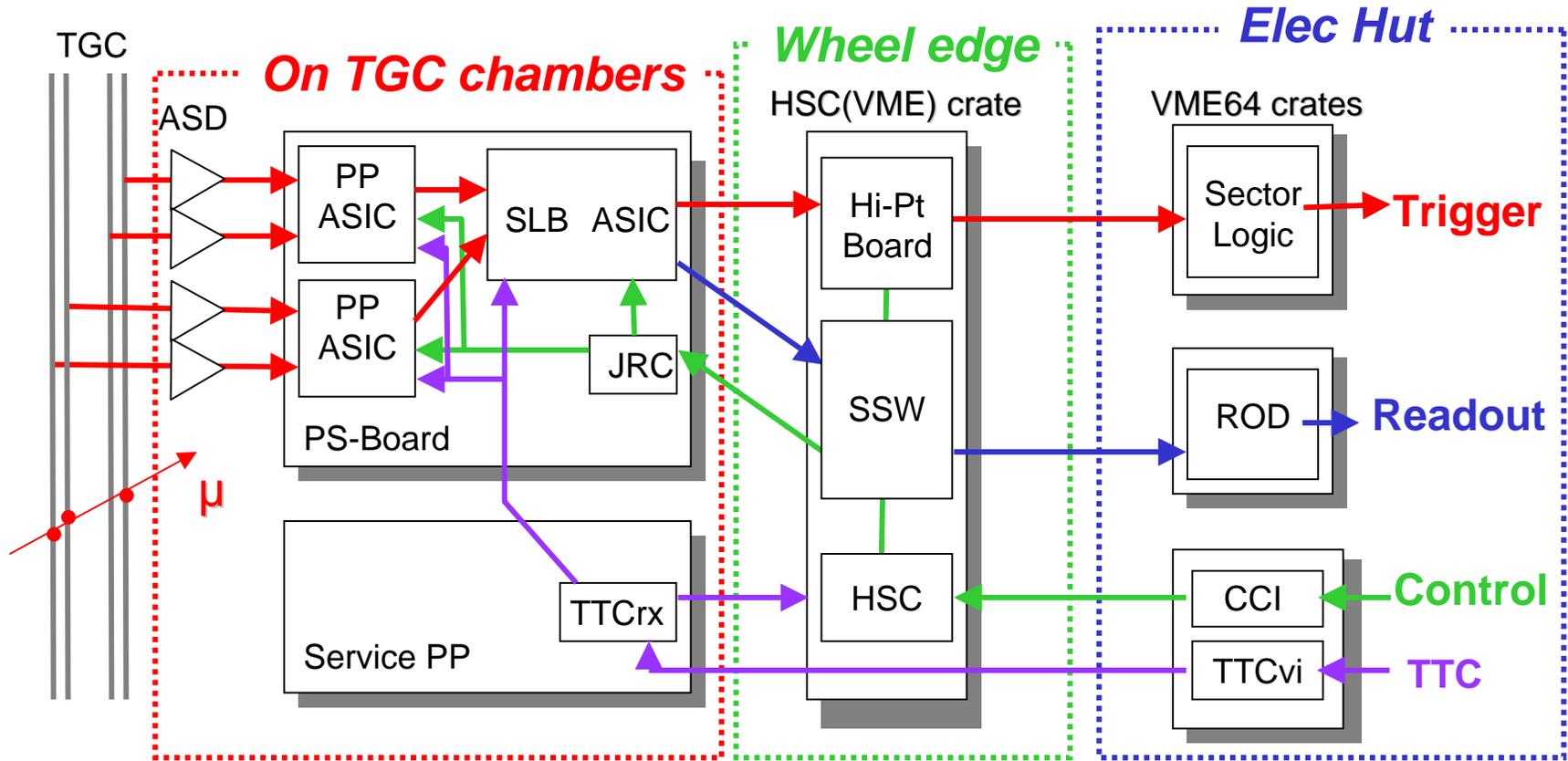
	Station	Wire	Strip	All
C-side	TGC1	36336	13824	50160
	TGC2	35664	16896	52560
	TGC3	34176	16896	51072
A-side	TGC1	36336	13824	50160
	TGC2	35664	16896	52560
	TGC3	34176	16896	51072
EI/FI		7320	3328	10648
All		219672	98560	<b>318232</b>

ATLAS検出器中で可能な限り完全な動作をさせる

デットチャンネルを洗い出し、修正  
(チェンバー、**エレクトロニクス**)  
ファンクショナリティの確認  
(ディレイ補正、コインシデンス ...)



# TGC エレクトロニクス



**ASD:**Amp Shaper Discriminator, **PP:**Patch Panel, **SLB:**SLave Board, **JRC:**JTAG Route Controller, **SSW:**Star SWitch, **ROD:**Read Out Driver, **CCI:**Crate Control Interface, **TTC:**Timing Trigger & Control dist.

## - Trigger、Readout、Control、TTCの4つの系統

- Trigger、Readout 詳しく後述
- Control: モジュールのコンフィギュレーション
- TTC: クロック、L1A、Test Pulse Triggerの供給

20704枚

1344枚

192枚

72枚

100枚

210枚

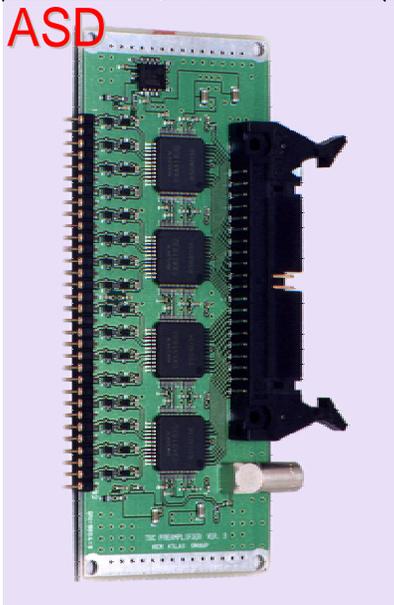
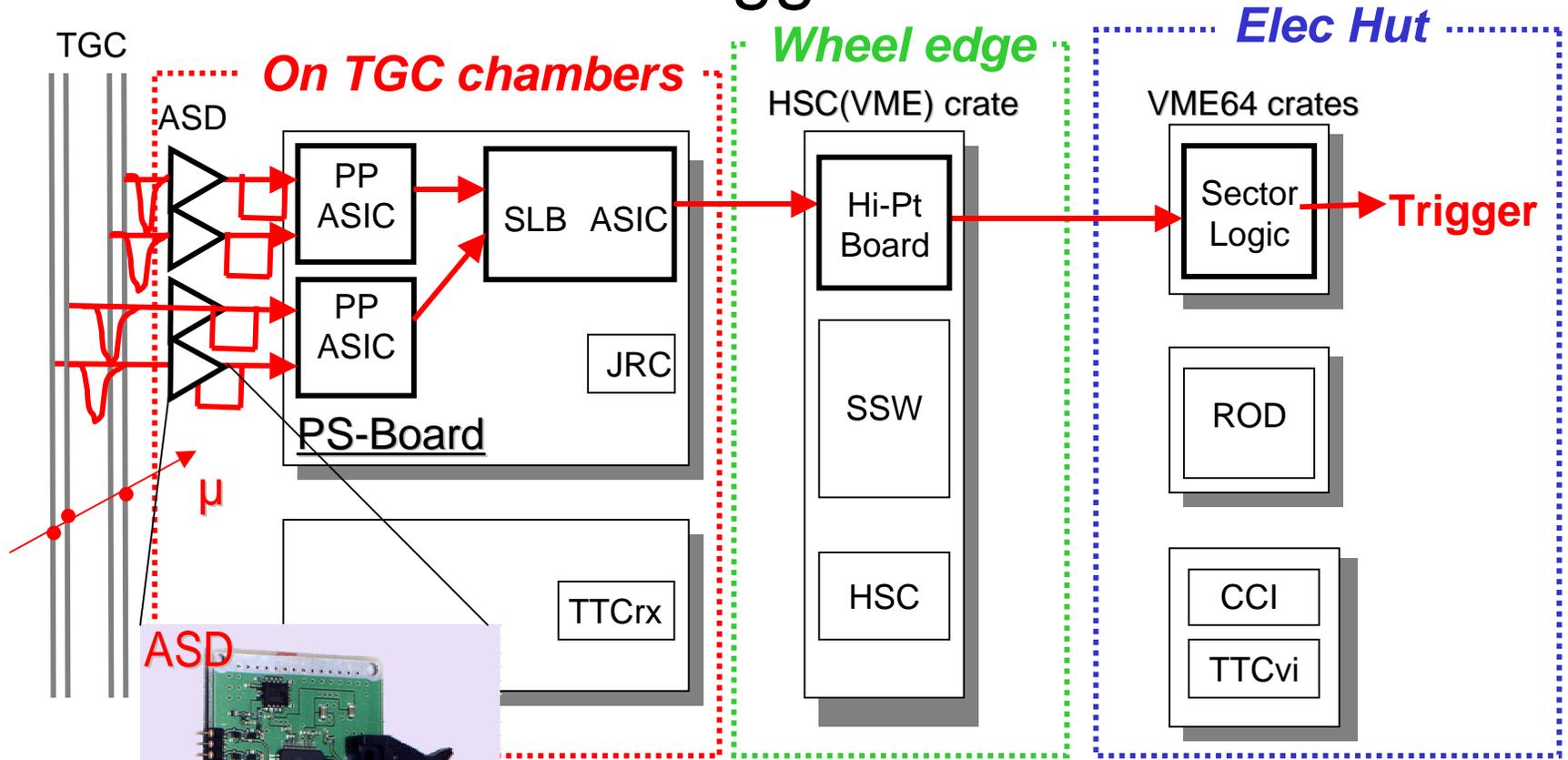
30枚

30枚

AS  
SS

バージョン  
ggerの供給

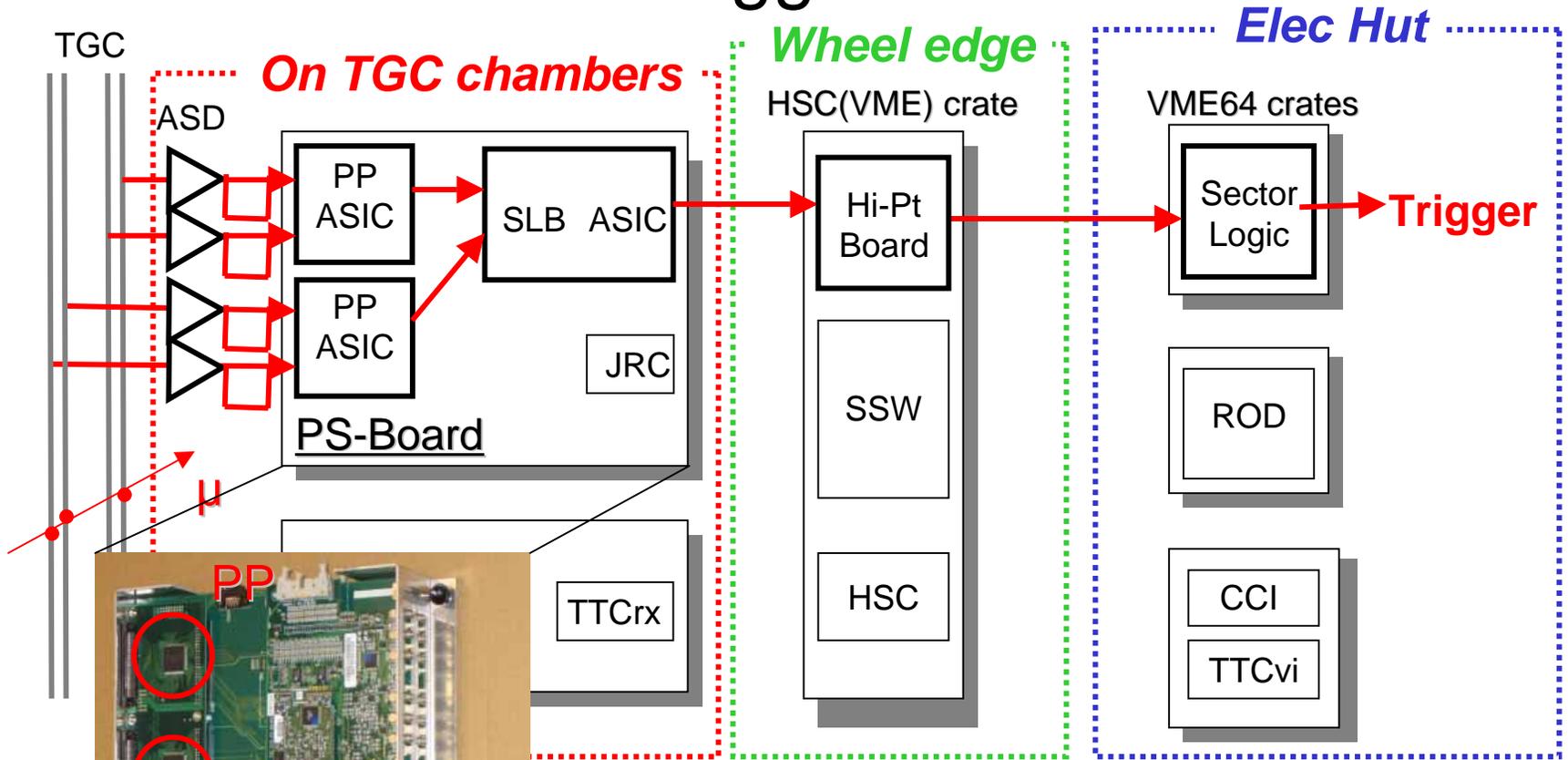
# Trigger



ASD (Amp Shaper Discriminator)  
信号を増幅、デジタル化

PP ASIC (Patch Panel ASIC)  
チャンネル間のケーブル、TOFの差によるディレイのばらつきを  
サブナノ秒ステップで補正、バンチ識別  
ASD Test Pulse (ASD - PS Boardの接続チェック)

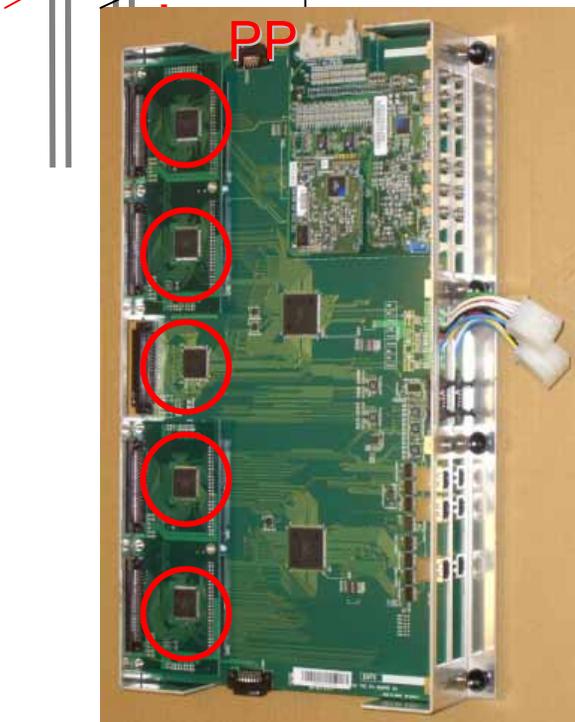
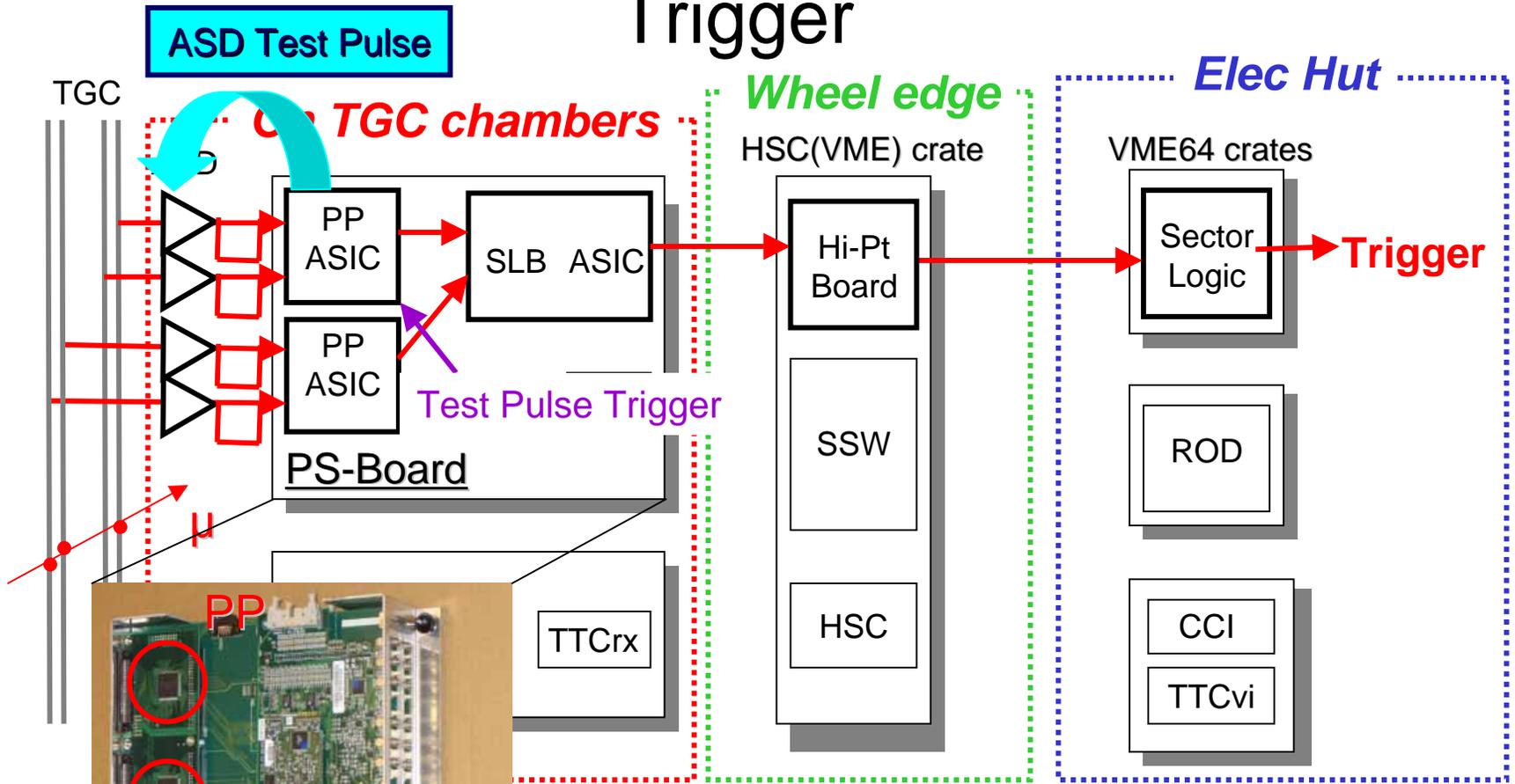
# Trigger



ASD (Amp Shaper Discriminator)  
信号を増幅、デジタル化

PP ASIC (Patch Panel ASIC)  
チャンネル間のケーブル、TOFの差による**ディレイのばらつき**を  
**サブナノ秒ステップ**で補正、バンチ識別  
ASD Test Pulse (ASD - PS Boardのコネクションチェック)

# Trigger

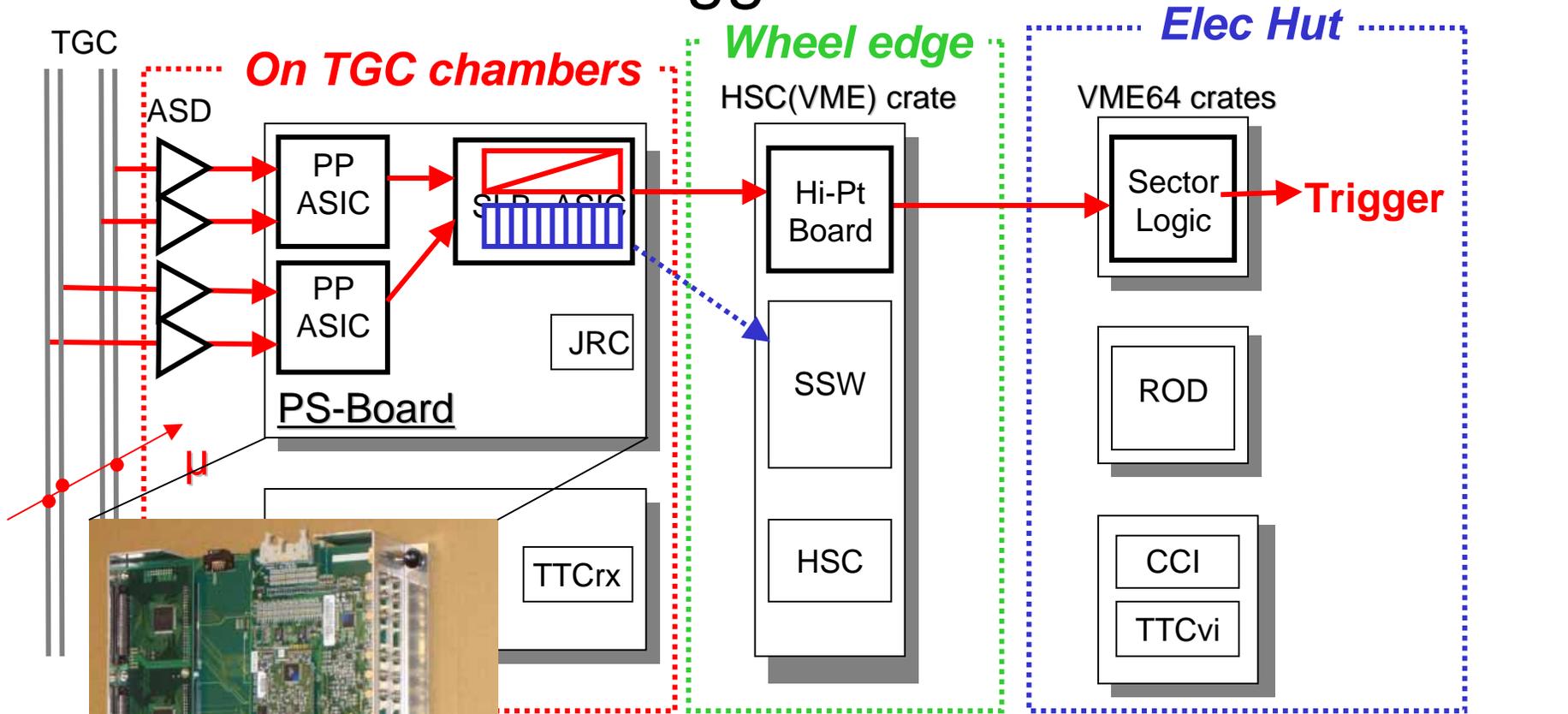


ASD (Amp Shaper Discriminator)  
信号を増幅、デジタル化

PP ASIC (Patch Panel ASIC)  
チャンネル間のケーブル、TOFの差によるディレイのばらつきを  
サブナノ秒ステップで補正、バンチ識別

ASD Test Pulse (ASD - PS Boardの接続チェック)

# Trigger



SLB ASIC (SLave Board ASIC)

**Trigger** - レイヤー間コインシデンス (3 out of 4, 4 out of 4 ...)

**Readout** - パイプラインメモリでL1Aまでデータ保持

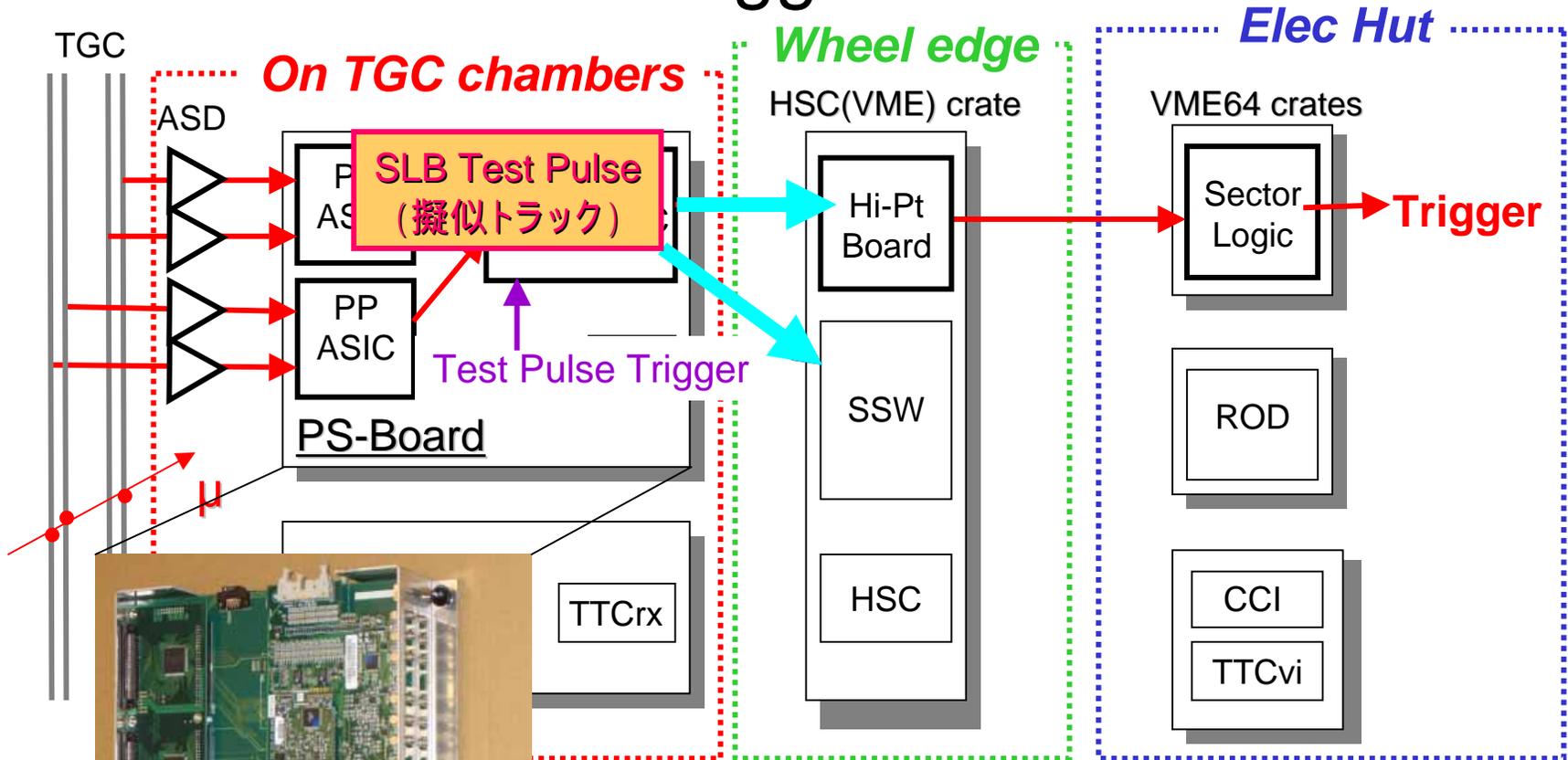
**SLB Test Pulse** - 下流のエレクトロニクスの調子をチェック  
(Trigger、Readout独立)

パターン設定、擬似トラック出力可

Hi-Pt Board、Sector Logic

後続のトーク

# Trigger



## SLB ASIC (SLave Board ASIC)

**Trigger** - レイヤー間コインシデンス (3 out of 4, 4 out of 4 ...)

**Readout** - パイプラインメモリでL1Aまでデータ保持

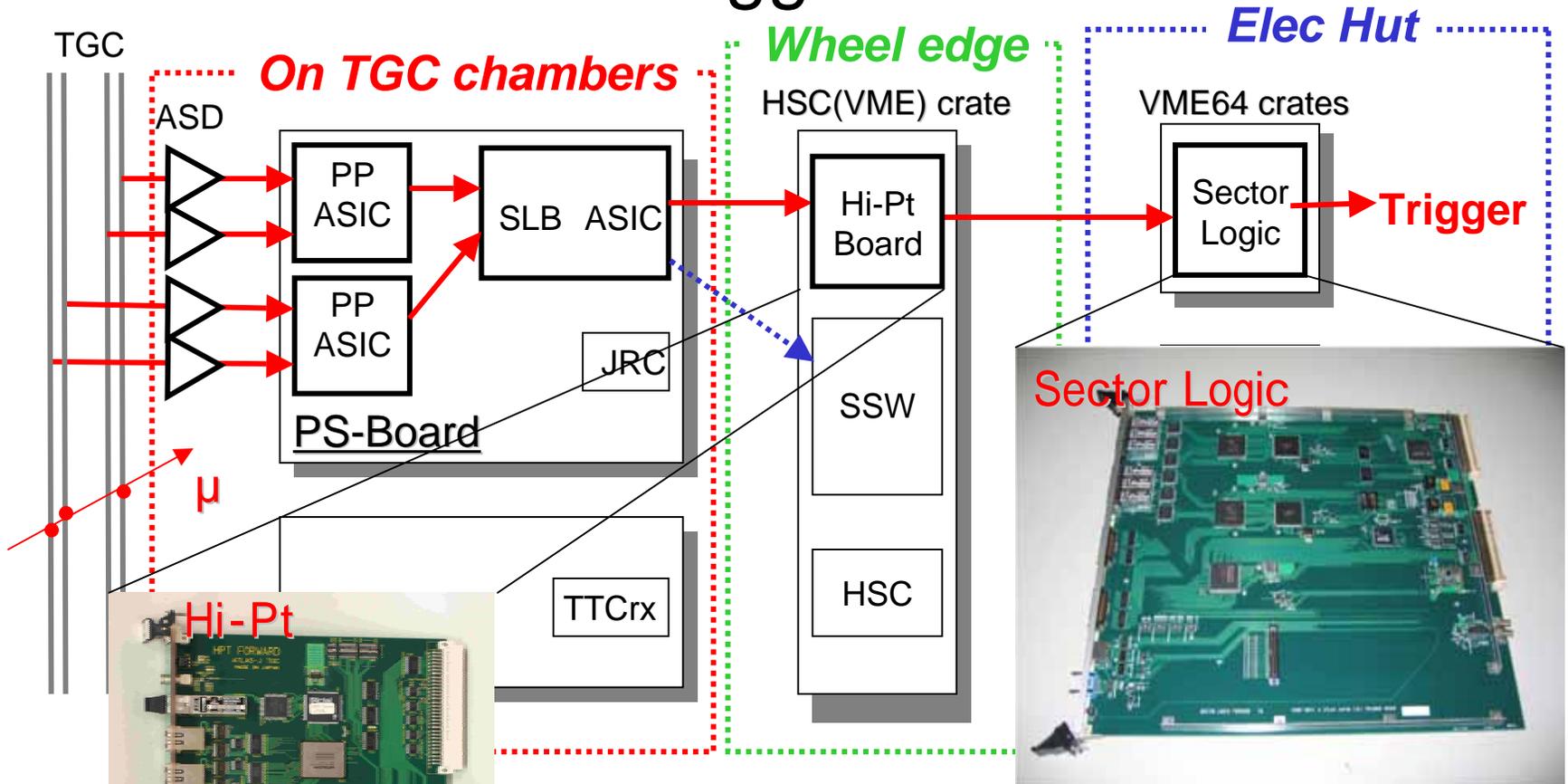
**SLB Test Pulse** - 下流のエレクトロニクスの調子をチェック  
(Trigger、Readout独立)

パターン設定、擬似トラック出力可

Hi-Pt Board、Sector Logic

後続のトーク

# Trigger



SLB ASIC (SLave Board ASIC)

**Trigger** - レイヤー間コインシデンス (3 out of 4, 4 out of 4 ...)

**Readout** - パイプラインメモリでL1Aまでデータ保持

**SLB Test Pulse** - 下流のエレクトロニクスの調子をチェック

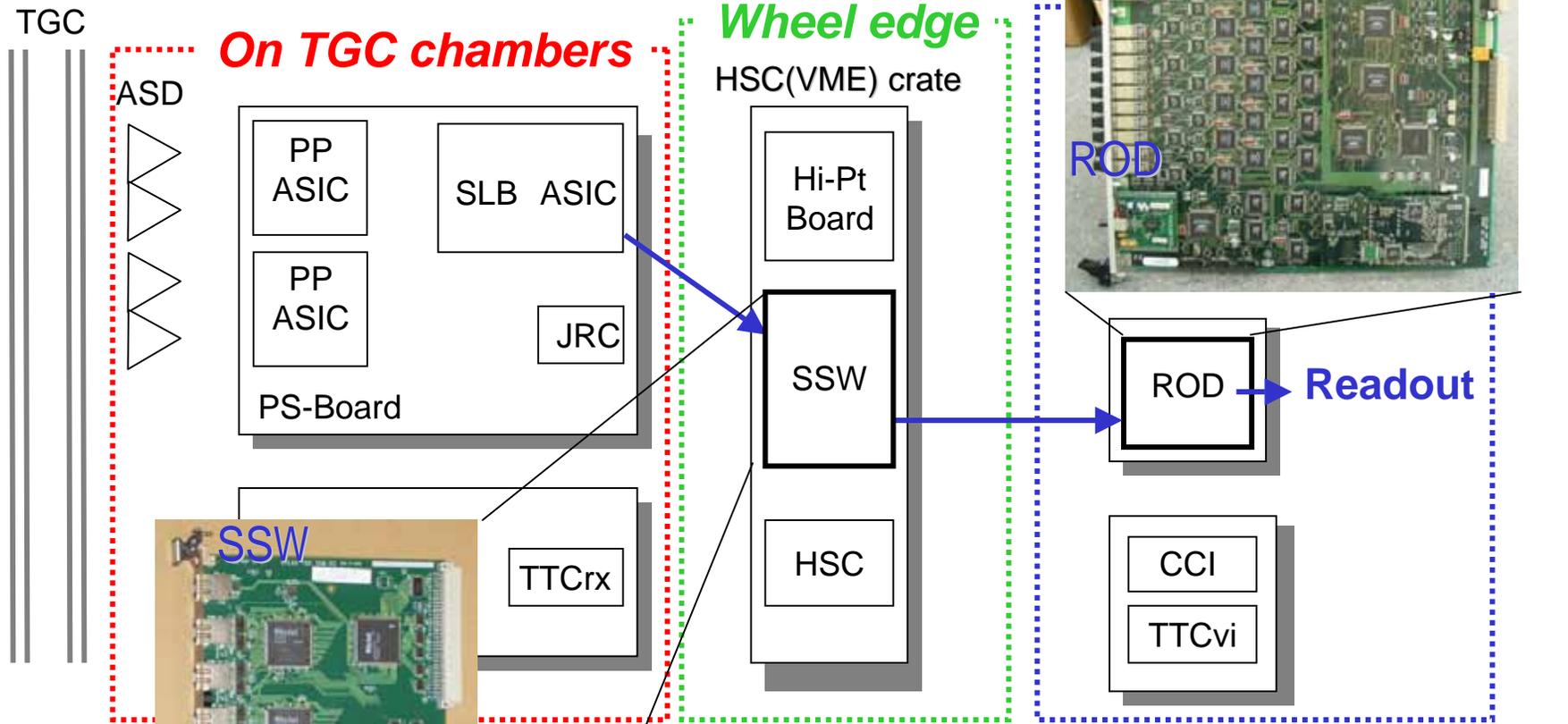
(Trigger、Readout独立)

パターン設定、擬似トラック出力可

Hi-Pt Board、Sector Logic

後続のトーク

# Readout



SSW (Star SWitch)  
複数個のSLBの信号のまとめ、圧縮

ROD (Read Out Driver)  
L1A前後1バンチ(計3バンチ)分のデータをまとめて読み出し  
(previous バンチ、current バンチ、next バンチ)

# 開発状況

TGC

On TGC chambers

Wheel edge

Elec Hut

ASD

HSC(VME)

VME64 cr

量産済(20704枚)

量産済(1344枚)

量産中(192枚)

量産試作(72枚)

量産済(100枚)

量産済(210枚)

量産済(30枚)

量産済(30枚)

量産完了

CERNに輸送

エレクトロニクスのTGCへのインストール

インストールしたエレクトロニクスの Test Pulse 読み出し試験

TGCのATLAS検出器へインストール

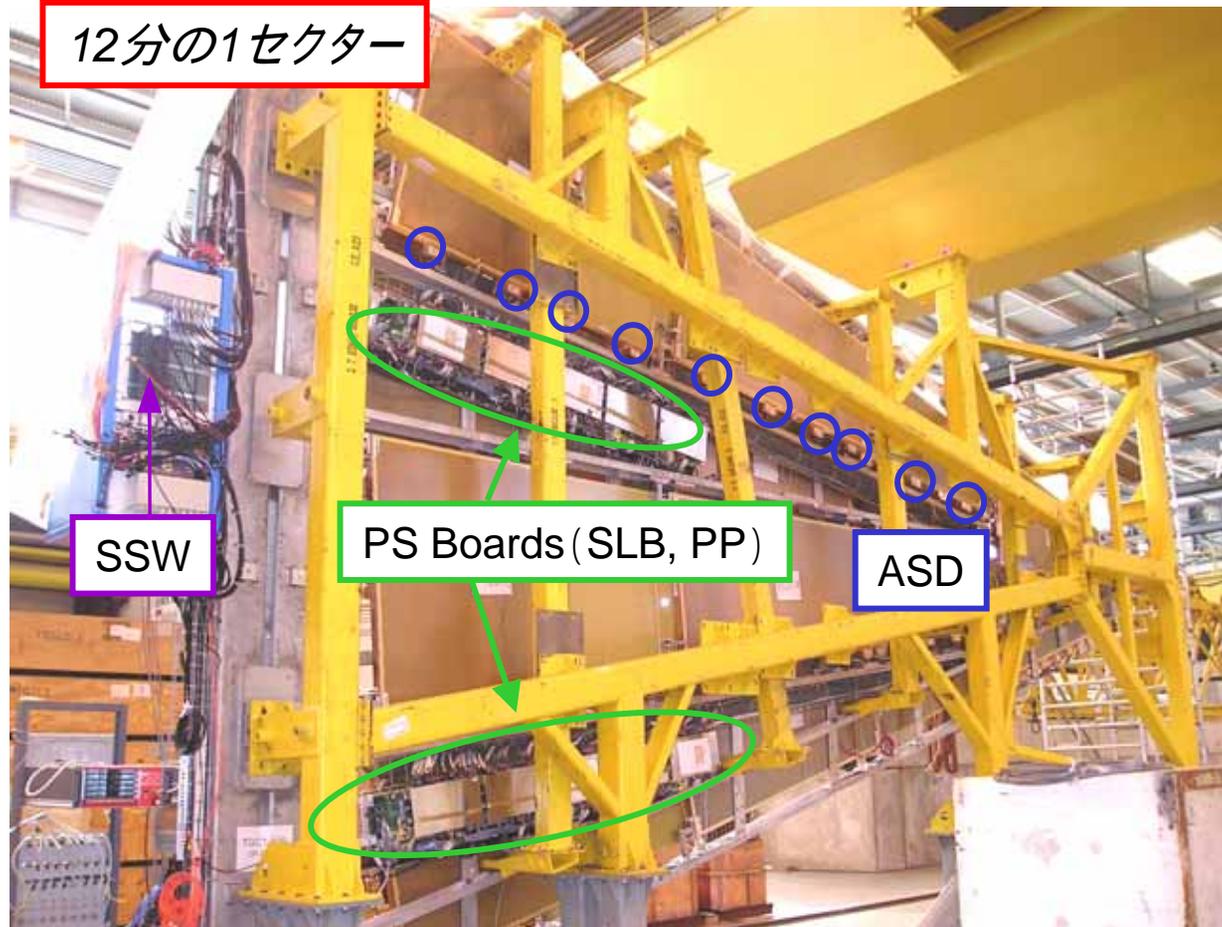
# Test Pulse 読み出し試験

Elec Hut



ROD

12分の1セクター



SSW

PS Boards (SLB, PP)

ASD

## 試験項目

全チャンネルで正常にテストパルスが読みだせることを試験

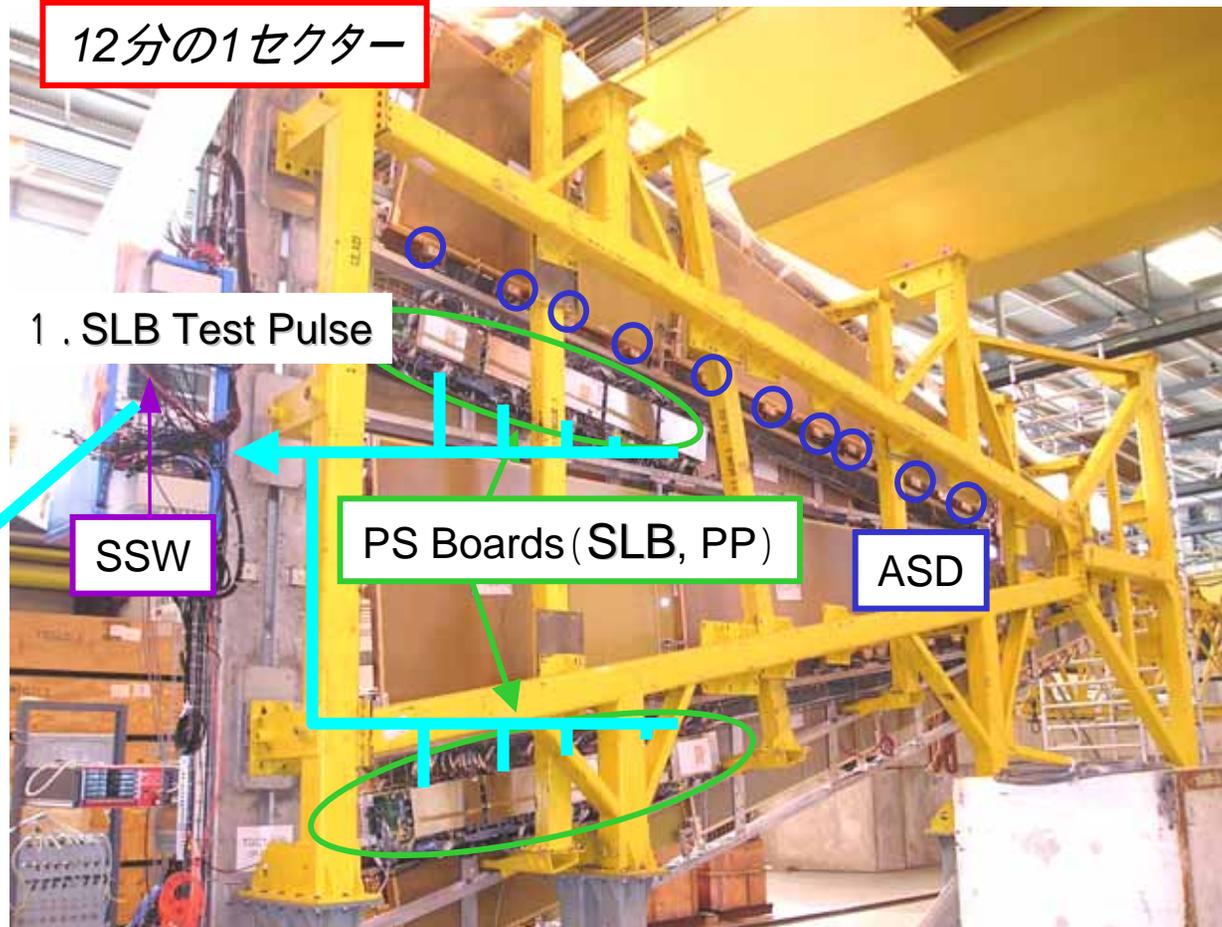
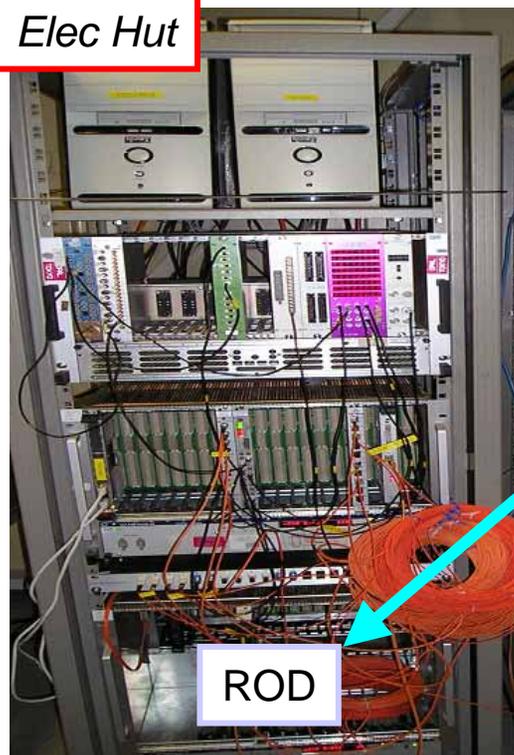
- 1 SLB Test Pulse でエレクトロニクスの調子をチェック (SSW、ROD)
- 2 ASD Test Pulse でデータテイク チェンバーのデッドチャンネル、ASD - PS Board間のコネクション不良、ケーブルスワップ洗い出し、修正

Patch Panelのディレイ補正回路の動作試験

# Test Pulse 読み出し試験

Elec Hut

12分の1セクター



1. SLB Test Pulse

SSW

PS Boards (SLB, PP)

ASD

## 試験項目

全チャンネルで正常にテストパルスが読みだせることを試験

- 1 SLB Test Pulse でエレクトロニクスの調子をチェック (SSW、ROD)
- 2 ASD Test Pulse でデータテイク チェンバーのデッドチャンネル、ASD - PS Board間のコネクション不良、ケーブルスワップ洗い出し、修正

Patch Panelのディレイ補正回路の動作試験

# Test Pulse 読み出し試験

Elec Hut

12分の1セクター

2 . ASD Test Pulse

SSW

PS Boards (SLB, PP)

ASD

ROD

試験項目

全チャンネルで正常にテストパルスが読みだせることを試験

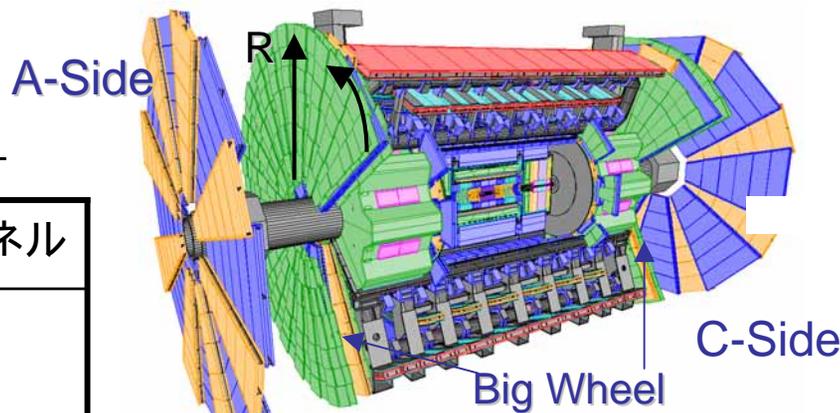
- 1 SLB Test Pulse でエレクトロニクスの調子をチェック (SSW、ROD)
- 2 ASD Test Pulse でデータテイク チェンバーのデッドチャンネル、ASD - PS Board間のコネクション不良、ケーブルスワップ洗い出し、修正

Patch Panelのディレイ補正回路の動作試験

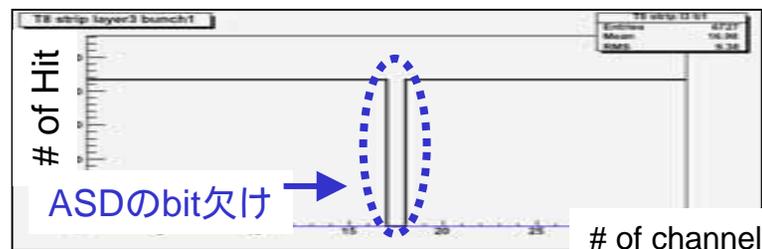
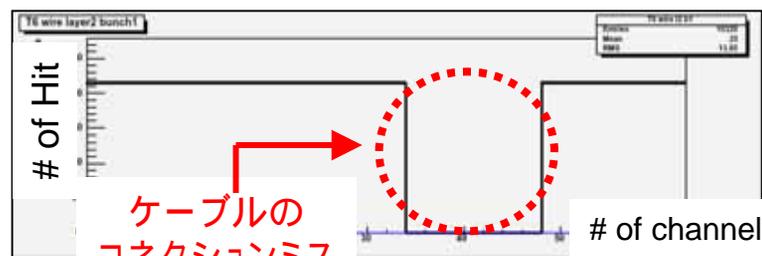
# Test Pulse 試験中間結果

Test Pulse 試験の結果 (2007年3月23日現在)

	station	テスト済/全体	デッドチャンネル
C-side	TGC1	50160/50160	5
	TGC2	52560/52560	3
	TGC3	29792/51072	2
A-side	TGC1	50160/50160	4
	TGC2	0/52560	0
	TGC3	0/51072	0
EI/FI		0/10648	0
All		<b>182672/318232</b>	<b>14</b>



Histograms of ASD Test Pulse run



- 全32万ch中、**18万**chがテスト完了
- デッドチャンネル **14**  
(チェンバー内でのショートが主な原因)
- 処置待ちチャンネルあり  
更にデッドチャンネル減

# TGC1 C-side

## 最初のBig Wheel完成

(2006/09)

Test Pulse 試験の結果 (2007年3月23日現在)

	station	テスト済/全体	デッドチャンネル
C-side	TGC1	50160/50160	5
	TGC2	52560/52560	3
	TGC3	29792/51072	2
A-side	TGC1	50160/50160	4
	TGC2	0/52560	0
	TGC3	0/51072	0
EI/FI		0/10648	0
All		<b>182672</b> /318232	<b>14</b>



- 全32万ch中、**18万**chがテスト完了
- デッドチャンネル **14**  
(チェンバー内でのショートが主な原因)
- 処置待ちチャンネルあり  
更にデッドチャンネル減

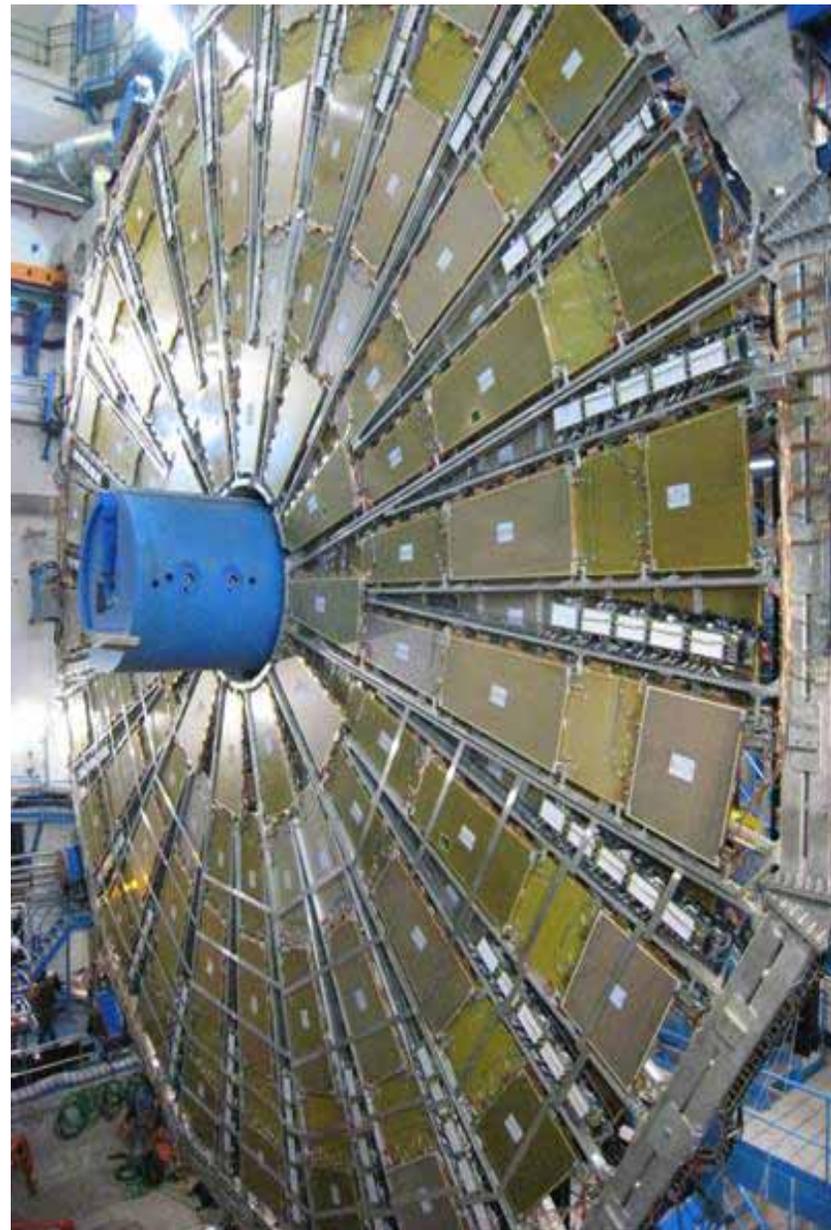
# TGC1 A-side

更に完成 (2007/03/21)

Test Pulse 試験の結果 (2007年3月23日現在)

	station	テスト済/全体	デッドチャンネル
C-side	TGC1	50160/50160	5
	TGC2	52560/52560	3
	TGC3	29792/51072	2
A-side	TGC1	50160/50160	4
	TGC2	0/52560	0
	TGC3	0/51072	0
EI/FI		0/10648	0
All		<b>182672</b> /318232	<b>14</b>

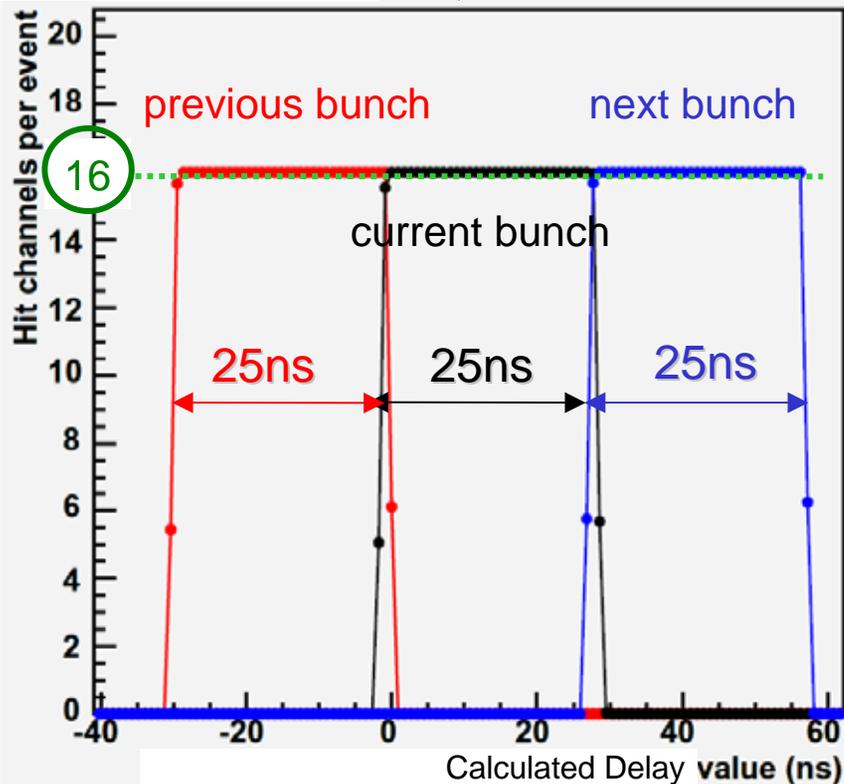
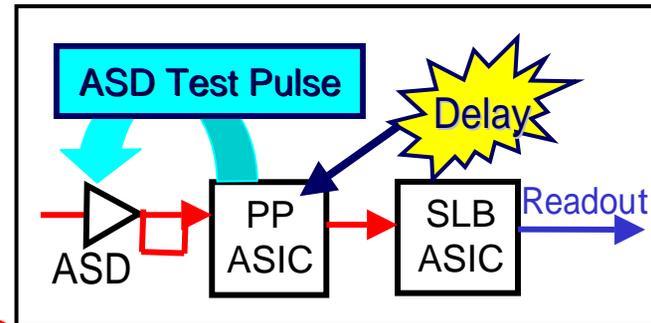
- 全32万ch中、**18万**chがテスト完了
- デッドチャンネル **14**  
(チェンバー内でのショートが主な原因)
- 処置待ちチャンネルあり  
更にデッドチャンネル減



# ディレイ補正回路の試験

Patch Panel ASICのディレイ補正回路の動作を試験：  
設計通り**16ch単位**、**サブナノ秒ステップ**で動くか？

ASD Test Pulse でディレイの設定値を変えながらデータテイク  
設定値： $0.9 \text{ [ns]} \times N$  (レジスタ値)



L1Aの前後1バンチ (計3バンチ) 分の  
データを読み出し

横軸 - ディレイの設定値 (計算値)  
縦軸 - 1イベント当たりのヒットチャンネル数  
(全16ch中)

25nsのバンチ構造が見える  
ディレイの計算値と実際が等しい  
**サブナノ秒ステップ**のディレイ制御

16chが同時に動く  
16ch分のディレイを一様に制御

**設計通りの動作を確認**

# スケジュール



## TGC Installation Schedule

(ATLAS Official, published @ 2007/02/20)



	station	完成予定
C-side	TGC1	完了
	TGC2	2007年4月末
	TGC3	2007年6月末
A-side	TGC1	完了
	TGC2	2007年7月末
	TGC3	2007年9月

Beam Pipe Close:

2007年8月第4週(C-side)、第5週(A-side)

450GeV低エネルギービームでのチューニング:

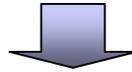
2007年11月から開始

Installation scheduleに合わせ  
試験を進める

# まとめ

LHC ATLAS実験のための前後方ミュオントリガーチェンバー  
TGC用エレクトロニクスの開発研究

チェンバー添え付け部分の**量産完了**



CERNにてTGC、ATLAS検出器へのインストール作業

12分の1セクター単位で Test Pulse の読み出し試験  
Test Pulse が正常に読み出せるか試験、問題点修正  
全32万チャンネル中**18万チャンネル**を試験を完了

**デッドチャンネル 14**

ディレイ補正回路の**16ch**、**サブナノ秒ステップ**での制御を確認

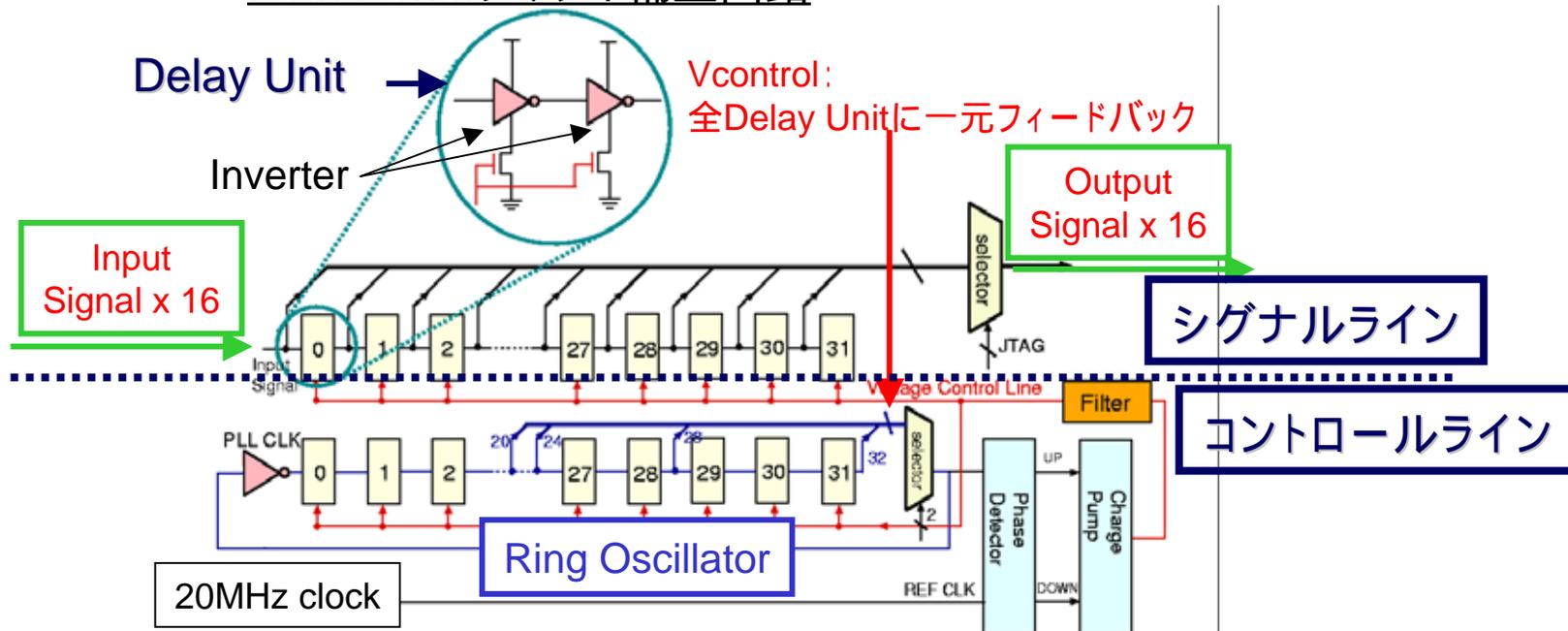
**2枚のBig Wheel (A & C-side、TGC 1) 完成**



2007年11月の実験開始に向けて試験を続ける

# ディレイ補正回路

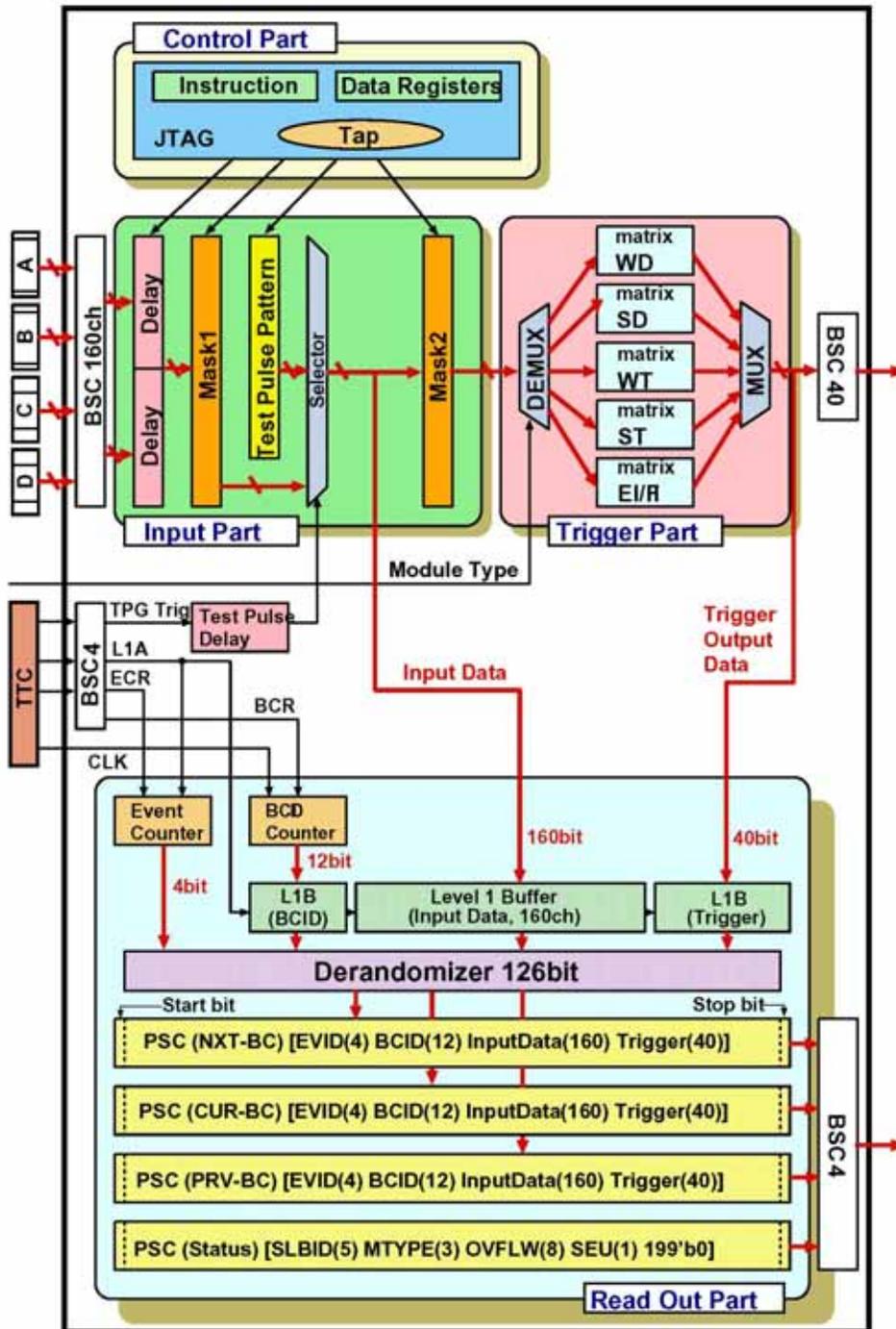
## Path Panelディレイ補正回路



コントロールライン: PLL (Phase Locked Loop) + Ring Oscillator

- Delay Unit N個 ( $N = 20, 24, 28, 32$ ) を用いて Ring Oscillator を形成
- PLL で Ring Oscillator のディレイを 25ns に設定  
基準ラインの Delay Unit のディレイ値 =  $25/N$  (ns)
- PLL のフィードバック電圧を全ての Delay Unit に分配  
全ての Delay Unit のディレイ値 =  $25/N$  (ns)

シグナルライン: 0 ~ 31 個まで使用する Delay Unit の数をレジスタ設定  
シグナルに対しサブナノ秒ステップでのディレイ設定  
16ch をコントロール



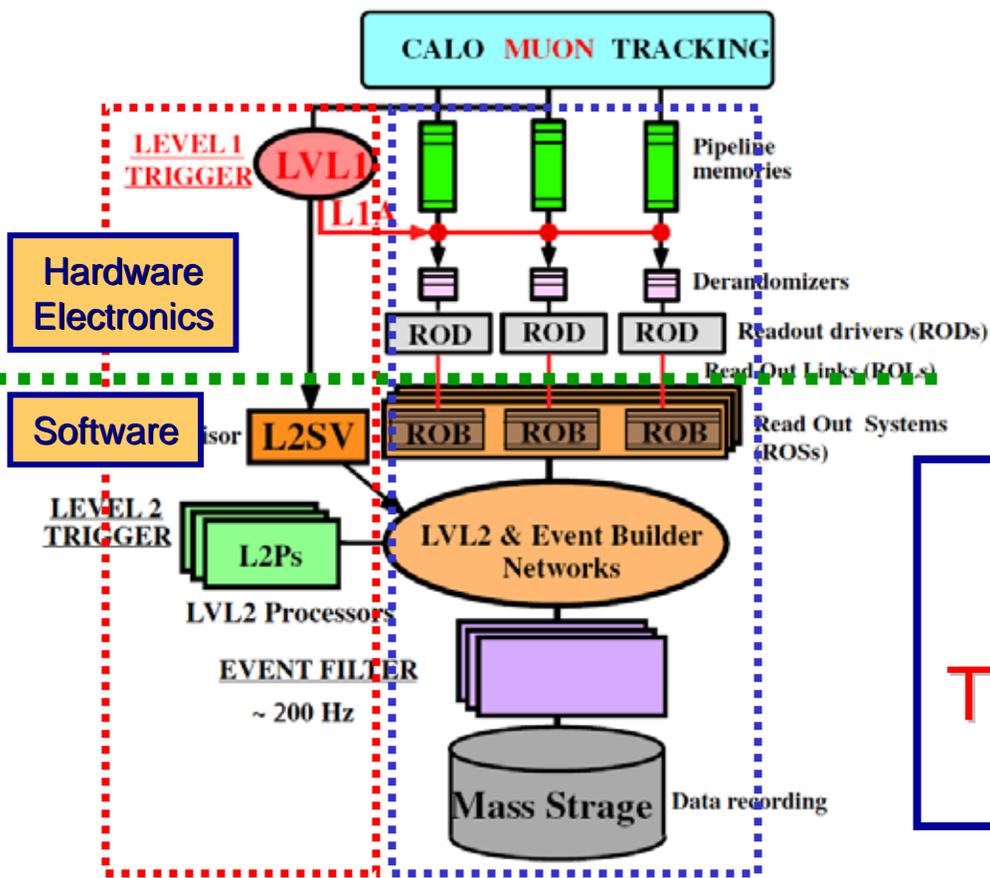
# TriggerとDAQの流れ

LVL1 Trigger (ハードウェア & エレクトロニクス)  
+  
LVL2 Trigger, Event Filter (ソフトウェア)

カロリメーター  
+  
トリガー用ミュオン検出器

Trigger: 物理的興味のある (高Ptの  $\mu$  を含む) イベントに L1A (Level 1 Accept) を発行

Readout: 検出器のイベントデータをパイプラインメモリで一時保持  
L1Aを受けたイベントを LVL2, EF へ



Trigger

Readout

RPC (Resistive Plate Chambers)  
Barrel:  $| \quad | < 1.05$   
+  
TGC (Thin Gap Chambers)  
Endcap:  $1.05 < | \quad | < 2.4$

