

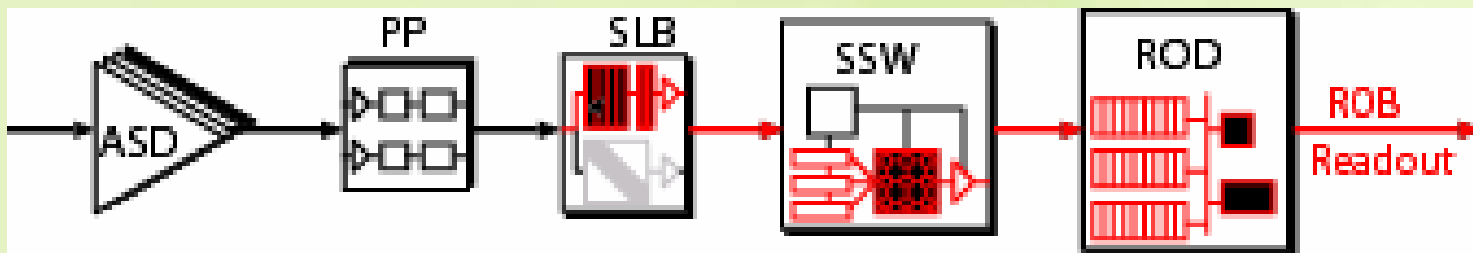
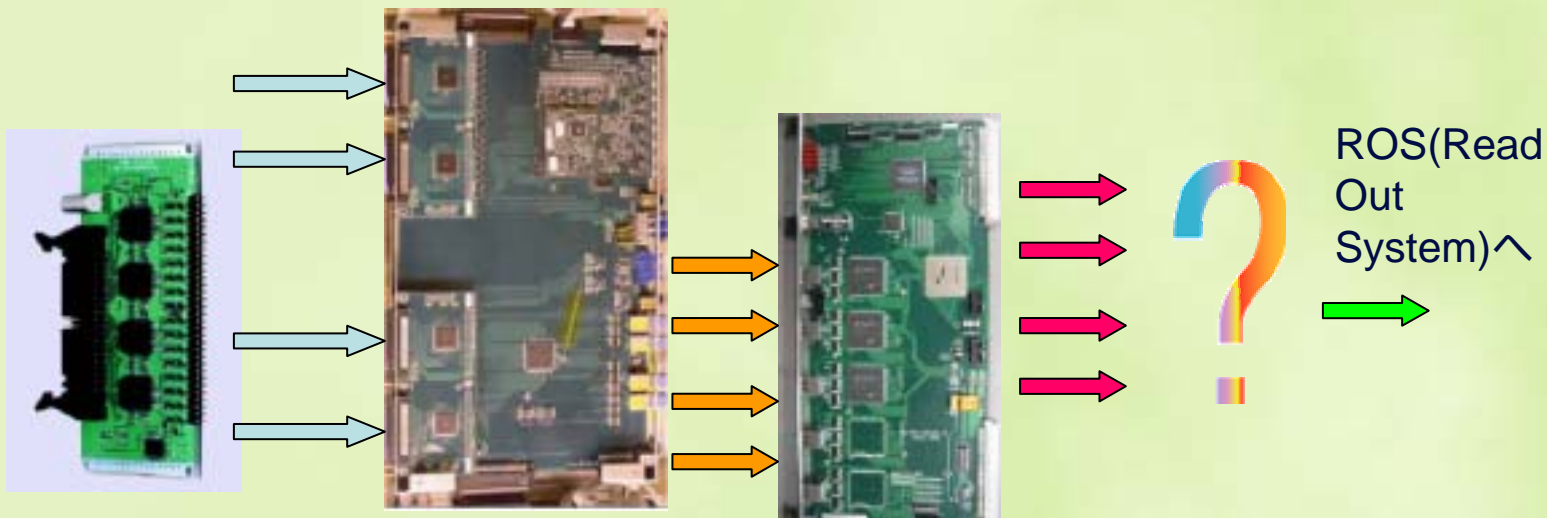
ATLAS前後方 ミュオントリガーシステム開発2

坂本宏、佐々木修、池野正弘、
野本裕史、**栞原隆志**、
ATLAS TGCエレクトロニクスグループ

プログラム

- * TGCエレクトロニクスのRead Out概要
- * Read Out Driver(ROD)
- * General Purpose Module PT5
- * 組み込みSchedule

TGCエレクトロニクスでのROデータ処理



チェンバー ホイール上 HSCクレート エレキハット

★ ASDはセンサーの出力をデジタル化する。検出された信号は
經由板で多段ASD送るを幅圧整形される。に
送る

リードアウトドライバー(ROD)の機能と 1/12セクターテストにおける役割

RODとは...

- * SSWからデータをG-Link(オプティカル)で受け取り、IDなどの整合性をチェックした後、S-Linkでリードアウトシステム(ROD)に適切なデータフォーマットで送る。
- * TGCは1/12単位で建設が進んでおり、テストも1/12単位で行われる。テストでは、インストールするすべてのModuleがきちんと動いているかをチェックしたい。
- * しかし、RODはエレキハットに置かれるため、開発が遅くてく、まだ完成していない。

そして

- * S-LinkはCMC(Common Mezzanine Card)の規格に沿って作られている。よって、SSWにはS-Linkでデータを送る機能がない。ROD機能を持つ(G-Link入力・S-Link出力)モジュールが必要

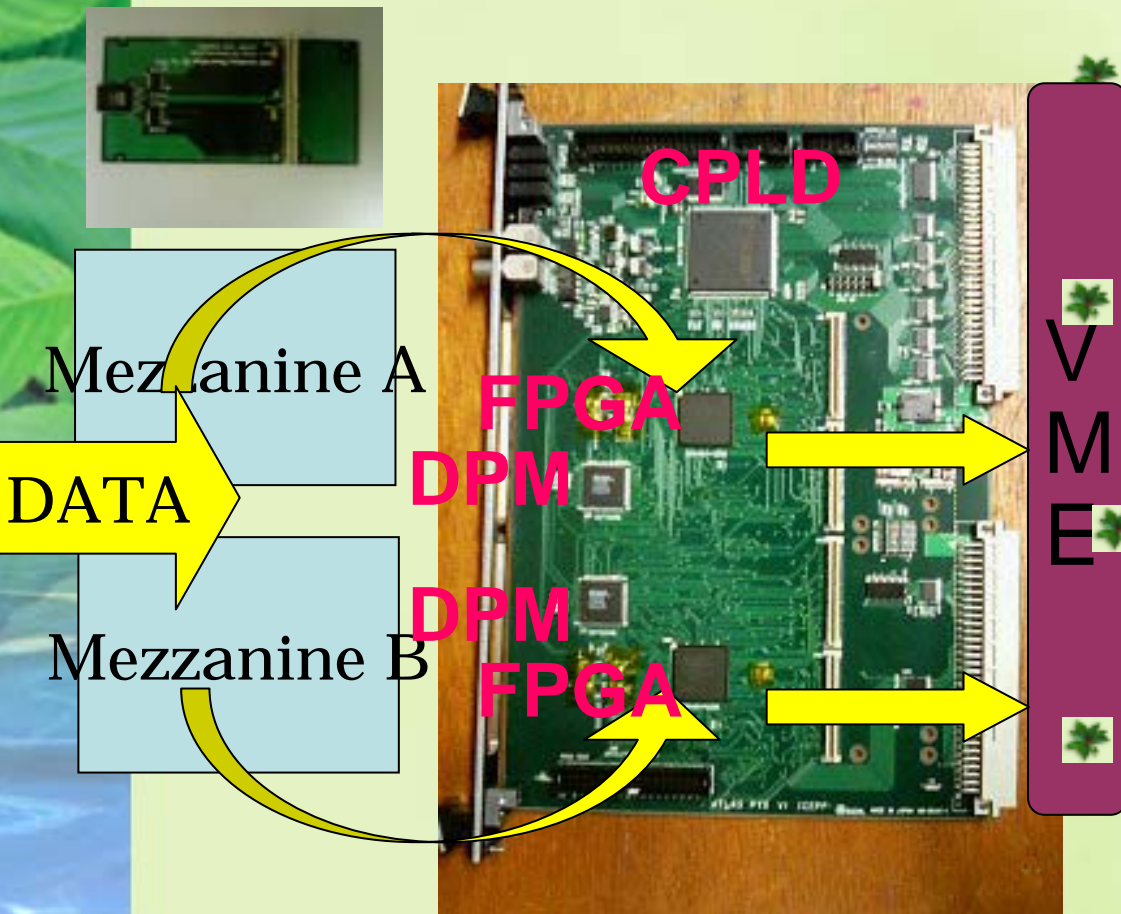
 汎用モジュールPT5を開発！！！！

PT5の機能の概要

- * CMCの規格に準拠したメザニンカードを最大2枚載せることのできる、VME6Uサイズのボード。
 - * FPGAをそれぞれのメザニンカードのデータ処理に対応させ、FPGAをコンフィグすることによって、そのModuleの機能に汎用性を持たせているボードである。
 - * RODのHitシグナルをS-Linkメザニンカードを用いて送ることができる。
 - * DPMを搭載して、データを大量に読み込むことが可能(65K × 16bit)
- * 現在、メザニンカードの種類として、以下の4種類がある。
- * LVDSの平行信号用のメザニンカード
 - * LVDSのシリアル信号用のメザニンカード
 - * G-Link信号用のメザニンカード
 - * G-Link信号用のメザニンカード



PT5の汎用性 (VME読出し、書出し)



Mezzanine AもしくはBからデータがコネクタを通じて、FPGAに入る。

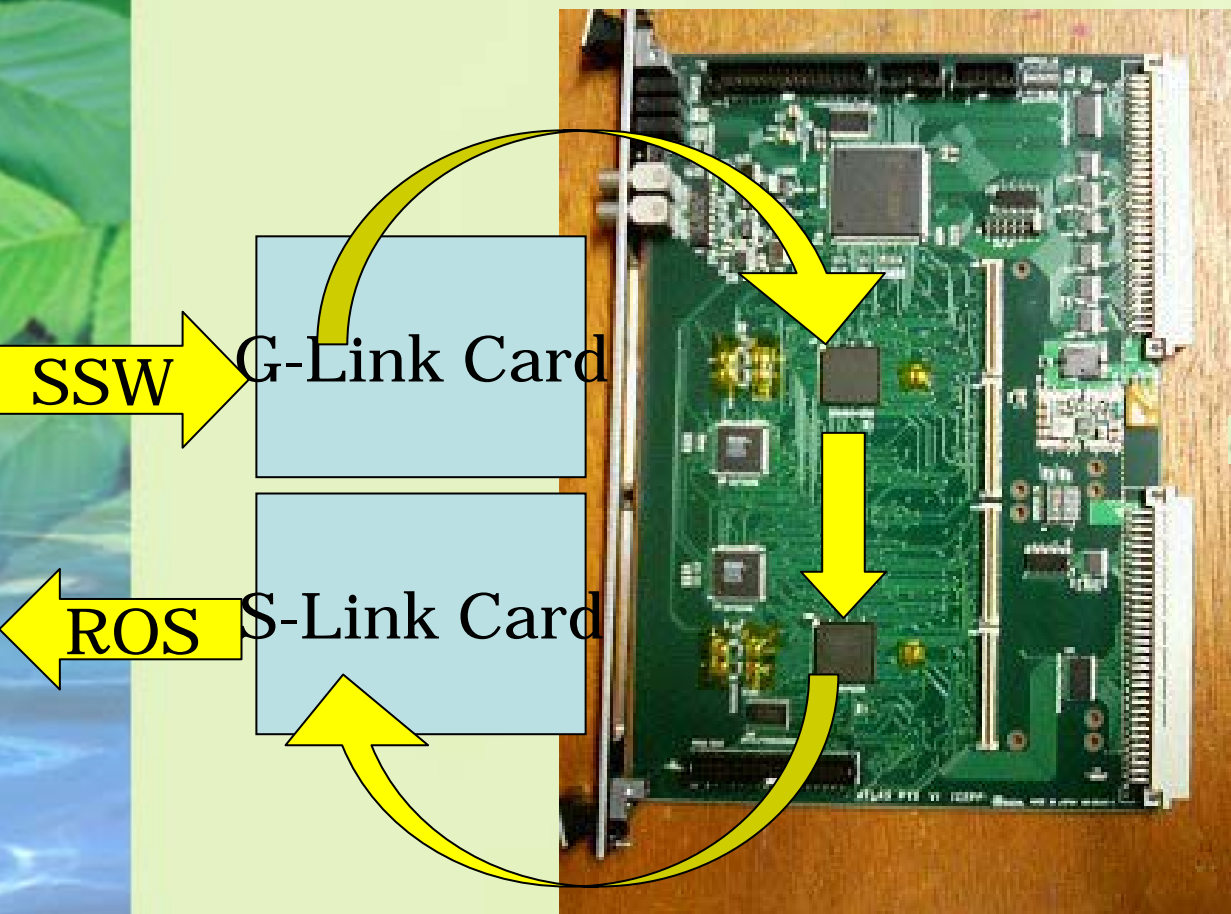
データはFPGAに実装したFIFO、もしくはDPMにストックされる。

VMEから、FIFOもしくはDPMからデータを読み出す。

読み出すICの選択などはCPLDによって制御されている。

Mezzanineを載せかえることで、様々なデータフォーマットに対応することができる！

PT5の機能の具体例 (G-Link S-Link)



SSWからのデータをG-Linkのメザニカードで受け、FPGAに送る。

もうひとつのFPGAにデータを送り、フォーマットをして、S-LinkでROSへ送る。

これによって、RODの役割であるHit情報の読み出しが行える！

組み込みSchedule

- 4月 * ハードウェアデバッグ、ロジック開発
ソフトウェア開発
- 5月初旬 * 1/12セクター読み出し系として実装・
セクター試験
- 5月末 * 1/12セクターの実験ホールへの搬送・
ATLASへの組み込み開始



Backup



具体的な数字など

- ✳ クロック40.08MHz
- ✳ NIMコネクタを2×2載せ、外部クロックや、NIMパルスの生成可能
- ✳ CPLDはXilinx XC2C256-PQ208
- ✳ FPGAはXilinx XC3S400-FG320
- ✳ DPMはIDT70V28L

PT4



- * メザニンカード対応
- * S-Linkにフォーマットは即しているが、誰も使ったことがないので、その辺は不明。
- * メザニン用と、バックプレーン用に、FPGAが3つもあったが、バックプレーン用は使い勝手が悪かった。
- * データラインや、制御線にバッファが入っていないため壊れやすい。しかもICの価格が高いので、簡単に修理とはいかない。
- * すでに残っている枚数が～45枚???

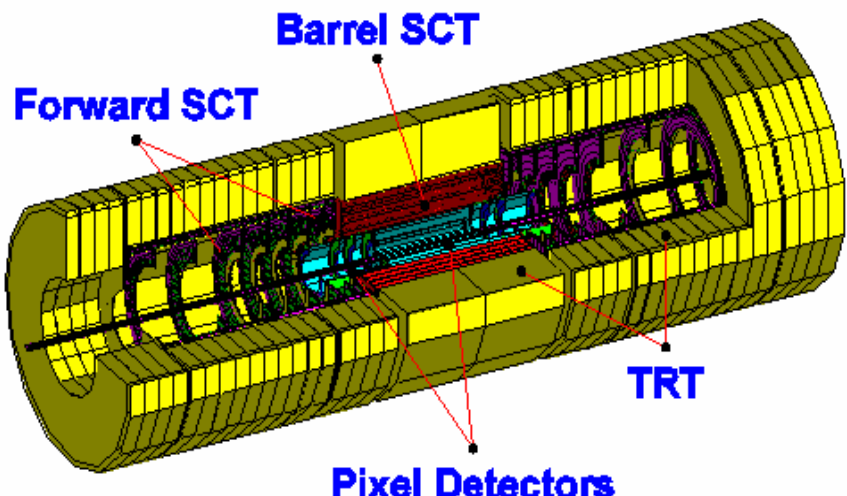
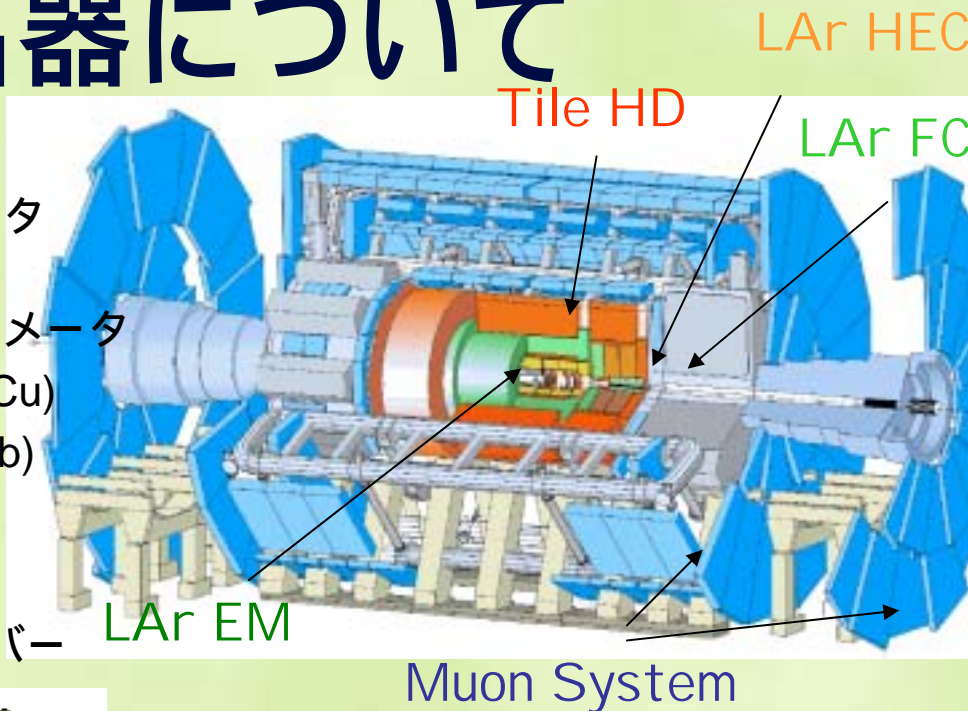
ATLAS検出器について

カロリメータ

- ✳ LAr EM 液体アルゴンカロリメータ (Pb)
- ✳ Tile HD シンチレータタイルカロリメータ
- ✳ LAr HEC ハドロンエンドキャップ(Cu)
- ✳ LAr FCal 超前方カロリメータ (Pb)

Muon 検出器

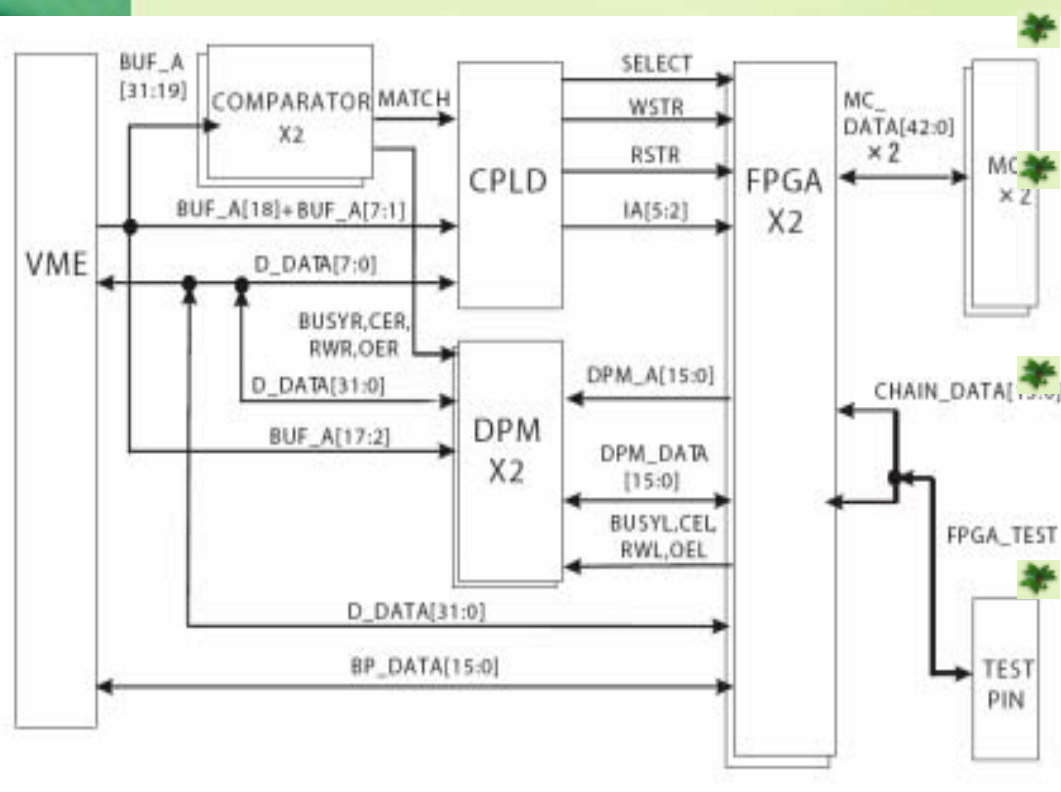
- ✳ MDTドリフトチューブチェンバー
- ✳ TGC, RPC, CSC トリガー用チェンバー



飛跡検出器

- ✳ Pixel シリコンピクセル検出器
- ✳ SCT シリコンマイクロストリップ検出器
- ✳ TRT 遷移輻射ストローチューブチェンバ

PT5のブロック図



DPMのためにアドレス線を19本[0:18]使っていること。

スキームとしては、A18が立っていたら、DPMにつなぐようになる。

FPGAのテストピンは、それぞれをつなぐラインから取っている。

BPにつないでいる線の本数は、LVDSでつなぐことを意識している。つまり、複数のボードをつなげることができる可能性を残した。

機能3(レジスタの種類)

アドレス	07-00	説明
00_0000_00	CSR	クロック選択、リセット、テストピンへの接続
00_0001_00	ISR	アドレスのチェック、FPGA の STATE 線のモニタ
00_0010_00	DPM0	DPM の制御線のモニタ
00_0011_00	DPM1	同上
00_0100_00	POWER	電源 IC をモニタ
00_0101_00	FPGA0_CFG	FPGA のコンフィギュレーション船の制御、モニタ
00_0110_00	FPGA1_CFG	同上
00_0111_00	CFG_DATA	FPGA へ送ったコンフィグデータを見る
00_1000_00	CPLD_JTAG	CPLD の JTAG を制御する
00_1001_00	FPGA0_JTAG	FPGA の JTAG を制御する
00_1010_00	FPGA1_JTAG	同上
00_1011_00	STEPR	シングルステップでクロックを発生させる
00_1100_00	未使用?	
00_1101_00	未使用?	
00_1110_00	未使用?	
00_1111_00	未使用?	

- * CLK選択(外部、内部)、RST、テストピン関連
- * コンフィグ関連。
- * FPGA DPM 電源ICのモニタ

建設現場

このあたりにクレーン



TGC

PSB

参考資料など

- * 回路図の場所

<http://www.icepp.s.u-tokyo.ac.jp/~kuwabara/PT5/design/>

- * CPLD、FPGAの中身

http://www.icepp.s.u-tokyo.ac.jp/~kuwabara/PT5/verilog_file/

- * 動かすソフト

<http://www.icepp.s.u-tokyo.ac.jp/~kuwabara/PT5/pt5com/>

これらのソフトの最新版は、CVSにあげていく予定なので、
<http://tsukasa.icepp.s.u-tokyo.ac.jp/cgi-bin/cvsweb/cvsweb.cgi/>
を参照。