

# 修士論文

ATLAS Muon Trigger System の commissioning  
-タイミング調整とその検証-

総合研究大学院大学  
高エネルギー加速器科学研究科  
鈴木友

平成 21 年 3 月 12 日

# 目次

<b>1</b>	<b>LHC-ATLAS 実験</b>	<b>2</b>
1.1	LHC の概要	2
1.2	ATLAS 実験での物理	2
1.2.1	標準理論 Higgs 粒子	3
1.2.2	超対称性粒子	7
1.2.3	超対称性 Higgs 粒子	7
1.2.4	ミューオンの関係する物理のまとめ	8
1.3	ATLAS 検出器	9
1.3.1	マグネットシステム	10
1.3.2	内部飛跡検出器	10
1.3.3	カロリメータ	11
1.3.4	ミューオン検出器	12
1.3.5	ATLAS 実験のトリガー& DAQ スキーム	15
<b>2</b>	<b>Endcap Muon Trigger System(TGC system)</b>	<b>19</b>
2.1	動作原理	19
2.2	TGC の配置と構造	20
2.2.1	TGC の配置	20
2.2.2	ビッグウィール (BW)	20
2.2.3	インナー (EI/FI)	22
2.2.4	TGC の構造	22
2.3	TGC の時間分解能	24
2.4	TGC のトリガー判定	25
2.5	TGC エレクトロニクス	26
2.5.1	エレクトロニクス概要	26
2.5.2	トリガー	27
2.5.3	リードアウト	27
2.5.4	コントロール	27
2.5.5	TGC エレクトロニクスの設置	29
2.6	各エレクトロニクス	29
2.6.1	Amplifier-Shaper-Discriminator(ASD)	29
2.6.2	PatchPanel Slave-Board(PS-Board)	30
2.6.3	PatchPanel(PP)	30
2.6.4	Slave board(SLB)	31
2.6.5	HighPt Board(HPT)	33
2.6.6	Sector Logic(SL)	33
2.6.7	Star Switch Board (SSW)	35
2.6.8	ReadOut Driver(ROD)	35
2.6.9	HPT SSW Controller(HSC)/Control Configuration Interface(CCI)	37

3	タイミング調整とその検証	38
3.1	ATLAS 実験全体でのイベント同期とタイミング調整	38
3.2	TGC システム内でのタイミング調整	38
3.3	タイミング調整のスキーム	39
3.3.1	TOF とシグナルケーブルによる遅延の補正 (IP to PP)	40
3.3.2	TGC 間のタイミング補正 (PP to HPT)	41
3.3.3	HPT to SL 間のタイミング補正	43
3.3.4	UX15→USA15 のファイバー長の補正 (SL to CTP)	43
3.3.5	TTC <sub>vi</sub> →SLB 間のタイミング補正 (CTP to SLB)	43
3.4	テストパルスを利用したタイミング調整	45
3.5	遅延パラメータ作成のために必要な要素	46
3.5.1	ケーブルの信号伝搬速度の実測	46
3.5.2	信号減衰によるタイミング遅延の実測	47
3.5.3	遅延パラメータのタイミングチャート	48
3.6	テストパルスを用いたタイミングの検証	48
3.6.1	ディレイスキャンでのタイミング測定方法	50
3.6.2	タイミングを決定できない ASD と対処	51
3.6.3	不調が見つかった ASD のまとめ	53
3.7	BW のスキャン結果	55
3.7.1	パラメータ作成の決定精度	56
3.7.2	測定精度	56
3.7.3	threshold の違いによるタイミング変化	56
3.7.4	セクター間でのケーブル長の違い	58
3.7.5	BW のタイミングまとめ	58
3.8	EIFI のタイミング	59
3.8.1	EIFI のタイミング調整のスキーム	59
3.8.2	EIFI の遅延パラメータ	59
3.8.3	EIFI のスキャン結果	59
3.8.4	EIFI のタイミングまとめ	62
3.9	バンチ識別された後のタイミング調整	62
3.9.1	宇宙線データでのタイミングチェック	63
3.9.2	シングルビームデータのタイミング	64
3.10	バンチ衝突間隔とクロックの位相調整	65
3.10.1	位相調整のストラテジー	65
3.10.2	予想されるタイミング変化	66
3.10.3	必要な統計量と時間	66
4	まとめ	70

## 概要

ATLAS 実験はスイスとフランスの国境付近に建設された世界最高エネルギーの陽子・陽子衝突型加速器 LHC(Large Hadron Collider) を利用して行われる実験である。本実験では、ヒッグス粒子の発見や標準理論の枠組みの外に予言されている超対称性粒子の発見が期待されている。2008 年 9 月に LHC に初めてビームが入射され、ATLAS 検出器においても 1st ビームデータが得られた。現在は LHC の加速管の故障のため一時休止の状態であるが実験開始に向けて急ピッチで復旧作業が進められている。

ミュオントリガーシステムは検出器前後方部分部分をカバーする TGC(Thin Gap Chamber) と円筒部分をカバーする RPC(Resistive Plate Chamber)、運動量測定を行うためのトロイダル電磁石から構成される。ATLAS 実験におけるその役割は、ミュオンの横方向運動量 ( $p_T$ ) を測定し、 $2.5\mu\text{sec}$  以内に LV11 トリガーを発行する事である。

TGC システムでは衝突点からやってくるミュオンが検出されると、読み出された信号はディスクリミネータを通過し、衝突に対応したクロックの 1 周期に同期される。クロックに同期された信号は複数段のコインシデンス処理を行う事で運動量判定が行われる。

ここで、ミュオンの信号を 1 周期が  $25\text{nsec}$  のクロックに同期するには、TGC から信号が読み出されるまでの時間分布 (約  $30\text{nsec}$ ) と、バンチ識別回路に信号が到達するまでの時間差約  $50\text{nsec}$  ( $65\sim 116\text{nsec}$ ) を吸収する必要がある。この吸収は TGC システムの総読み出し 32 万チャンネルにおいてなされなければならない。また TGC システムは ATLAS 検出器の最も外側に置かれるために、そのカバー領域は広域 (総面積:  $6000\text{m}^2$ ) に及ぶ。そのためモジュール間を結ぶケーブルは様々な長さをとる。運動量判定を正しく行うためには、1 万本以上のケーブルからくるタイミング差を吸収し、システム全体で足並みを揃えて信号処理を行っていく必要がある。

このように、TGC システムにおいてはタイミング調整が必要不可欠となる。本論文では、システムの各段階に実装されている可変遅延回路を用いて行うタイミング調整とその検証について述べる。

# 1 LHC-ATLAS 実験

## 1.1 LHC の概要

スイスのジュネーブに建設された、大型陽子陽子衝突型加速器 LHC(Large Hadron Collider) は重心系エネルギーが 14TeV と世界最高のものであり、またそのルミノシティは  $10^{34} \text{cm}^{-2} \text{s}^{-1}$  と非常に高頻度で衝突させる。そのため素粒子物理のフロンティアとして期待されている。LHC の概観とその主要パラメータを以下に載せる。

主リング長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
ルミノシティ	$10^{34} \text{cm}^{-2} \text{s}^{-1}$	ルミノシティ寿命	10 時間
衝突頻度	40.08MHz	バンチ間隔	24.95ns
バンチ数	2835 個	1 バンチあたりの陽子数	$10^{11}$ 個
衝突点のビーム半径	16 $\mu\text{m}$	衝突角度	200 $\mu\text{rad}$

表 1: LHC 加速器の主要パラメーター

LHC はハドロンコライダーであるため、電子陽電子コライダーと比べ、粒子がリング内を回る時のシンクロトロン放射光によるエネルギー損失が少ない。(単位長当たりの放射光によるエネルギーの損失は  $\frac{\gamma^4}{\rho^2}$  に比例する。ここで  $\gamma = \frac{E}{mc^2}$ 、 $\rho$  は加速器の曲率半径。陽子の質量は電子の質量の 1840 倍なので、放射光エネルギー損失は同じエネルギーの電子の  $10^{13}$  分の 1 となる。) LHC トンネル内に多数の超伝導電磁石を並べて 8.4T の強力な磁場を作り出し、7TeV という高エネルギーでの陽子・陽子衝突現象を実現させる。これにより、ヒッグス粒子の探索では 100GeV から 1TeV までの広い範囲で探索出来るほか、超対称性粒子や未知の相互作用など TeV 領域の発見が期待される。一方で、陽子がクォークとグルーオンとの複合粒子であることと、ルミノシティが高いことから、莫大な量のバックグラウンドが予想され、物理現象を解析するために必要なデータをいかに効率良く正確に収集するかが重要になる。

また、図 1.2 からわかるように、LHC にはいくつかの衝突点を用意され各部分において検出器が置かれている。それぞれには、本論文で述べる大型汎用検出器 ATLAS (A Toroidal LHC Apparatus)、ATLAS より小型の汎用検出器である CMS (the Compact Muon Solenoid)、重イオン衝突実験用検出器の ALICE (A Large Ion Collider Experiment)、B-Physics に特化した検出器 LHC-B が設置される。

## 1.2 ATLAS 実験での物理

標準理論は今まで得られた実験結果と見事な一致を見せているものの、素粒子の質量の起源を担い、電弱対称性の破れのメカニズムを理解するのに極めて重要な存在である Higgs 粒子は未だ発見されていない。また標準理論には任意のパラメータが多すぎるなどの問題点も多く、超対称性理論などの標準理論を越えた理論が提唱されている。ここでは、ATLAS 実験で観測が期待される物理について簡単に説明する。期待されるのは、主に Higgs と超対称性に関する物理である。その物理を探る、1 つの方法がミュオンを用いた方法なのである。

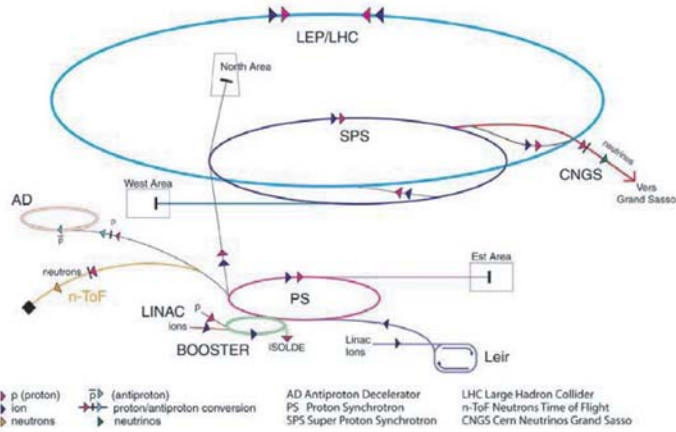


図 1.1: LHC 概観

陽子はメインリングまでに PS (Proton Synchrotron) と SPS (Super Proton Synchrotron) によって 450GeV に加速されてから、LHC のメインリングで 7TeV まで加速される。

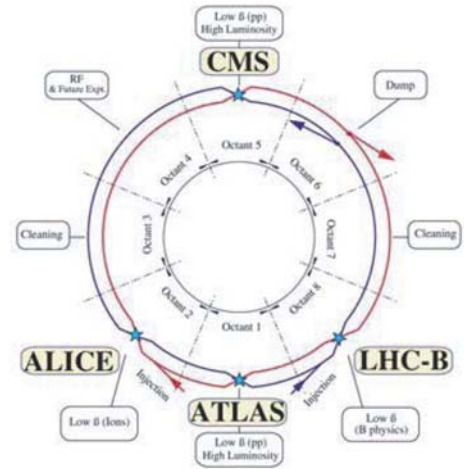


図 1.2: LHC に設けられた 4 つの衝突点

LHC の衝突点にはそれぞれ ATLAS、CMS、Alice、LHC-B といった検出器が置かれる。

### 1.2.1 標準理論 Higgs 粒子

Higgs 粒子は、ボソンとフェルミオンに質量を与える未知の粒子である。ATLAS 実験の主要な目的のひとつはこの Higgs 粒子の発見であり、ATLAS 検出器は、質量 100GeV から 1TeV の広範囲で Higgs 粒子を探索する能力を持つ。

**Higgs 粒子生成過程** Higgs 粒子は重い粒子と結合しやすいため、主に次に挙げる 4 つの生成過程が考えられる。それぞれのファインマンダイアグラムを図 1.3 に、生成断面積と質量の関係を図 1.4 に示す。

#### 1. $gg \rightarrow H$ (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も断面積が大きい。その反面、Higgs 粒子が崩壊してできる粒子以外に大きな  $p_T$  (運動量) を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。  $H \rightarrow \gamma, ZZ(\rightarrow lll), W^+W^-(l\nu l\nu)$  だけが、有望な崩壊過程である。

#### 2. $qq \rightarrow qqH$ ( $W/Z$ fusion)

クォークから放出されたゲージボソンから Higgs 粒子が生成されている。断面積も比較的大きく、反跳したクォークに起因する大きな  $p_T$  を持つジェットが 2 本観測される特徴があり、イベントの選別が比較的行きやすい。さらに、イベントに関わる 2 つのクォークの間ではカラー交換が行なわれないので、QCD バックグラウンドによる影響は少ない。従って、この生成過程では、様々な崩壊過程での Higgs 粒子の探索が期待されており、現在盛んに研究が進められている。

#### 3. $qq \rightarrow (W/Z)H$ ( $W/Z$ associate production)

クォークの対消滅で生成されたゲージボソンから、更に Higgs 粒子が放射される過程。終状

態にゲージボソン (W/Z) が観測される特徴がある。このゲージボソンがレプトンに崩壊した場合は、シグナルとバックグラウンドの識別が容易にできる。

4.  $qq/gg \rightarrow ttH$  (top associate production)

対生成されたトップクォークから、Higgs 粒子が放出される過程。断面積は小さいが、特徴のあるトップクォークペアを終状態に含んでいるので、QCD バックグラウンドを減らすことができる。またこの反応には、トップクォークの湯川結合 (Higgs とクォークとの結合) という重要な情報を含んでいる。

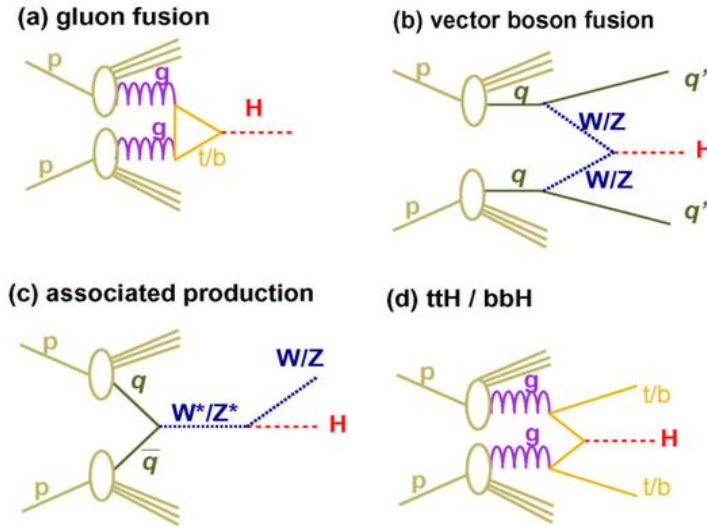


図 1.3: Higgs 生成のファインマンダイアグラム [10]

主な生成過程。Higgs 粒子は重たい粒子と結合しやすい。

Higgs 粒子崩壊過程 次に Higgs 粒子の崩壊過程について述べる。崩壊過程の分岐比は図 1.5 に示すように Higgs の質量に依存しており、各領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を簡単に説明する。

1.  $H \rightarrow \gamma\gamma$  ( $m_H < 150$  GeV)

この質量領域では、実は  $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$  が支配的であるが、陽子陽子衝突から引き起こされる QCD ジェットバックグラウンドと区別することが難しい。そこで希崩壊ではあるが  $H \rightarrow \gamma\gamma$  を観測し、不変質量  $M_{\gamma\gamma}$  分布を求めると、Higgs 粒子の質量が鋭いピークとして存在する。エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。

2.  $H \rightarrow \tau\tau$  ( $m_H < 150$  GeV)

Higgs 粒子が軽い場合、発見に有効とされているのがこのチャネルである。 $\gamma\gamma$  よりも崩壊確率が高く、W/Zfusion の生成過程を考えることでバックグラウンドと区別することができる。この場合、Higgs のピークはバックグラウンドである Z のピークのテールに現れる。 $\tau$  の崩壊にはニュートリノが含まれるので  $E_T^{miss}$  の精度が重要になる。

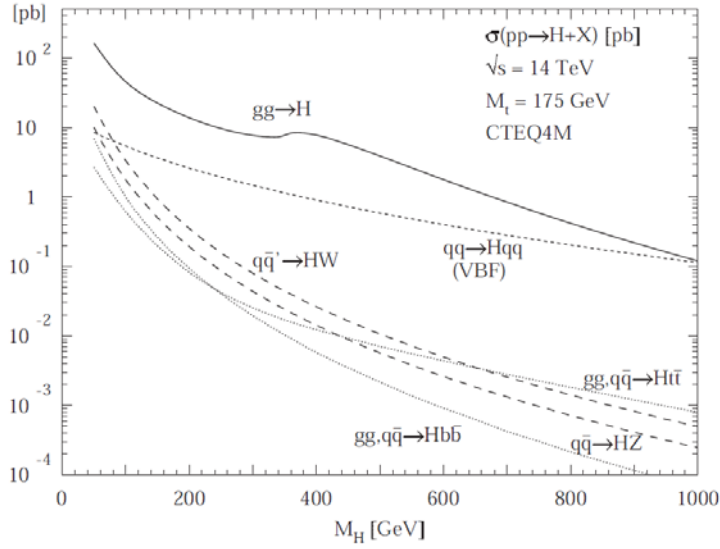


図 1.4: 標準理論での Higgs 粒子の生成断面積

横軸は Higgs 粒子の質量。縦軸は断面積である。gluon fusion がもっとも生成断面積が大きい。

3.  $H \rightarrow ZZ^* \rightarrow 4l^\pm$  (120GeV ~ 180GeV)

このモードは、最も綺麗なピークが得られるモードの一つである。一つのレプトン対に対しては、不変質量  $m_z$  に等しいという条件を課すことが出来るが、 $Z^*$  が仮想粒子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。

バックグラウンドとしては、 $ZZ^*$ 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$  がある。このうち  $ZZ^*$ 、 $Z\gamma^*$  は減らすことは出来ないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$  はそれぞれレプトン対が、 $Z$  起源または  $Z^*$  起源であるという条件をつけることによって取り除くことが出来る。

4.  $H \rightarrow ZZ \rightarrow 4l^\pm$  (180GeV ~ 800GeV)

このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に  $m_z$  に等しいという条件を課すことが出来るため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。

5.  $H \rightarrow ZZ \rightarrow ll\nu\nu$  (400GeV ~)

この領域では、このモードの方が  $H \rightarrow ZZ \rightarrow 4l^\pm$  よりも分岐比が約 6 倍も高い。 $\nu\nu$  の不変質量は再構成することは出来ないが、これに起因する消失横方向エネルギー  $E_T^{miss}$  を精密に測定することが必要になる。

6.  $H \rightarrow WW \rightarrow l\nu jj$ ,  $H \rightarrow ZZ \rightarrow lljj$  (600Gev ~)

この領域ではこれらのモードが  $H \rightarrow ZZ^* \rightarrow 4l^\pm$  に比べて、 $H \rightarrow WW \rightarrow l\nu jj$  は約 150 倍、 $H \rightarrow ZZ \rightarrow lljj$  (600Gev ~) は約 20 倍の分岐比を持つ。これらのモードでは、バックグラウンドと区別するために Higgs 粒子が W/Z 融合過程によって生成された場合を考える。この過程では、散乱角前方にクォークによる 2 つのジェットが特徴的で、このジェットを指標と

することでバックグラウンドを排除することが出来る。

図1.6と図1.7に、それぞれLHCが1年および3年稼働した積分ルミノシティを  $10fb^{-1}$ 、 $30fb^{-1}$  溜めた時点での ATLAS 測定器の標準理論 Higgs 粒子の発見能力を示す。これを見ると、ATLAS 測定器は上限値である  $115GeV$  から  $1TeV$  の領域までカバーしており、 $5\sigma$  以上の確からしさで Higgs 粒子を発見出来ることがわかる。

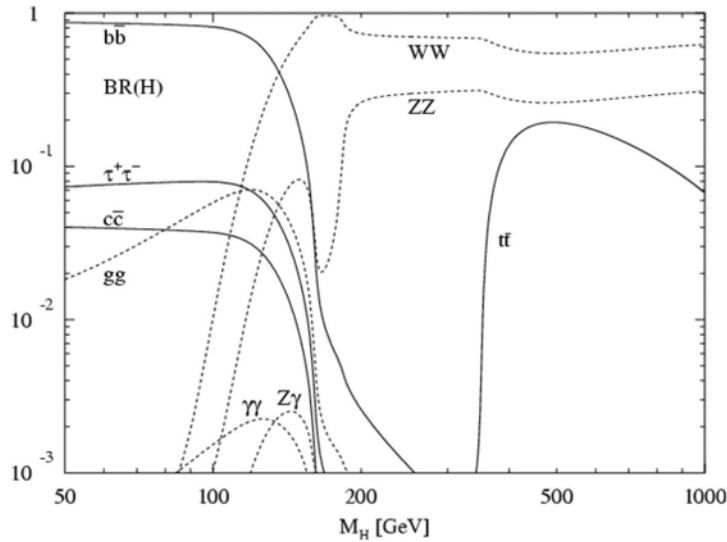


図 1.5: Higgs 崩壊分岐比の質量依存

横軸は Higgs 粒子の質量。縦軸は崩壊分岐比である。期待するイベントの崩壊分岐比が大きいに越したことはないが、バックグラウンドを考えると違うチャンネルが有効だったりする。

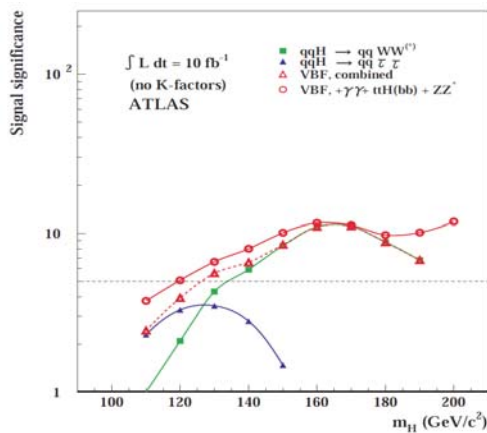


図 1.6: Higgs 粒子の  $10fb^{-1}$  での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。1年間の run で LHC は約  $10fb^{-1}$  のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。

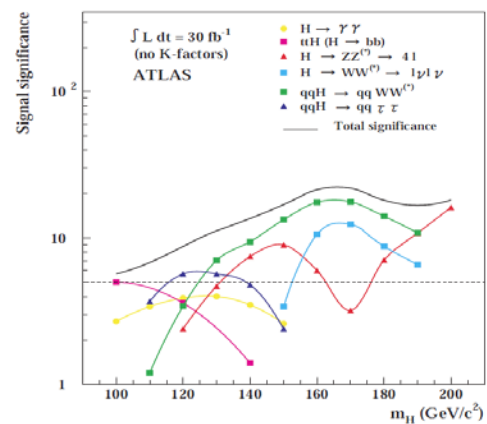


図 1.7: Higgs 粒子の  $30fb^{-1}$  での発見能力

横軸は Higgs 粒子の質量。縦軸は確実性である。3年間の run で LHC は約  $30fb^{-1}$  のデータをためることが可能である。そのときの ATLAS 検出器における発見能力である。

## 1.2.2 超対称性粒子

素粒子物理学の究極の目標は重力を含めた力の統一であり、超対称性 (SUSY) の発見はこれに向けての大きい一歩であると最も有力視されている。

この超対称性は、ボソンとフェルミオンを交換する。つまり通常知られているボソンやフェルミオンに対し、スピンの  $1/2$  だけ異なりスーパーパートナーと呼ばれる超対称性粒子の存在を予言する。例えば、クォークやレプトン (フェルミオン) のスーパーパートナーとして、スクォーク ( $\tilde{q}$ ) やスレプトン ( $\tilde{l}$ ) (ボソン) があり、グルーオン (ボソン) のスーパーパートナーとして、グレイノ ( $\tilde{g}$ ) (フェルミオン) がある。もし、この理論が正しければ、LHC では強い相互作用をするスクォークやグレイノの対が大量に生成され、超対称性粒子の発見が期待される。R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。崩壊過程によっては比較的重いニュートラリーノ ( $\tilde{\chi}_{2,3,4}^0$ ) やチャージノ ( $\tilde{\chi}_{1,2}^\pm$ ) が生成されることがある。そして、最終的に超対称性粒子のなかで最も軽い質量を持つ LSP (Lightest SUSY Particle) になる。この LSP の候補としては最軽量ニュートラリーノ ( $\tilde{\chi}_1^0$ ) が考えられるが、この粒子は直接観測にかからない。しかし、解析に於いて消失横方向エネルギー  $E_T^{miss}$  として現れるので、ジェットと共に  $E_T^{miss}$  を指標として探索を行う。主な崩壊として以下の3つがある。

### 1. Multijets+ $E_T^{miss}$ モード

$$\begin{aligned}\tilde{g} &\rightarrow q\tilde{q}\tilde{\chi}_1^0 \rightarrow jets + E_T^{miss} \\ \tilde{q} &\rightarrow q\tilde{\chi}_1^0 \rightarrow jets + E_T^{miss}\end{aligned}$$

### 2. 同符号の2レプトン・モード

$$2g \rightarrow 2(q\tilde{q}\tilde{\chi}_i^\pm) \rightarrow 2(jets + l^\pm + E_T^{miss})$$

### 3. 3レプトン・モード

$$\tilde{\chi}_1^\pm \tilde{\chi}_2^0 \rightarrow l\nu\tilde{\chi}_1^0 + ll\tilde{\chi}_1^0 \rightarrow 3l + E_T^{miss}$$

## 1.2.3 超対称性 Higgs 粒子

超対称性理論の中で最も単純な MSSM (Minimal Supersymmetric extension of Standard Model) では、2つの Higgs 2重項が要求され、結果的に5つの Higgs 粒子が導入される。この5つはそれぞれ、 $H^\pm$  (荷電スカラー)、 $h$  (中性軽スカラー)、 $H$  (中性重スカラー)、 $A$  (中性擬スカラー) である。これらの Higgs 粒子の質量は2つのパラメーター  $\tan\beta$ 、 $m_A$  で表される。以下に、MSSM 中性 Higgs 粒子の崩壊モードで観測が期待されるものを説明する。

### 1. $H/A \rightarrow \tau\tau$

標準理論 Higgs 粒子の場合はこのモードは分岐比が低く観測に適さないが、MSSM では高い分岐比が期待される。生成された  $\tau$  粒子の両方がレプトンに崩壊するチャンネルと、一方はハドロンに崩壊するチャンネルの2種類のモードが利用できる。

### 2. $H/A \rightarrow \mu\mu$

$H/A \rightarrow \tau\tau$  に比べて、分岐比は  $(m_\mu/m_\tau)^2$  倍低いが、精度よく測定が行えることから  $\tau\tau$  モードでの測定を補う役割が期待される。

### 3. $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow bb\bar{b}\bar{b}$  が支配的だが、このモードでは効率の良いトリガーが行えないため、 $hh \rightarrow \gamma\gamma\bar{b}\bar{b}$  チャネルで観測されることが期待される。イベントレートは低いが、2つの異なる Higgs 粒子の反応という意味で非常に興味深い。

### 4. $A \rightarrow Zh$

2つの Higgs 粒子が関係した反応として興味深い。 $Sh \rightarrow llb\bar{b}$  など  $Z$  の崩壊で生じる2つのレプトンでトリガーを行う方法が有効である。

## 1.2.4 ミューオンの関係する物理のまとめ

標準理論 Higgs 粒子を考える場合、崩壊過程として標準理論 Higgs 粒子の質量が  $120\text{GeV} \sim$  の崩壊モードでは多くのモードでレプトンが入ってくることがわかる。これは検出するにあたって、ミューオンが重要になってくることを示唆している。たとえば、標準理論 Higgs 粒子の質量が  $150\text{GeV}$  だとしたときのシミュレーションを図 1.8 に載せる。また、超対称性粒子においても、2レプトン・モード、3レプトン・モードとあるように、やはりミューオンは重要なデータを提供する。さらに、超対称性が存在した場合には超対称 Higgs 粒子の探索にも適したモードを持つ。このようにミューオンは新しい物理を探索する上で非常によいプローブとなることがわかる。

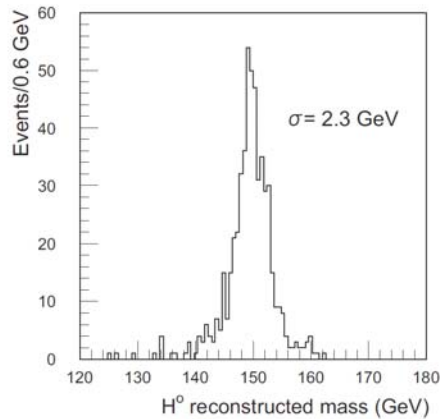


図 1.8: 4 ミューオン状態から標準理論 Higgs 粒子を再構成

横軸は標準理論 Higgs 粒子の質量。縦軸はイベント数である。H  $\rightarrow ZZ \rightarrow \mu^+\mu^-\mu^+\mu^-$  を標準理論 Higgs 粒子の質量が  $150\text{GeV}$  だとしてシミュレーションした図。ひとつの  $\mu$  ペアには  $Z$  の質量と一致するという条件を入れてある。

### 1.3 ATLAS 検出器

ATLAS 検出器は、直径 22m、長さ 44m の円筒形で、総重量は 7,000t という巨大な汎用検出器である。その全体図を図 1.9 に示す。検出器は内側からインナーディテクター、カロリメータ、ミューオン・スペクトロメータから構成され、検出器の間にはマグネットシステムが設置されている。LHC の高いルミノシティにおいても、光子、電子、ミューオン、ジェット、 $E_T^{miss}$  などの信号を高速かつ正確に処理できるように、以下のような要求を満たすように設計されている。

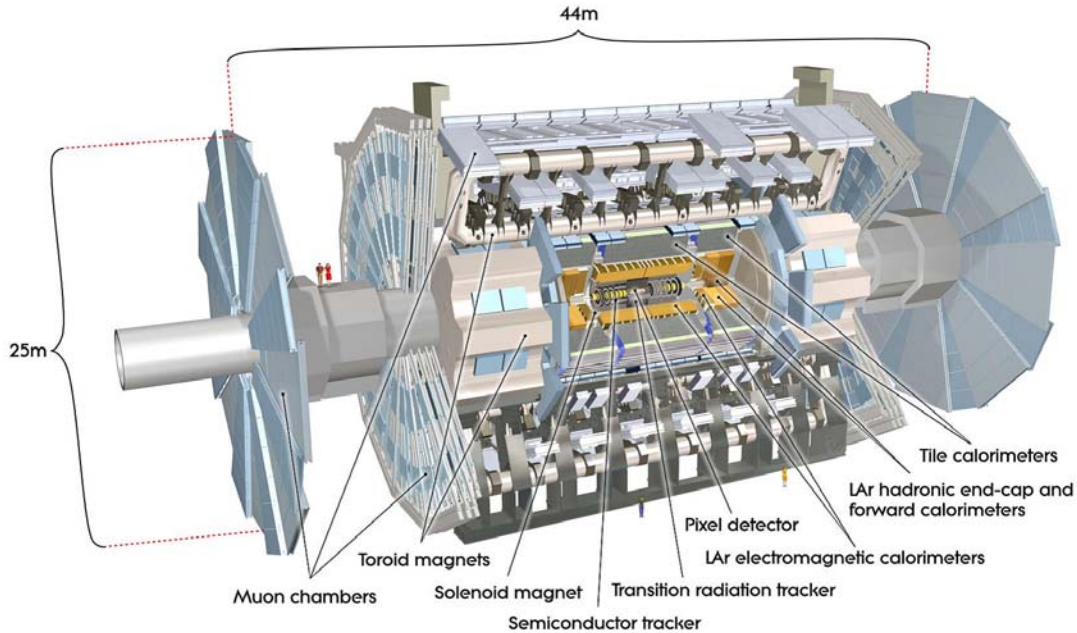


図 1.9: ATLAS 検出器 [4]

ATLAS 検出器は直径 22m、長さ 44m の円筒形をした、巨大な検出器である。

- 電磁カロリメータによる電子と光子のエネルギーと位置の高精度測定と、ハドロンカロリメータによる高精度なジェットと消失横方向エネルギー  $E_T^{miss}$  の測定
- ミューオン・スペクトロメータによる高精度のミューオンの運動量測定
- 内部飛跡検出器による  $high-p_T$  レプトンの運動量測定
- 広範囲の擬ラピディティ  $\eta$ <sup>1</sup> と完全な方位角のカバー
- 高頻度のイベントを逃すことなく処理するシステム
- 大量のバックグラウンドに対する耐放射線性

<sup>1</sup> $\theta$  をビーム軸とのなす角とすると  $\eta = -\ln(\tan\theta/2)$  で定義される。ハドロンコライダーでは散乱断面積がおよそ  $\eta$  に比例する。

円筒型の ATLAS 検出器は、バレルと呼ばれる円筒の筒に相当する ( $|\eta| < 1$ ) 領域と、エンドキャップと呼ばれる円筒のふたに相当する部分 ( $1 < |\eta|$ ) の 2 つの領域に分けられる。さらにエンドキャップは、円筒の円の中心 (ビーム) 付近より外側 ( $1 < |\eta| < 1.9$ ) の領域を Endcap 円の中心付近 ( $|\eta| > 1.9$ ) を Forward と分けて呼ぶこともある。以下でマグネットと各測定器について簡単に説明する。

### 1.3.1 マグネットシステム

ATLAS は 3 種類の巨大な超電導磁石により構成される。マグネットの構造を図 1.10 に示す。一つは中央のソレノイド磁石であり内部検出器の運動量測定に用いられる。流れる電流は 7.73kA で、発生する磁場は 2T である。その周りを囲むバレル部分のトロイド磁石は、8 つの対称なリングで構成され、円周方向の磁場を作る。前後方部のトロイド磁石も同様に円周方向の磁場を作る。円筒部、前後方部のトロイドはミューオンの運動量測定に用いられる。流れる電流は 20.5A で、発生する磁場は約 4T である。

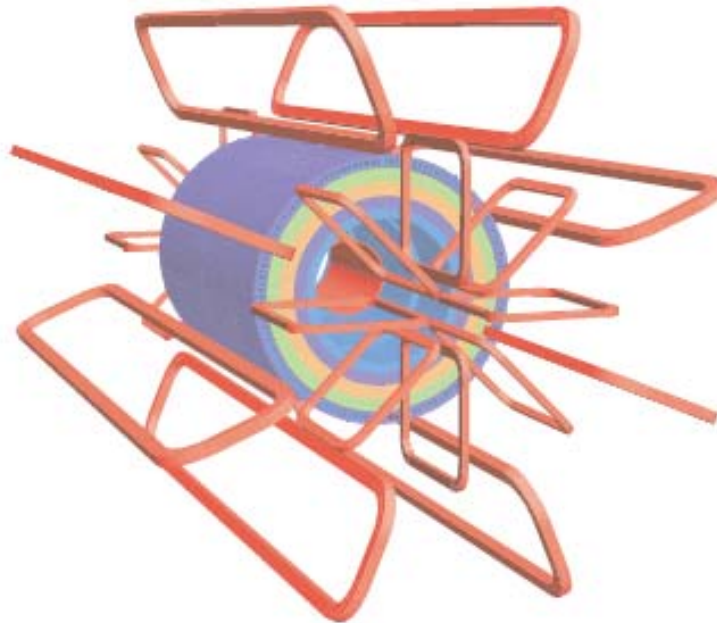


図 1.10: マグネットシステム

### 1.3.2 内部飛跡検出器

内部飛跡検出器はビームの衝突点に最も近い場所に設置され、ソレノイド磁石の内部に位置する。図 1.11 に内部飛跡検出器の構造を示す。内部から順に、ピクセル検出器 (Pixel)、シリコン・トラッカー (SCT)、遷移輻射トラッカー (TRT) の 3 つで構成されている。ピクセル検出器は、最内層にある半導体検出器で、高い位置分解能を持つ。シリコン・トラッカーはマイクロストリップと呼ばれる細長い有感領域をシリコン上に施した半導体検出器である。遷移

輻射トラッカーは、半径 4mm のチューブ型の検出器で、トラッキングの他に遷移輻射を利用した電子の同定も行う。これらの検出器はいずれも非常に厳しい放射線下に置かれるので、高い放射線耐性が必要である。

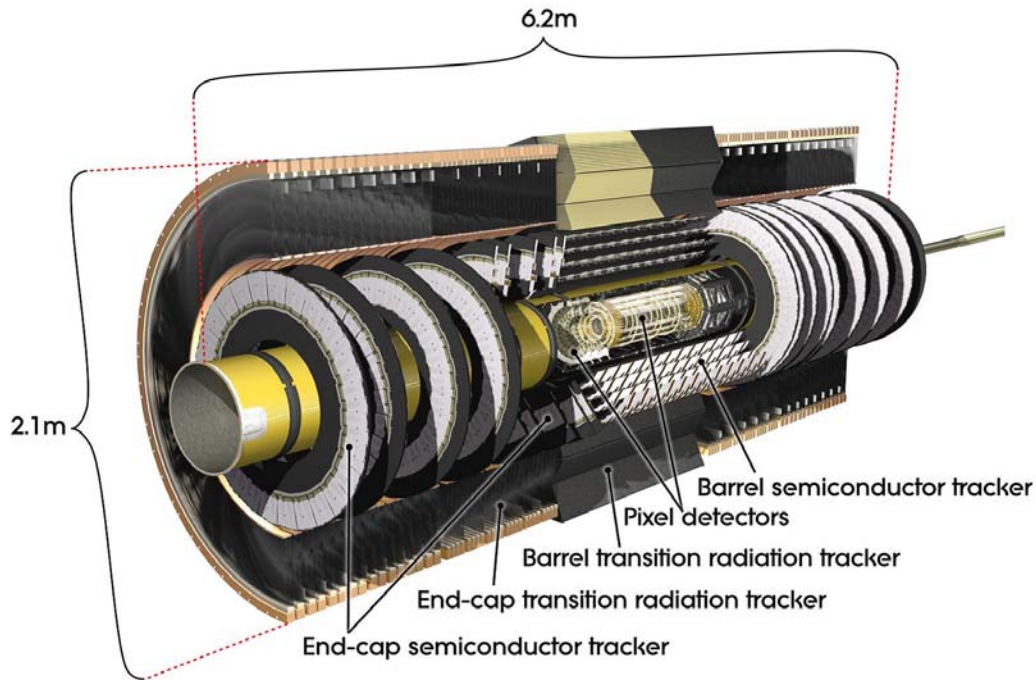


図 1.11: 内部飛跡検出器

内部飛跡検出器は内側からピクセル検出器、SCT、TRT と構成されている。

### 1.3.3 カロリメータ

カロリメータの主な役割は、電子や $\gamma$ 線、ジェットなどのエネルギー、角度の測定である。ATLAS 実験に使用される 4 種類のカロリメータは、電磁カロリメータとハドロンカロリメータの 2 つの カテゴリーに分けられ、広い $|\eta|$ 領域をカバーする。図 1.12 にその構造を示し、以下に各カロリメータについて簡単に説明する。

- 電磁カロリメータ

電磁カロリメータは、アコーディオン構造の鉛の吸収体と液体アルゴンからなり、放射線耐性に優れている。ソレノイド・マグネットの外側に設置されバレル/エンドキャップ領域をカバーし、電子と光子の同定に用いられる。

- ハドロンカロリメータ

バレル部は鉄の吸収体とタイル状のシンチレータからなるカロリメータが用いられる。放射線強度がより高いエンドキャップ部は、銅の吸収体と液体アルゴンからなるカロリメータが用いられる。更に、放射線強度の高いフォワード部は銅とタングステンの吸収体と液体アル

ゴンからなるカロリメータが用いられる。これらは電磁カロリメータの外側に設置され、ハドロンと同定、エネルギー測定、ジェットのリ構成などを行う。

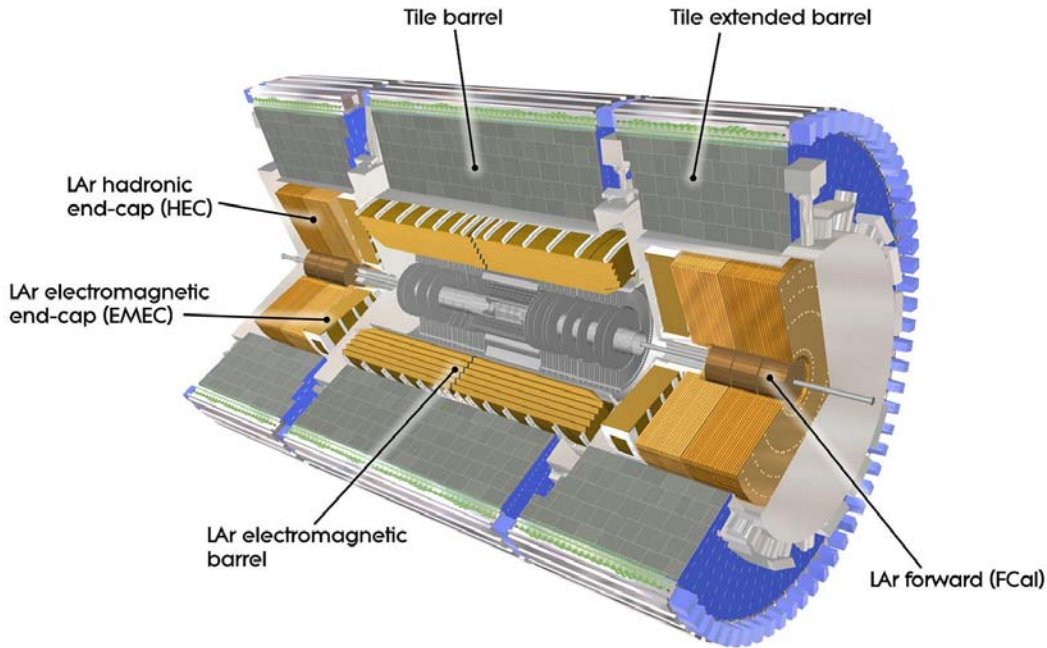


図 1.12: カロリメータ

カロリメータは電磁カロリメータとハドロンカロリメータという2つのカテゴリから成り立っている。電磁カロリメータは鉛吸収体と液体アルゴンの組からなり、ハドロンカロリメータは鉄の吸収体とシンチレータ、銅の吸収体と液体アルゴン、そして銅とタングステンの吸収体と液体アルゴンの組から成り立つ。

#### 1.3.4 ミューオン検出器

終状態に荷電レプトンを含む物理現象は、測定装置で捉えやすい。その中でもミューオンは物質の透過力が高く、寿命が長い為に、ATLAS 検出器の外側でも他の検出器に影響されることなく検出することが出来る。ミューオン・スペクトロメータは、軌跡精密測定用の MDT(Monitored Drift Tube)、CSC(Cathode Strip Chamber) と、トリガー用の RPC(Resistive Plate Chamber)、TGC(Thin Gap Chamber) の4種類の検出器とトロイダル磁石から構成され、ATLAS 検出器の一番外側に設置される検出器である。ミューオン・スペクトロメータの全体図を図 1.13 に示す。図のように MDT はバレル部とエンドキャップ部の両方に設置される。CSC は、フォワードの内側に設置される。RPC はバレル部を、TGC はエンドキャップをカバーする。それぞれの検出器は3層に重ねられて設置される。超伝導空芯トロイダルコア磁石がバレル部(図中の赤線の四角)、エンドキャップ部(図の下側中央の青線の四角)に検出器に内包されるように置かれ、それぞれに  $\phi$  方向の磁場を作っている。この  $\phi$  方向の磁場によって R-Z 平面内で曲げられたミューオンの曲率をエンドキャップでは  $r$  から、バレル部分では  $\eta$  から測定し、その運動量を決定する。理想的にはミューオンは  $\phi$  方向の磁場によって R-Z 平面内で曲がるはずだが、現実には磁場の大きさが一様

ではないために  $\phi$  方向にも曲がる。トリガー用の2つの検出器 (TGC, RPC) は、この  $\phi$  方向の座標 (第2座標と呼ばれる) を測定する役目も持っている。ミュオン測定器を構成する4つの部分についての主なパラメータを表2にまとめ、またそれぞれ以下に述べる。

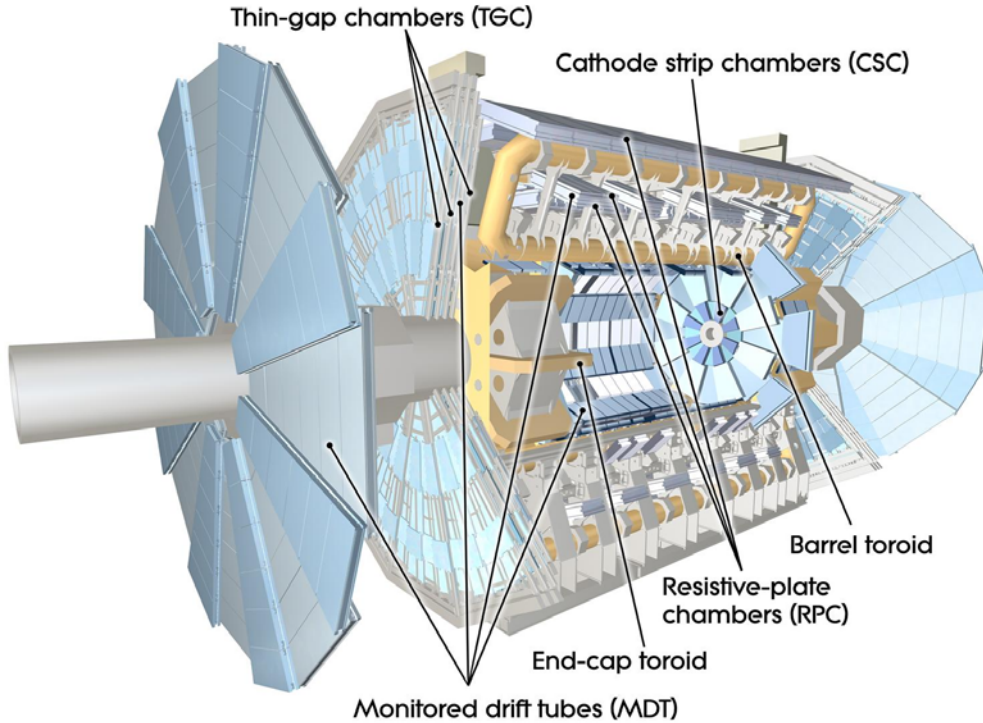


図 1.13: ミュオン検出器

ミュオン・スペクトロメータは MDT、CSC、RPC、TGC から成り立つ。

	役割	$ \eta $ の領域	特徴	チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0 ~ 3.0	30mm $\phi$ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu\text{m}$	$3.7 \times 10^5$
CSC	トラッキング (3-dim) 運動量測定	2.0 ~ 3.0	カソードストリップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu\text{m}$	$6.7 \times 10^4$
RPC	トリガー 第2座標測定 ( $\phi$ )	0 ~ 1.05	並行平板ガス検出器 位置分解能 $\sigma_t = 1\text{ns}$	$3.5 \times 10^5$
TGC	トリガー 第2座標測定 ( $\phi$ )	1.05 ~ 2.04	薄いギャップのワイヤチェンバー 位置分解能 $\sigma_t = 4\text{ns}$	$3.2 \times 10^5$

表 2: ATLAS 実験におけるミュオン検出器の構成

**Monitored Drift Tube(MDT)** MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、R-Z 方向成分を精密に測定することができる。チューブ径 30mm、ワイヤ径 50  $\mu\text{m}$

のドリフトチューブを積層したものであり、位置をドリフト時間 ( $< 700\text{nsec}$ ) と、シグナルの大きさから求めている。位置分解能は  $80\ \mu\text{m}$ 、総チャンネル数は 30 万チャンネルである。

**Cathode Strip Chamber (CSC)** CSC は放射線の多い高ラピディティ領域  $|\eta| \geq 2$  に置かれる運動量精密測定用のカソードストリップ読み出し MWPC (Multi-Wire Proportional Chamber) である。構造はワイヤ間隔が  $2.54\text{mm}$ 、ストリップ間隔が  $5.08\text{mm}$ 、ドリフト時間は  $20\text{nsec}$  以下であり、位置分解能は  $60\ \mu\text{m}$  となっている。

**Resistive Plate Chamber (RPC)** RPC はバレル部 ( $|\eta| < 1.05$ ) に設置され、 $r - \eta$  方向、 $r - \phi$  方向の運動量を測定しトリガー判定を行う。構造はストリップを用いた検出器を 2 層に重ねた構造で、そのガスギャップは  $2.00\text{mm}$  である。スパークチェンバーなのでその時間分解能は  $\sigma_t = 1\text{nsec}$  と非常に良い。

**Thin Gap Chamber (TGC)** エンドキャップ部 ( $1.05 < |\eta| < 2.4$ ) に設置され、ワイヤは直径  $50\text{mm}$  の金メッキタングステン線で、 $1.8\text{mm}$  の間隔で張られている。ワイヤとカソードの間隔は  $1.4\text{mm}$  と狭くすることで、 $10^6$  の高いゲインと速い応答を特徴とする。詳しくは第 2 章で述べる。

### 1.3.5 ATLAS 実験のトリガー& DAQ スキーム

ATLAS 実験のトリガーシステムは図 1.14 に示すように LVL1、LVL2、EF の 3 段階のトリガーを設け段階的にレートを落としている。データは各検出器からの情報を基に、各システムで段階的に処理され、最終的に興味のあるイベントのみが記憶装置に保存される。検出器からの信号は、

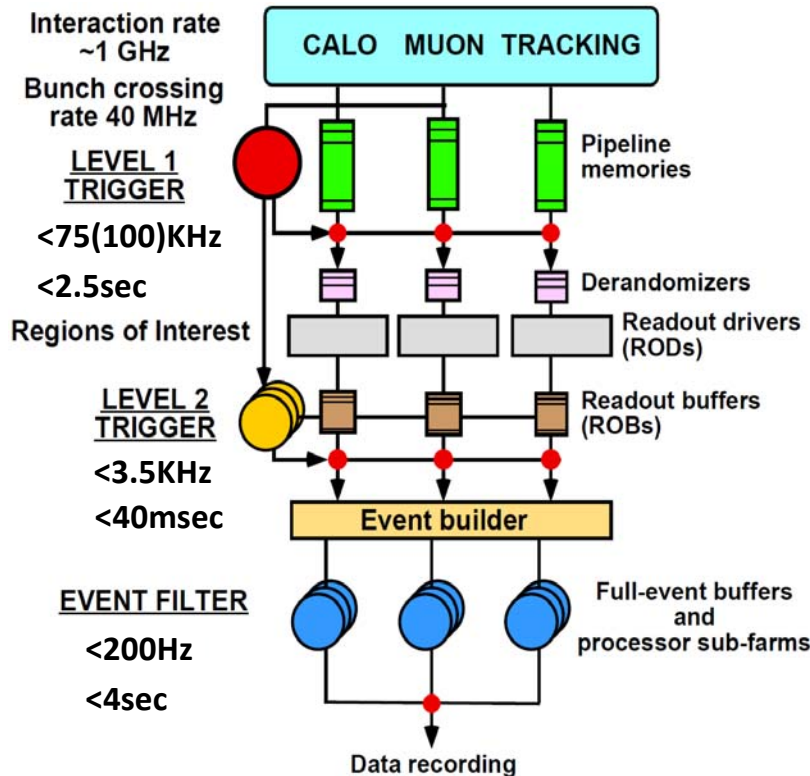


図 1.14: ATLAS トリガー/DAQ スキームのブロック図

まず各チャンネルごとに、LVL1 バッファと呼ばれるパイプラインメモリに保持され、LVL1 のトリガー判定の結果である L1A (Level1 Accept) 信号を受信するまでデータを保持する。LVL1 判定はミュオン検出器の一部 (RPC と TGC) とカロリメータを用いてなされる。L1A の判定に  $2.5\mu\text{sec}$  の時間がかかるため、L1A は最低 100 バンチ分のデータを保持できるように設計されている。L1A を受け取った後読み出された信号はデランダムマイザー (Derandomizer) に送られる。L1A は不規則にやってくるため、デランダムマイザーは不規則にやってくる信号を一時的に保持し、順次 ROD (Read Out Driver) に送る。このときデータは圧縮され、信号の情報と共に BCID (バンチ ID) や EVID (何番目の L1A により読みだされた信号か) が付加される。ROD は、集めたデータをイベントごとに処理し、BCID や L1ID の整合性を確認して、S-Link (Simple Link Interface) と呼ばれる規格の ROL (Read Out Link) を通して ROB (Read Out Buffer) へと情報を送る。ROB を複数持つ一つのシステムを ROS (Read Out System) と呼ぶ。ROB では LVL2 判定が行われるまでデータを保持している。LVL2 はカロリメータとミュオン検出器および内部検出器の情報を用いて行うが、この時点では LVL1 トリガーで与えられる ROI 内の各検出器の情報を用いて判定される。このときの処理時間は平均で  $40\mu\text{sec}$  という指針がある。ROB から送られた信号は、イベントビルダーにて EF のトリガー判定を待つ。EF では、すべての検出器の完全な情報を

使ってトリガー判定がなされる。そしてトリガー判定がなされたデータが最終的に記録される。この間の時間は 4sec 以内で行われる。

### 1.3.5.1 LVL1(レベル1)

図 1.15 にレベル 1 の流れを示す。レベル 1 は、1GHz で起こる衝突から興味あるイベントを 75KHz まで絞るという役割を持つ。カロリメータトリガーでは、 $e/\gamma$ 、 $E_T^{miss}$ 、 $\tau$ 、Jet から high- $E_T$  である事象を、またミュオントリガーでは、high- $p_T$  ミュオンのヒットを見つけた時にトリガーを発行する。

全てのトリガー情報は CTP(Central Trigger Processor) に渡され、そこで判定の上 Level1 Accept(L1A) が発行される。発行された L1A は 40.08MHz のクロックと共に Timing, Trigger and Control (TTC) system を経由して各測定器の読み出しシステムに送られる。

一方、L1 トリガーが発行された周辺の位置情報は LVL2 に渡され、LVL2 でのイベント選別の際で使用される。この位置情報は RoI(Region of Interest) と呼ばれる。また、レベル 1 の重要な役割に、「興味あるバンチを一意に決定」することがある。しかし、LHC のバンチ間隔は 25nsec ととても短く、ミュオン検出器においてはその物理的なサイズが大きいため、カロリメータにおいても難しい課題となる。

各測定器の読み出し情報は L1 バッファと呼ばれる 100 バンチ分のデータを保持できるパイプラインメモリに保持される。そのためにトリガーが発行され各測定器が L1A を受け取るまでの処理時間は  $2.5\mu\text{sec}$ (100 バンチ) 以内に済ませないとイケない。トリガー処理のうちケーブルの伝搬遅延などで約  $1\mu\text{sec}$  の時間がかかるために、残された  $1.5\mu\text{sec}$  以内でトリガー判定を行わなければならない。そのため L1 トリガーは全てハードウェア処理を行う。

以下に、LVL1 を構成する、カロリメータトリガー、ミュオントリガー、CTP、TTC システムについて述べていく。

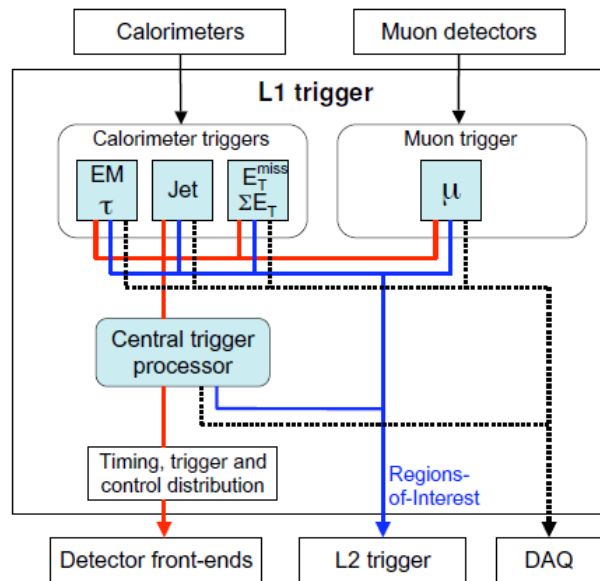


図 1.15: LVL1 トリガーのブロック図

## カロリメータトリガー

カロリメータトリガーは  $\Delta\eta \times \Delta\eta = 0.1 \times 0.1$  を単位としてトリガーを発行する。pre-processor においてアナログからデジタル信号に変換され、さらに 40MHz への同期が行われる。次に情報は Cluster Processor と Jet/Energy-sum Processor に送られる。Cluster Processor では  $high - E_T$  を持った  $e/\gamma$ 、ハドロン/ $\tau$  を探し、Jet/Energy-sum Processor で  $Jet$  や  $high - E_T$  および  $E_T^{miss}$  の事象を探す。この二つは並行して処理された後、粒子の種類の情報などと共に CTP にトリガーが送られる。

## ミューオントリガー

ミューオントリガーはバレル部分の RPC とエンドキャップ部分の TGC からなる。大きな  $p_T$  を持つ ( $high p_T$ ) 粒子を含むバンチに対してトリガーを発行する。その際に、どのバンチから衝突したミューオンなのかを一意に決定することが重要となる。

RPC と TGC は各々セクタと呼ばれる単位ごとに  $p_T$  の大きなミューオンの候補を挙げて、MuCTPI に対してトリガーを送る。TGC の場合のセクタは、Forward 領域で円の 24 等分、Endcap 領域で円の 48 等分、RPC の場合は円筒を 32 等分した領域であり各領域からは 1 イベントに対して最大二つの候補が挙げられる。各場所からくるイベントは MIOCT delay によってタイミングが揃えられる。各候補の情報は、領域を表す RoI (Region of Interest) と  $p_T$  の二つである。MuCTPI はこれらのトラックの候補を受け取り、境界部分での処理を行ってから、ミューオンの候補についての情報を CTP へ送る。またその情報は LVL2 トリガーに送るため、RoIB (RoIBuilder) に渡される。

## CTP

CTP の役割はカロリメータとミューオンの情報を統合して、最終的な Level1 トリガーの判定を行うことである。カロリメータでは、 $e/\gamma$ 、 $\tau$ /ハドロン、ジェットのそれぞれに対し、数段階の閾値が設けてあり、同様にミューオン検出器では、ミューオンの  $p_T$  について、数段階の閾値が設けてある。CTP は最高 96 種類のトリガー項目を設定出来て、CTP が受け取る閾値を越えた情報とそのトリガー条件とを比較することで、L1A の有無を決定する。トリガー判定が終わると、CTP は TTC システムに対して、L1A とトリガーの情報を送信する。CTP でのレイテンシーは 4 バンチ (100nsec) 以下と決められている。

## Timing Trigger Control(TTC) System

ATLAS 実験では 40MHz という高頻度で衝突が起こり、かつ検出器も広範囲に設置されているため全体でのイベント同期は容易ではない。そこで足並みを揃える役割を担うのが Timing Trigger and Control(TTC) システム [7] である。各検出器はあるイベントの情報を読み出すために level-1 accept signal(L1A) を受ける必要がある。また、イベントを正しく ID するためには LHC の衝突と同じ周期のクロックを受け取る必要があり、それは bunch-crossing signal (BC clock) と呼ばれるものである。イベントの認識のために、読みだされたイベントの情報に対しては、event identifier(EVID) と Bunchidentifier(BCID) というものをつけられる。実験全体を通してこれらの ID の一貫性を保つためには、システム全体を同期するための基準となる信号が必要であるそれらの信号は bunch

counter reset (BCR) と event counter reset (ECR) と呼ばれるものである。  
 これらの TTC 信号を送るのは、各検出器に設置されている TTC VME interface (TTCvi) である。  
 TTC vi からの信号は光ファイバーを通して TTC receiver chip (TTCrx) に送られる  
 TTCrx においては、光信号を電気信号に変換して各測定器に TTC 信号を伝える。TTCrx ではタイ  
 ミング調整のために TTC 信号に対して、クロックの位相を 100psec の単位で調整でき、かつ  
 L1A や BCR、ECR など信号を 0 ~ 15clock の範囲を遅らせることができる。

TTCvi から送られる信号	説明
BC clock	bunch-crossing signal 40.08MHz のクロック
L1A	CTP から各検出器に送られる LV1trigger
BCID	バンチのカウンター (12bit)
EVID	L1ID のカウンター (24bit)
BCR	LHC の Orbit と同期して送られる BCID のリセット
ECR	EVID のリセット
commands and data	ユーザーが定義できる信号。TGC ではシステムのリセットや テストパルストリガーの発行に用いる

表 3: TTC システムを通して送られる信号

### 1.3.5.2 LVL2(レベル 2)

LVL2 ではイベントレートが 75kHz から 3.5kHz に落とされる。ここでは効率よく処理を行うた  
 めに LVL1 でのトリガーが発行された付近の領域 (RoI) のみの情報を ROS から受取り処理を行う。  
 LVL2 では飛跡検出器やカロリメータからの情報を用いて、LVL1 よりも精密なアルゴリズムで  
 処理を行い、用意されたトリガーマニューの条件が満たされると、そのイベントの情報が ROS か  
 ら Event builder に渡される。Event builder ではデータは 1 イベントごとにビルドされる。この  
 各イベントはそれぞれ、EF に渡される。ここまでのレイテンシーは平均 40 $\mu$ sec で行われる。

### 1.3.5.3 EF(Event Filter)

EF では EventBuilder で構築された各イベントを統合してより詳しい選別を行い、イベントレ  
 ートを 200Hz まで落とす。ここを通過したイベントは一時的に SFO に貯められる。ここまで全ての  
 処理は平均 4sec で行われる。SFO のデータはその後、CERN のディスクに貯められるが、1ベン  
 トで発生するデータ量は 1.5MByte 程度と見積もられており、最終的に 300MByte/s のデータが  
 記録されていく。

## 2 Endcap Muon Trigger System(TGC system)

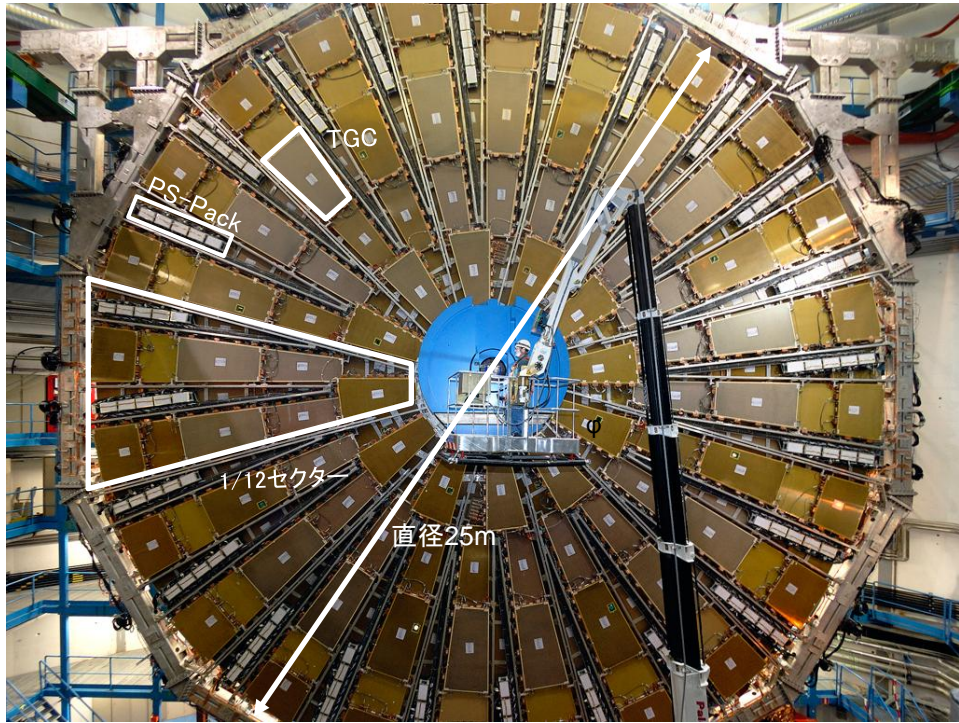


図 2.1: TGC Big Wheel ステーション

直径 25 メートルの Big Wheel は 12 分の 1 毎に対称なセクターから構成される。15m 離れた各サイドに 3 枚ずつ配置される。

TGC チェンバーは、MWPC ( Multi-wire Proportional Chamber ) 型チェンバーの 1 種でありワイヤとストリップを用いて 2 次元読み出しを可能にしたトリガーチェンバーである。このチェンバー仕組みについてをこの章で述べる。また、チェンバーからの読み出しを行うエレクトロニクスは、読み出された信号が複数のモジュールで段階的にコインシデンス処理を行いミュオン事象の候補を効率よく行う仕組みが設計されている。その処理の流れと個々のモジュールの役割について説明する。

### 2.1 動作原理

TGC は、内部に CO<sub>2</sub>/n-Pentane ( 55/45 ) 混合ガスが満たされ、ワイヤには通常 2.8kV の高電圧が印加されている。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化される図 2.2(a)。電離された 1 次電子は陽極側に Drift しながら印加電場によって加速され、ガス分子の電離エネルギーを超えると 2 次電子を生成する図 2.2(b)。これを繰り返し、タウンゼント型電子なだれと呼ばれるカスケード型の電子雪崩を形成する。電子とイオン雲はそれぞれ Drift によって互いに離れ図 2.2(c)、電子雲はワイヤを取り囲み図 2.2(d)、イオン雲はさらにその周りを取り囲むようにワイヤ半径方向に拡散していく図 2.2(e)。TGC はこの電子なだれをシグナルとしてワイヤから読み取る。同時にカソード面では、塗布された高抵抗のカーボン面に電荷が誘起さ

れ、外側のストリップにも電荷が誘起され信号として読み出される。タウンゼント型電子雪崩れで生じた励起分子やイオンの再結合による紫外線は、カソード面やガスに衝突して発生する二次電子によって自己放電を起こす可能性がある。そこで紫外線を吸収する効果 (クエンチ効果) のある n-pentane を封入し、紫外線を吸収することで二次電子を抑える。結果放電を抑えた安定した、高検出効率なオペレーションができる。

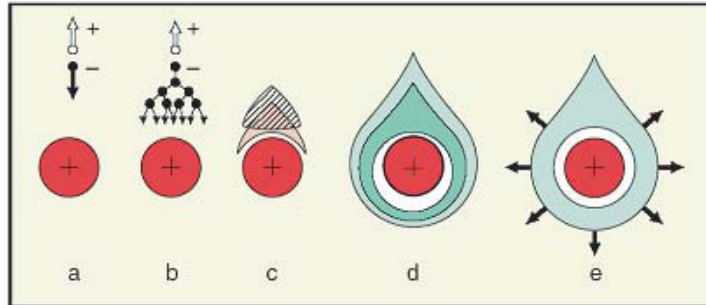


図 2.2: アノードワイヤでのタウンゼント型電子雪崩れの原理

イオン化によって電離された電子が、印加電圧によって加速されて、次々と 2 次電子を生成する。

## 2.2 TGC の配置と構造

TGC はエンドキャップマグネットの外側に位置するビッグウィールと外側に位置するインナーに分けられる。それぞれの配置について以下に述べる。また、チェンバーの基本的な構造について述べる。

### 2.2.1 TGC の配置

ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、 $\phi$  方向で約 10 万になる。その配置は図 2.3 に示すように、TGC システムは M1、M2 (Middle)、M3 (Pivot) とインナー (EIFI) の 4 つから構成される。M1 は 3 層 (Triplet) のチェンバー、M2、M3 は 2 層 (Doublet) のチェンバーから成り、トリガー判定には主にこの計 7 層が使われる。これら 4 つがそれぞれ、ATLAS の両側のエンドキャップで円盤状に並べられて配置される。

### 2.2.2 ビッグウィール (BW)

M1、M2 および M3 はビッグウィールと呼ばれる。ビッグウィールは  $1.05 < |\eta| < 2.7$  の領域をカバーし、 $|\eta| < 1.9$  の領域を Endcap と呼び、 $|\eta| > 1.9$  の領域を Forward と呼ぶ。ビッグウィールは 1/12 円 (円形状に配置した TGC を  $\phi$  方向に 12 等分したもの) が 1 つの大きな単位となっており、これを 1/12 セクターと呼ぶ (図 2.5)。データの処理などはこの単位で行われる (図 3.2 の赤い線で示された部分)。レベル 1 トリガーに関連する部分では、1/12 セクターはさらに図 2.4 で示すように、Endcap を  $\phi$  方向に 4 等分した領域と、Forward を  $\phi$  方向に 2 等分した領域に分割さ

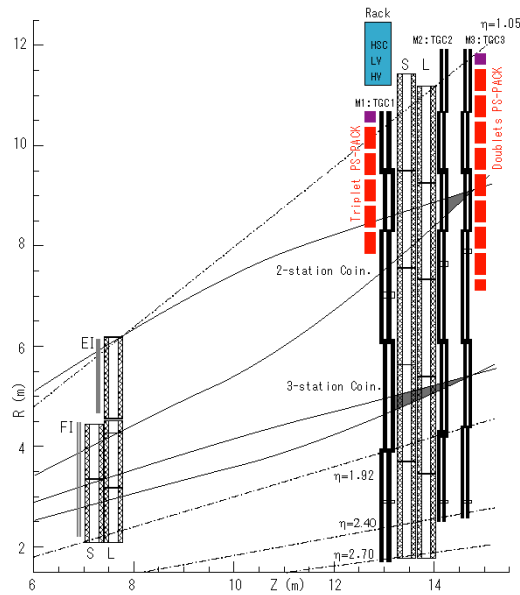


図 2.3: TGC の配置

TGC は M1(3 層)、M2(2 層)、M3(2 層) と EI、FI から構成される。

れ、それぞれトリガーセクターと呼ぶ ( 図 2.4 の水色の部分)。トリガーセクターの  $\phi$  方向の幅がちょうどチェンバー 1 枚の幅と一致する。さらにトリガーセクターは Endcap 領域では  $\eta$  方向に 37 分割、 $\phi$  方向に 4 分割、Forward 領域では  $\eta$  方向に 16 分割、 $\phi$  方向に 4 分割され、それぞれサブセクターと呼ばれる ( 図 2.4 の黄色の部分)。サブセクターは 8 ワイヤグループと 8 ストリップに対応しており、これらはトリガー処理の最小単位になっている。

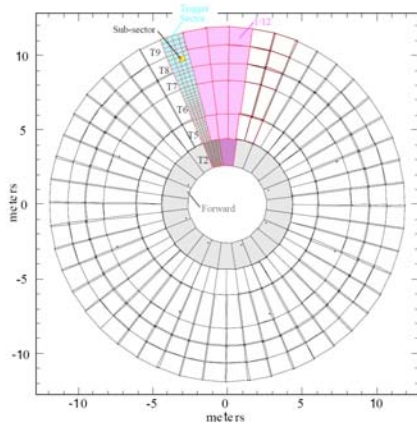


図 2.4: BW の配置と区分

BW は 1/12 セクターを基本として成り立ち、更にそこから  $\phi$  方向にトリガーセクターという単位に分割される。

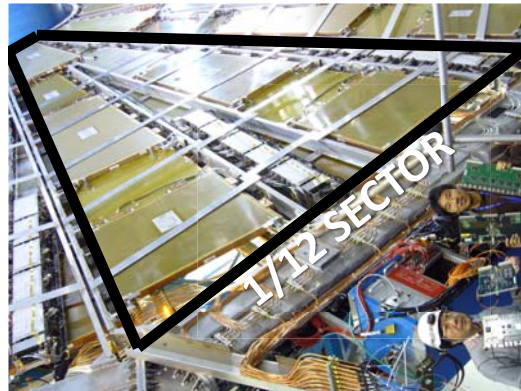


図 2.5: BW の 1/12 セクター

黒の線で囲まれた部分が 1/12 セクターである。セクター間で共通の配置になっている。

### 2.2.3 インナー (EI/FI)

インナーは  $1.05 < |\eta| < 1.9$  の領域を覆っている。図 2.6 に EIFI の配置を示す。色をつけてある部分が 1 つの単位になっており、これは全体の 1/8 に当たる。EI に関してはバレル部分のマグネットとが存在するため、その場所にチェンバーを置くことができないために所々に隙間が存在する配置となっている。

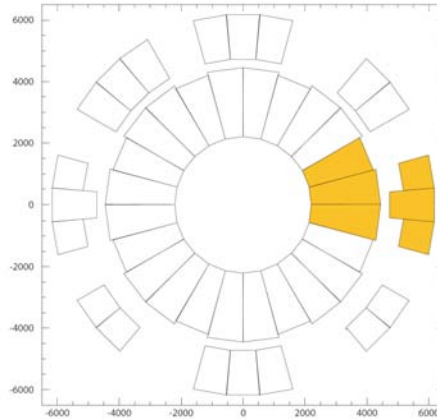


図 2.6: EIFI での TGC の配置と区分

24 個 FI チェンバー (内側) と 21 個の EI チェンバーからなる、マグネットとの位置関係により EI はところどころ隙間を空けた設計になっている。

### 2.2.4 TGC の構造

TGC はエンドキャップ部分を円盤状にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、1 辺が 1~2m ほどである。TGC の構造を図 2.7 に載せる。TGC は、高エネルギー実験でよく使われる MWPC (Multi-wire Proportional Chamber) 型チェンバーの 1 種であり、図 2.8 で示すように、ワイヤ面とカソード間の間隔 (1.4mm) がワイヤ間の間隔 (1.8mm) よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くしチェンバーの分解能をを上げることで、粒子を正しくバンチ識別することを可能にするためである。ワイヤとストリップの間隔が狭いのは (1) 陽イオンのドリフト距離を短くし、粒子が高レートで入射してきても検出効率を落とさないようにするため、(2) ワイヤ径を太くすることで、電場が強い領域をガス領域全体に広げガスゲインをあげ不感領域を減らすためである。その構造はアノードとして直径 50mm の金メッキしたタンゲステンワイヤが台形の上底、下底と平行に張られている。カソードはガラス・エポキシ板に表面抵抗が約  $1M\Omega$  のカーボンを塗布してある。ガラス・エポキシ版を挟んだ反対の面には、銅のストリップがワイヤに直交して並べてある。ワイヤには約 30cm 毎にワイヤサポートがある。ワイヤサポートはワイヤのたるみを防ぐためだけでなく、ガスの流路の形成と TGC の歪みを防ぐ役割も担っている。ワイヤは 4~20 本 (幅にして 10.8~36mm) をまとめて 1 つのチャンネルとして読み出す。ストリップは 32 本あり、各ストリップは Endcap 領域では 4mrad、Forward 領域では 8mrad に相当する幅 (15.1~53.4mm) を持ち、それぞれが 1 つのチャンネルとして読み出される。これにより TGC は 2 次元の読み出しが可能で、ワイヤにより R 方向の位置を、ストリップによって  $\phi$  方向の位置の検出を行う。

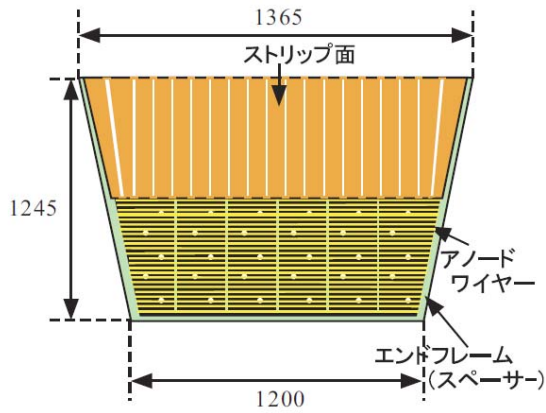


図 2.7: TGC の平面図

ワイヤとストリップが垂直に走り、2次元読み出しが可能になっている。

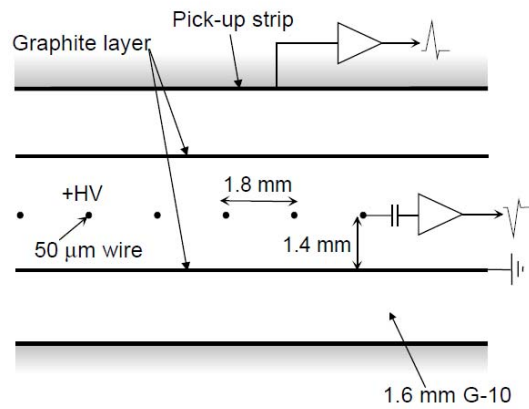


図 2.8: TGC の断面図

ワイヤ同士の間隔 (1.8mm) より、カソード面とワイヤの間隔 (1.6mm) が狭いのが特徴。

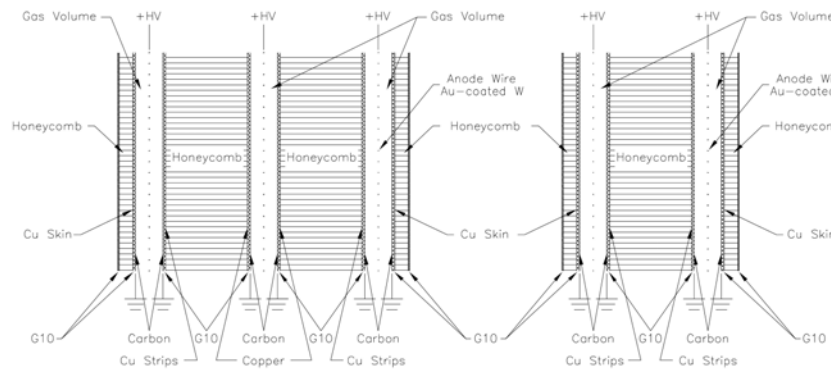


図 2.9: TGC の Triplet (左) と doublet (右) の構造

ATLAS の TGC には大きく Triplet と Doublet という 2 種類が存在する。Triplet は 3 層のワイヤと 2 層のストリップから読み出し、Doublet は 2 層のワイヤと 2 層のストリップから読み出す。

実際の ATLAS 実験では、TGC は 1 層 (singlet) では用いず、図 2.9 で示すように、2 層 (Doublet) または 3 層 (Triplet) を重ねた構造にする。Doublet の場合は 2 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。Triplet では、2 層目にはストリップがなく、3 層のワイヤ面と 2 層のストリップ面から読み出しが行われる。多層にすることで、各層のコインシデンスを取ってバックグラウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことが出来る。さらに、各層でチャンネルが  $1/2$  もしくは  $1/3$  ずれて配置しているため、実質の位置分解能は 2 倍もしくは 3 倍になる。

### 2.3 TGC の時間分解能

TGC の時間分解を図 2.10 に示す。TGC の入射角が 10 度の場合に伝搬遅延を考慮に入れると (図 2.10 の下段左)、timejitter は 30nsec 弱である。TGC の時間分解能は入射角が小さくなるにつれて悪くなり、また TGC に対する粒子の入射角は約 10 ~ 40 度であるので入射角 10 度の場合是最も TGC の分解能が最も悪い場合である。

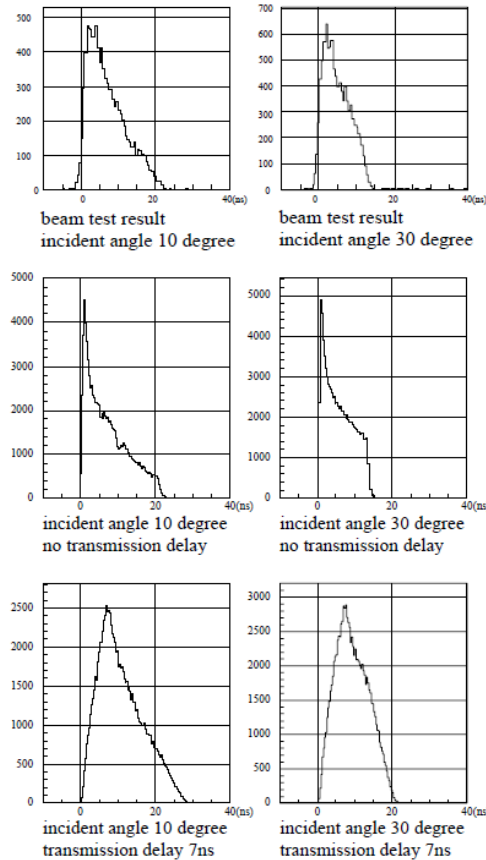


図 2.10: TGC の timejitter[6] (左) 入射角 10 度の場合 (右) 入射角 30 度の場合 [6]

上段のヒストグラムは実験結果から得られた TGC の信号読み出しの時間分布 (横軸に時間分布、縦軸にエンタリー) である。固定位置に荷電粒子を入射させているためにワイヤでの伝搬遅延のばらつきは含まれない。中段の図は TARGIEAELD というプログラム [6] を用いて TGC の分解能を計算したものである。その結果に対しさらに 0 ~ 7nsec の伝搬遅延を加えて TGC のタイムジッターを計算し直したものが最下段の図である。

## 2.4 TGC のトリガー判定

トリガー判定は BW の全 7 層を用いて行う。エンドキャップトロイドで作られる R- $\phi$  平面の磁場によりミュオンが R 方向にどれだけ曲げられたかを測定することでミュオンの運動量を計算する。計算された運動量は 6 種類の可変閾値で分別し、トリガーシステムに通知する。

判定には low- $p_T$  ( $>6\text{GeV}$ )、high- $p_T$  ( $>20\text{GeV}$ ) 判定の 2 種類の選別がある。図 2.11 に示すように、low- $p_T$  判定は、TGC2(2 層) と TGC3(2 層) の計 4 層を用いて行う。TGC3(pivot plane) のヒットと衝突点の間を直線で結ぶ。それに対し TGC2 のヒットがどこにあるかで、どれだけ磁場によりミュオンの飛跡が曲げられたかを判断する。この方法では  $6\text{GeV}$  以上のミュオンを判定する。もう一つは high- $p_T$  判定である。TGC2 と TGC3 で求めた飛跡情報に対して TGC1(wire:3 層、strip:2 層) でのヒット情報を要求することで、 $p_T$  を 6 段階で分別する。

エンドキャップソレノイドで作られる磁場が理想的ならば、粒子は R 方向にのみ曲げられるので、R 方向のみでずれを計算するだけで良いが、実際には R- $\phi$  平面でも磁場にばらつきがあるので、 $\phi$  方向についても飛跡情報から曲がり具合を求めなければならない。最終的に R- $\phi$  方向の情報を統合して判断しトリガー判定を行う。

トリガー判定は、サブセクターという単位で行われる。TGC の 1/8 部分に対するトリガー分割領域を図 2.12 に示す。EndCap は R 方向に 37 分割、 $\phi$  方向に 4 分割され 148 個のサブセクターから成り立ち、Forward は R 方向に 16 分割、 $\phi$  方向に 4 分割されるため 64 個のサブセクターから成り立つ。それぞれのサブセクターにおいて独立にトラック選別を行いトリガー判定を行う。それぞれのサブセクターは RoI に対応し位置情報として LVL2 伝えられる。

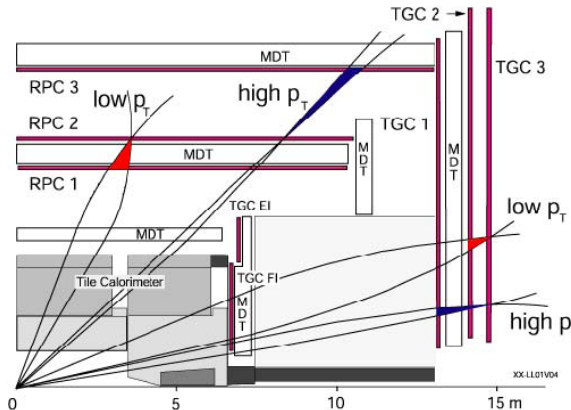


図 2.11: low- $p_T$  判定と high- $p_T$  判定

Doublet (TGC2&TGC3) を用いて low- $p_T$  判定を行い、そこに Triplet (TGC1) のヒット情報を要求することで high- $p_T$  判定を行う。

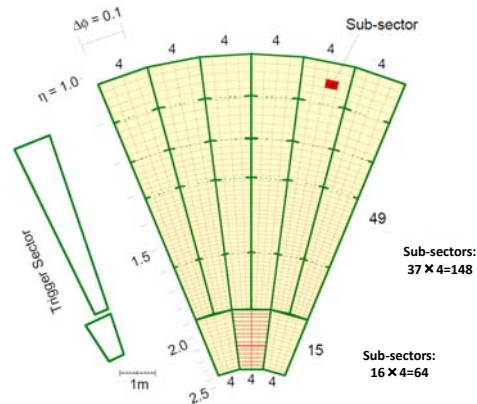


図 2.12: RoI

ひとつのトリガーセクターの中から最大二つまでの high- $p_T$  ミュオンの候補が選ばれその  $p_T$  情報と位置情報 (RoI) が LVL2 に伝えられる。

## 2.5 TGC エレクトロニクス

### 2.5.1 エレクトロニクス概要

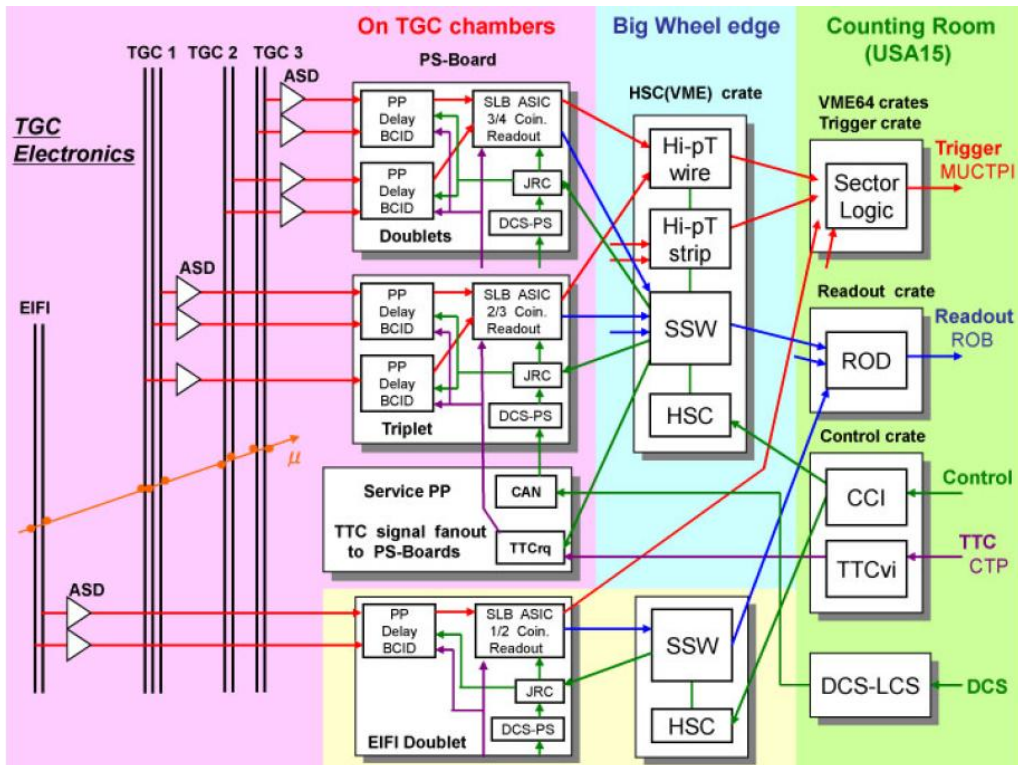


図 2.13: TGC エレクトロニクス概観

赤色がトリガーライン、緑色がコントロールライン、青色がリードラインを示す。

TGC エレクトロニクスには、大きく分けて次の 3 つの部分がある。

- トリガー系                    25nsec 毎に流れるトリガー判定
- リードアウト系                TGC 各層でのミュオンヒットチャネル情報の読み出し
- コントロール系                各モジュールのコントロール

TGC エレクトロニクスの全体像を図 2.13 に示す。赤線、青線、緑線はそれぞれトリガー系、リードアウト系、コントロール系を表す。チェンバー本体に取り付けられた、ASD からのヒット信号は PS-Board (Patch Panel Slave Board) に向かう。ヒット信号はまず Patch Panel (PP) に入り、ケーブルや衝突から検出点までの時間差などが調整された後に BCID 回路により 25nsec (40MHz) に同期される。次に信号は Slave-Board (SLB) に入る。ここでは TGC1 の各層の間で、また TGC2 と TGC3 の各層の間でコインシデンスが行われ、位置情報や、磁場によりどれだけ曲ったかの情報を計算し、その情報を HighT Board (HPT) に送る。またここで TGC のヒット信号は L1 Buffer というパイプラインメモリに書き込まれ、L1A が届いたときだけ信号は読みだされる仕組みになっている。TGC1 と TGC2,3 からのコインシデンス情報は HPT 内のコインシデンスマトリックス

回路によりコインシデンスが取られる。ここまでの処理はストリップとワイヤーで別々に行われている。HPTからの信号はSector Logic Board(SL)に送られ、ここでワイヤー方向とストリップ方向の2座標から飛跡情報が組み合わされ2次元位置情報と6段階の $p_T$ 情報に変換される。SLからの信号はMuCTPI(Muon CTP interface)に送られる。またL1Aを受けてL1バッファから読み出された信号は、SSWを経由して測定室に置かれるROD(Read-Out-Driver)に対して送られる。LHC加速器と同期した40MHzのクロックや、トリガーとタイミング調整のための信号は、TTC(Trigger Timing Control)と呼ばれる光信号によって各測定器に配られる。

### 2.5.2 トリガー

トリガー系の流れを図2.14に示す。ASD(Amplifier Shaper Discriminator)boardにおいてチェンバーからの信号はデジタル化されPP(Patch Panel)に送られる。PPではBCID回路に入りATLASの40MHzと同期される。その後のロジックは全てクロックとの同期回路で行われることになる。PPを出た信号は、SLB(Slave-Board)に入る。SLBはTriplet(TGC1)用のものとDoublet(TGC2とTGC3)用のものが存在し、前者はTGC1の3層からの信号を用いて2/3(stripにおいては1/2)のコインシデンスを取ることにによりその位置情報を得る。また後者では、TGC2とTGC3の4層の信号を用いて、3/4コインシデンスを取ることににより、飛跡情報を得る。TGC1とTGC2,3の各情報はHPTに送られる。HPTにおいては、TGC2,3で得られた飛跡情報に対してTGC1で得られた位置情報を加味することにより、最高2つまでの $high-p_T$ 候補となるトラックを選び、SLに対して情報を送る。

HPTまでの情報はStrip方向とWire方向で別々の処理が行われているので、SLではストリップ方向の情報とワイヤー方向の情報を統合し、LUT(Look Up Table)というメニューと照らし合わせ、 $p_T$ の値を6段階で判定し、各トリガーセクターから最高二つまでのトラック候補を選び出しその位置情報とともにMuCTPIへ送る。

### 2.5.3 リードアウト

リードアウト系の流れを図2.15に示す。ASD→PPと流れてきた信号は、SLBに入りL1バッファに書き込まれる。L1A受信時には該当するバンチのヒット情報だけがSSW(Star Switch Board)へ送られる。SSWでは複数のPS-Board(PatchPanel Slave-Board)からの信号をまとめてROD(Read Out Driver)に対して情報を送る。さらにRODはその信号を受けると、データの整合性のチェックを行いROBに対して信号を送る。

### 2.5.4 コントロール

HPTとSSWはTGCチェンバーのすぐ近くに設置してあるVMEクレートに収められている。これらのモジュールのコントロールは、同じVME内にあるHSC(High-pT Star-switch Controller Board)と測定器におかれたCCI(Control Configuration Interface Board)との間で通信によって行われる。

また、SSWとPS-Boardおよびそのボード内の通信は、Jtagプロトコルを用いて行われる。PS-BoardとH-pT/SSW間の通信にはシリアルライズされたLVDS信号が使われ、HSC/H-pT/SSWと測定室内のCCI/Sector Logic/RODとの通信にはG-Link光信号が使われる。

またPS-Board上にはDCS(Detector Control System)カードが実装されており、ASDへの関

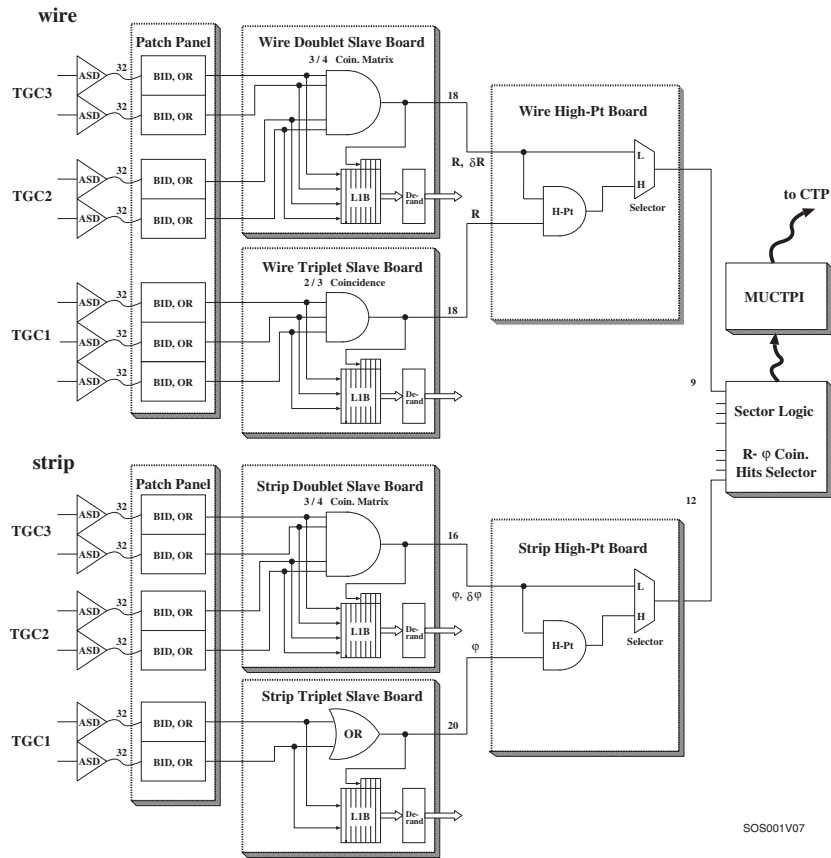


図 2.14: トリガー系のブロック図

段階的にコインシデンス処理を行い高い運動量を持つミュオン飛跡の候補を選別する

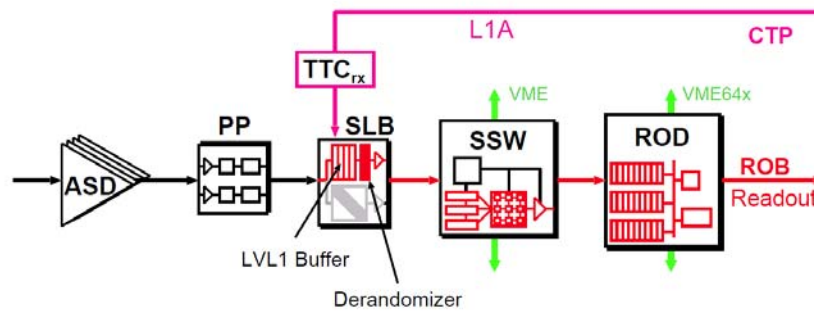


図 2.15: リードアウト系のブロック図

ASD→PP→SLB→SSW→ROD の流れで徐々にデータがまとめられる

値電圧の供給，チェンバーからのアナログ信号のモニター，電源・温度・位置センサーなどのモニターを行う。測定室内 PC と DCS 間の通信は CANbus を用いて行われる。

### 2.5.5 TGC エレクトロニクスの設置

図 2.16 にエレクトロニクスの配置位置を示す。Triplet(TGC1) の PS-Board は TGC1 の側面につけられる。Doublet(TGC2 TGC3) の PS-Board は TGC3 のチェンバー側面につけられる。HPT と SSW は TGC1 のチェンバーの端部にある VME クレートにインストールされている。SL と ROD は測定器がある場所 (UX15) から離れた USA15 にインストールされる。EIFI においては、BW と異なりチェンバーから少し離れた VME クレートに全てのセクターの SSW と PSB がインストールされる。

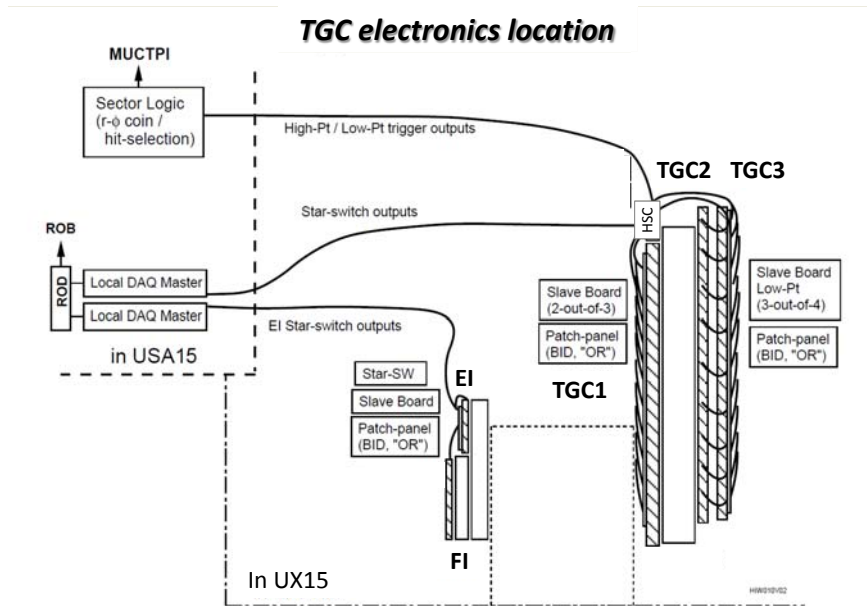


図 2.16: TGC エレクトロニクスの配置

BW においては Ps-Board(Patch Panel Slave Board) は測定器室 (UX15) のチェンバー側面に設置される、TGC2 と TGC3 の Ps-Board は共通であり TGC3 の側に設置される。それぞれの PsBoard からの信号は、HSC クレートにインストールされる HPT/SSW を経由して光ファイバーで USA15 の SL/ROD にトリガー・リードアウト情報送られる。EIFI はチェンバーから離れたクレートに全ての PSB と SSW がインストールされ、光ファイバーを通して USA15 の ROD にリードアウト情報が送られる。

## 2.6 各エレクトロニクス

TGC エレクトロニクスの各モジュールの役割について述べる。

### 2.6.1 Amplifier-Shaper-Discriminator(ASD)

ASD はチェンバーの端部に備え付けられており、チェンバーからの信号をデジタルの LVDS(作動信号) に変換し Patch panel に届けられる。ASD ボードは全チェンバーに対して共通の作りに

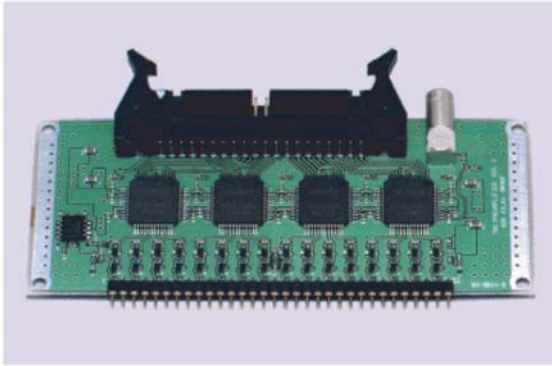


図 2.17: ASD

4ch を処理する chip が 4 枚搭載されており、一つのボードで 16ch の信号を処理できる。[1]

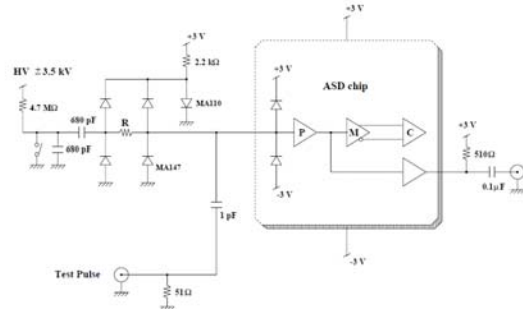


図 2.18: ASD ASIC のブロック図

チェンバーから入力された信号はプリアンプで整形されメインアンプで 7 倍に増幅されコンパレータで threshold 電圧と比較されそれを超えたものは LVDS として PP に送られる。

なっている。1 つで 4ch の信号を処理できる chip が 4 枚付いているので一つのボードで 16ch の信号を処理できる。図 2.18 に ASD チップのブロック図を示す。二つのアンプが存在し、一つ目のアンプは  $0.8\text{V/pC}$  のチャージアンプである。二つめのアンプは 7 倍ゲインの差動アンプである。二つのアンプを通過した信号はコンパレータで閾値電圧と比較され、LVDS 信号として出力される。またプリアンプとメインアンプの間にはチャージモニター用のアウトプットがついており、LVDS に変換される前の信号をスコープなどを用いて確認することができる。また ASD は PP からテストパルスが入力があるとそれぞれのチャンネルに対しパルスを入力する。

### 2.6.2 PatchPanel Slave-Board(PS-Board)

PS-Board にはその名の通り PatchPanel と Ps-Board が実装されている。その写真を図 2.19 に示す。どこのチェンバーからの信号を読み出すかにより全部で 17 種類のボードが存在する。ASD からやってきた信号を受け、バンチ識別と信号間のタイミング調整コインシデンス処理を行い、 $H-p_T$  ボードにトリガー情報を、SSW にリードアウト情報を送る。また、ASD ボードに対して DC 電源、閾値電圧の供給を行う。

次に PatchPanel と SLB について詳しく述べる。

### 2.6.3 PatchPanel(PP)

PP は ASD からやってくる LVDS Signal を  $40\text{MHz}$  にバンチ化する役割を持つ。チェンバーからの信号は SLB で最初のコインシデンスを取られる前にまずここで  $40\text{MHz}$  に同期されるので正しくバンチ識別をする必要がある。しかし PatchPanel までに信号が到達するのにかかる時間は TOF(time-of-flight) や ASD と PSB 間を結ぶケーブル長の差により大きく異なる (約  $50\text{nsec}$ )。3 章で述べるように、それらを補正するために、ここではサブナノ秒単位で信号のを遅らせることができる PLL を利用した可変遅延回路が実装されている。また BCID 回路においては、二つの遅延が用意されており一つはシグナルと PP のクロックの位相を揃えるために使われるもので、もう一つは実効的なゲート幅を広げるための遅延がある。さらに BCID 回路にはノイジーなチャンネル

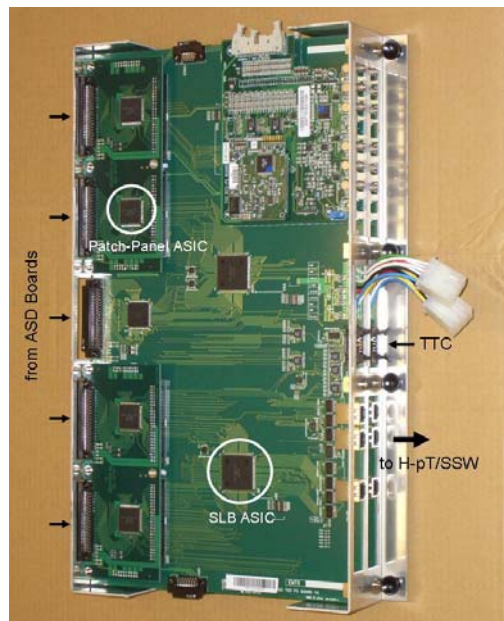


図 2.19: PS-Board

PatchPanel(PP) Slave-Board(SLB) が搭載されたボード

には読み出しを行わない様にするマスク機能も実装されている。

また、PP は ASD に対してテストパルスを送る機能がついている。このテストパルスは大きさを様々な値 (0 ~ 300mV の範囲を 16 段階) とすることができ、またテストパルスを送るタイミングはサブナノ秒単位で変えることができる。

## BCID 回路

レベル 1 トリガーは 40MHz で起こる衝突に対して興味あるバンチを一意に決定する必要がある。そのためには、TGC の時間分解能と BC クロックに同期して開かれるゲート (BCID ゲート) の幅の折合いが重要になる。BCID 回路のブロック図を 2.21 に示す。既に述べたとおり、この回路では遅延値を変えることで BCID ゲートの幅を 26nsec ~ 48nsec まで変更することが可能である。ここで、TGC の分解能は既に述べたとおり、最も悪い場合 (入射角 10 度) で 30nsec 弱でありゲート幅に収める事が出来る。ただしこれらは、ケーブル長と TOF の差が完全に吸収できた仮定での話である。そのために行われるタイミング調整については、第 3 章で述べる。

### 2.6.4 Slave board(SLB)

SLB では PP でバンチ化された入力信号をコインシデンス処理することにより粒子の位置情報や軌跡の特定を行う。また L1A を受け取るとヒット信号を読みだすために SSW に情報を渡す。SLB には 5 つのタイプのロジックが用意されている。BW の (Triplet or Doublet) × (Wire or Strip) の 4 種類と、EIFI での 1 種類 (Wire と Strip 共通) である。ヒット情報がどれだけ R 方向 (strip では

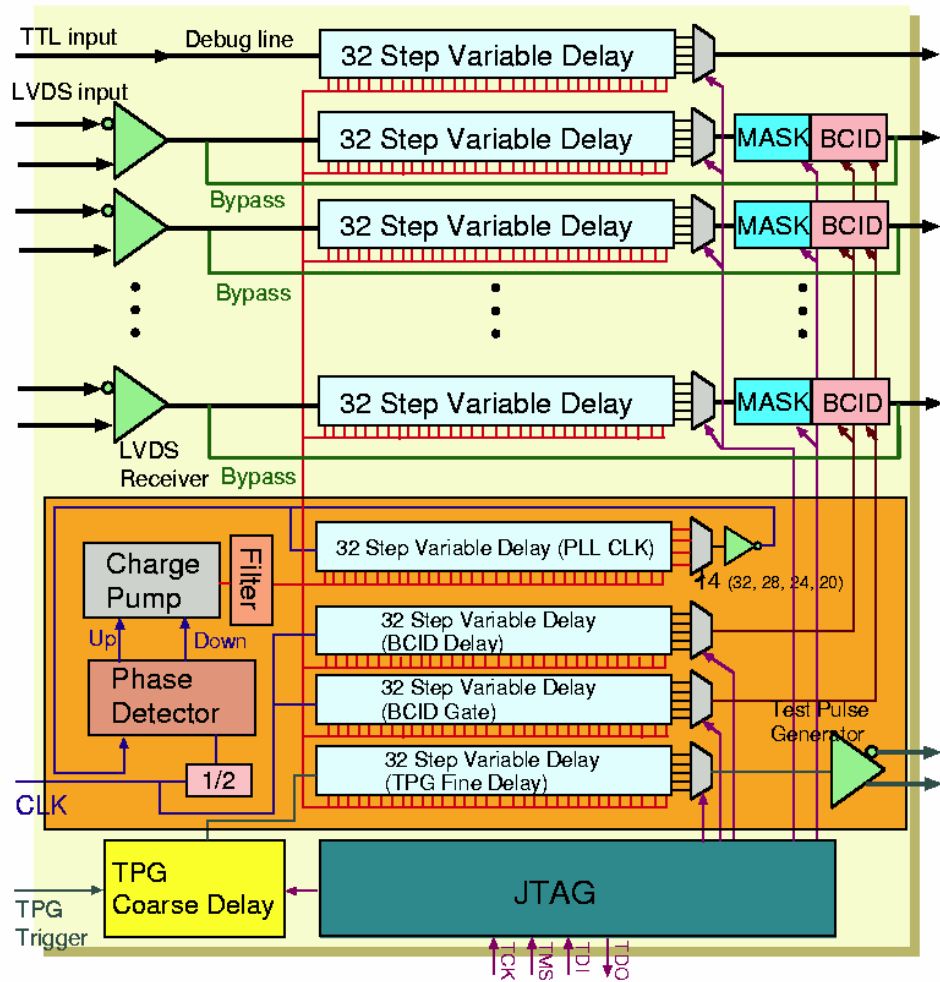


図 2.20: PP ASIC のブロック図 [2]

PP ASIC には正しくパッチ識別を行うためのタイミング調整機能と、ノイズなチャンネルに対してマスクをかける機能が実装されている。

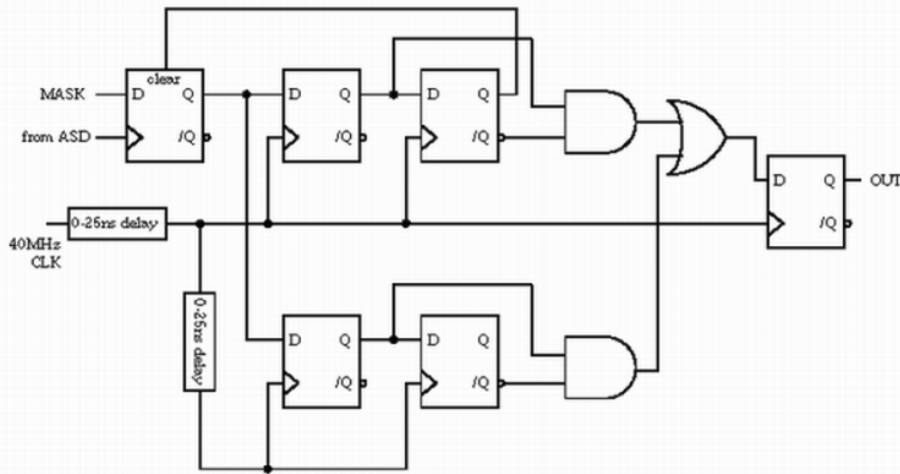


図 2.21: BCID 回路のブロック図

40MHz のクロックを遅らせるための遅延と 25nsec 幅のゲート幅を実効的に広げるための遅延が実装されている。

$\phi$  方向) に離れているかをコインシデンス処理で求める。コインシデンスを取る領域はの上限を下回る領域はちょうど四角い窓の形になるためコインシデンスウィンドウと呼ばれ、R 方向が  $\pm 7$ 、 $\phi$  方向が  $\pm 3$  である。BW においては、Doublet では  $3/4$  のコインシデンスを行うことで飛跡情報を決定することができ、Triplet ではワイヤーが  $2/3$ 、ストリップが  $1/2$  のコインシデンスを行い、その位置情報を決定する。EIFI では  $1/2$  の条件でコインシデンスを行いその位置情報の決定を行う。それら情報は HPT に送られる。また、リードアウト部分においては、PP からの入力信号を深さ 128 のバッファである L1 Buffer に格納し、L1A を受信すると該当するバンチとその前後 1 バンチ分のデータをイベント ID と共に出力する。SLB での入力の直前には遅延回路が実装されている。クロック単位で信号を遅らせることができる。さらに、PP のようにテストパルス機能も実装されており、テストパルストリガーを受けると PP から信号の代わりにテストパルスが SLB に対して入力される。このテストパルスはシステムのタイミング調整やトリガーの動作検証において用いられる。

### 2.6.5 HighPt Board(HPT)

HPT は TGC2, TGC3 からの飛跡情報と TGC1 のヒット情報をつなぎあわせるトリガーマトリックス回路である。マトリックスの前には、ケーブル長の違いなどから生じる時間差を調節するための遅延回路が付加されている。ワイヤー用のボードが 5 枚 (Endcap $\times 4$ , Forward $\times 1$ )、ストリップ用のボードが 3 枚 (Endcap $\times 2$ , Forward $\times 1$ ) で計 8 種類のボードがある。この後、信号は光ファイバーを通して、50 ~ 90m 離れた測定室にある SectorLogic に送られる。

### 2.6.6 Sector Logic(SL)

SL(図 2.24) はワイヤー HPT からの R 方向の飛跡の曲がりの情報と、ストリップ HPT からの  $\phi$  方向の曲がり情報から、6 段階の  $p_T$  値に変換し、その座標値と共にミュオンの飛跡情報を

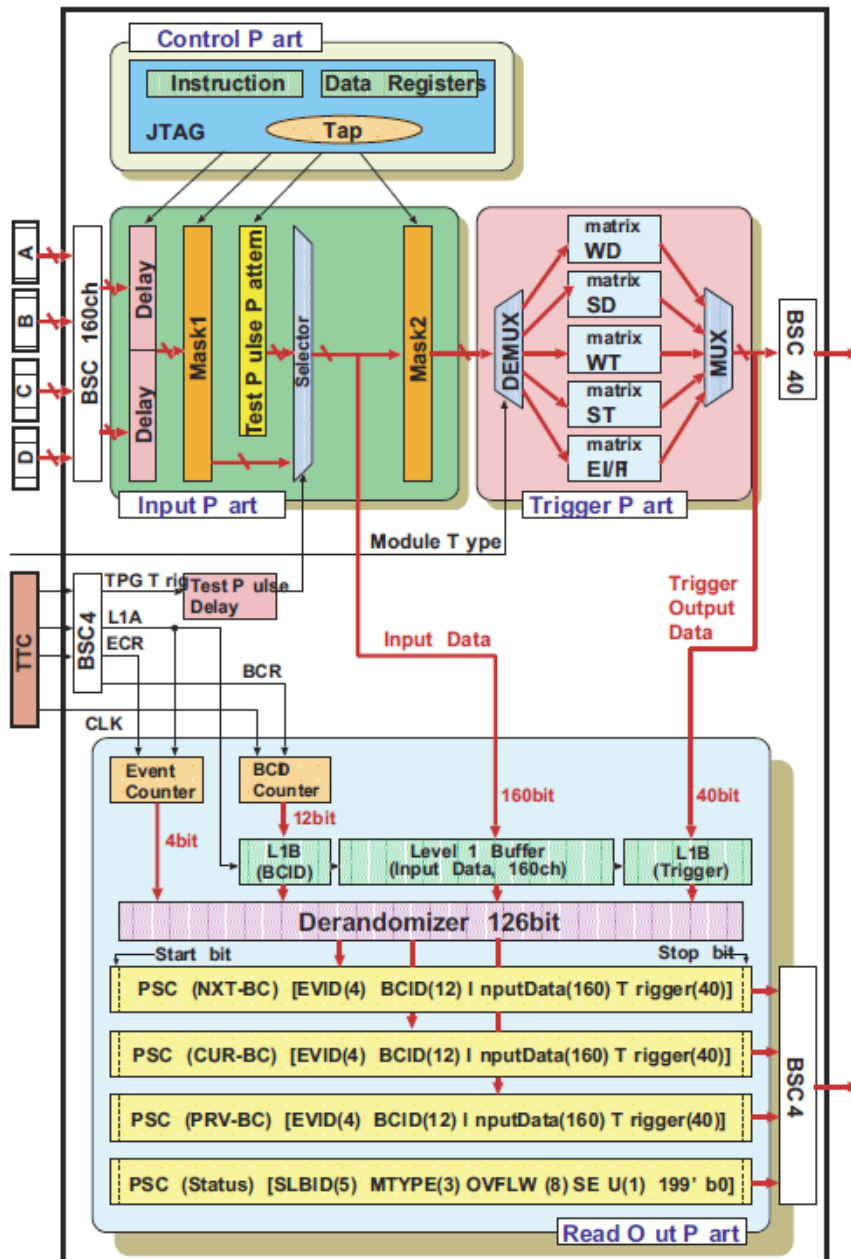


図 2.22: SLB ASIC のブロック図 [3]

パッチパネルから入力された信号は、コインシデンス処理されるトリガーパートと、ヒット情報を SSW に送るリードアウトパートそれぞれに送られる。

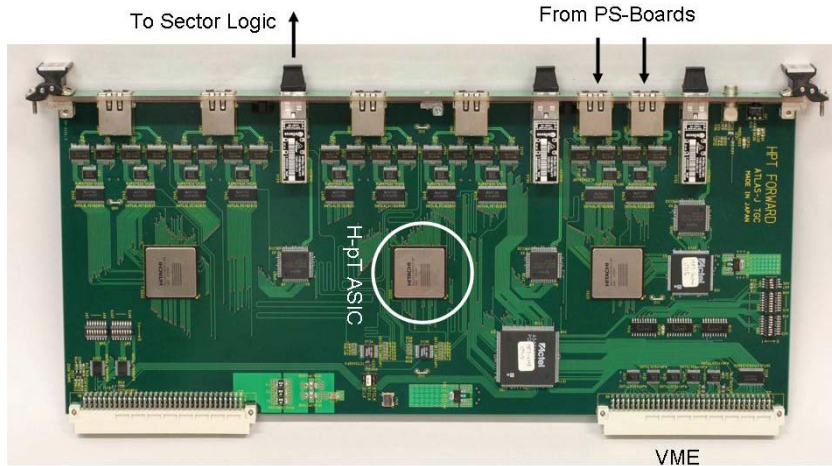


図 2.23: High pT Board

PS-Board からのトリガー情報から TGC1 と TGC2、3 の情報をつなぎ合わせ Sector Logic Board に送られる。

MuCTPI に送るものである。

一つのセクターで 3 枚のボード (Endcap×2、Forward×2) が存在し、TGC には 24 個のセクターが存在するので全部で 72 枚のボードがインストールされた。一つのセクターロジックから最大 2 個のミュオン飛跡が選ばれる。トロイド磁石による磁場が理想的ならばミュオンの飛跡は  $R$  方向にのみ曲がり、 $\phi$  方向には曲がらない。しかし実際の磁場はそうではなく、干渉により大きく乱されている場所が存在する。ミュオン飛跡で見ると、まったく曲がりのないところや、 $\eta$  方向ではなく  $\phi$  方向にのみ曲がるというようなところもある。このようなトロイド磁場に対応するため、SL は非常に細分化された Look-Up-Table (LUT) を持っており、飛跡の場所に応じた LUT (Look Up Table) により  $\eta$ - $\phi$  両方向の曲がりから Pt 値を算出する。

### 2.6.7 Star Switch Board (SSW)

SSW は、複数の PSB (4~8 個) からの信号を受けそれらをひとまとめにして、ROD (Read Out Driver) へと送る役割を持つ。この際、転送するデータ量を減らすためにヒットがない SLB についてはその情報を省いてしまう zero-suppress が行われる。図 2.25 に SSW の写真を載せる。SLB からのデータはまず Rx (レシーバー) に入りデータの圧縮が行われる。その後データは、Tx (トランスミッター) に送られ、フォーマットされる。フォーマットされたデータはシリアルライズされ、光 Fiber で 50~90m はなれた測定室にある ROD に送られる。また SSW は、PS B 上の PP、SLB に対し JTAG プロトコルによってレジスタ設定と、 $I^2C$  通信により TTCrx の設定も行う。

### 2.6.8 ReadOut Driver(ROD)

ROD (Read Out Driver: 図 2.26) は TGC エレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。ROD は複数の SSW からシリアルライズされた圧縮データを受け取り、パラレルデータに戻し、FIFO メモリーに一時格納する。このデータを、トリガー情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、トレーラー

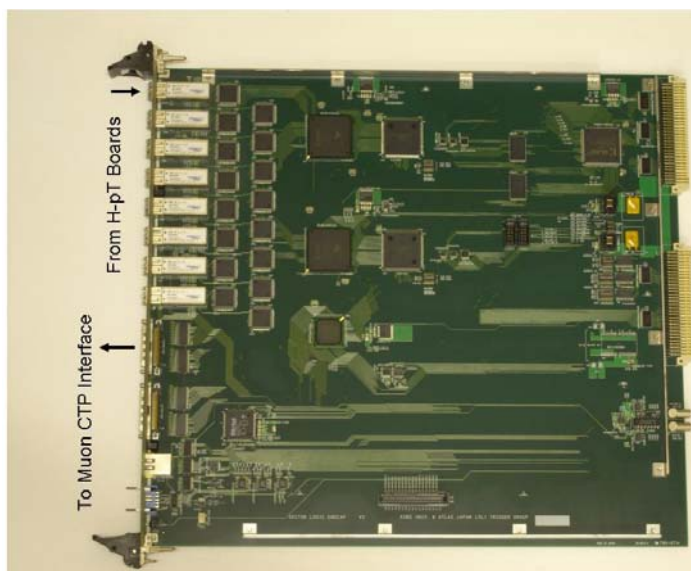


図 2.24: Sector Logic

HPT の入力情報から最終的なトリガー判定を下し、MuCTPI にその情報を伝える。

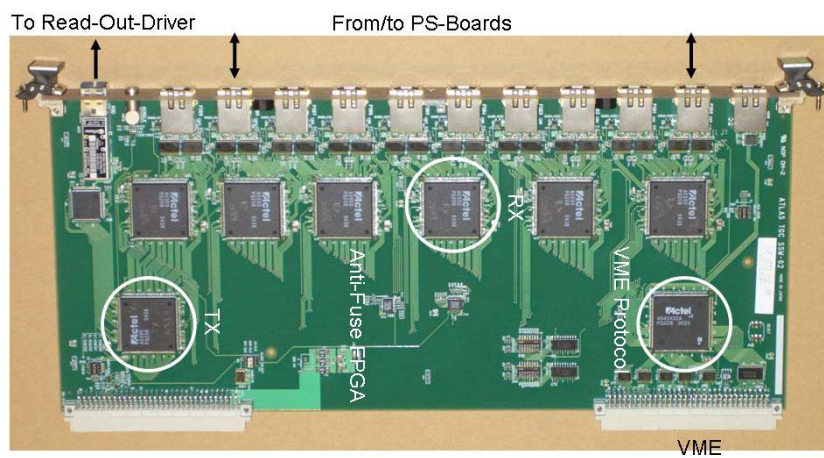


図 2.25: SSW

SSW は複数の SLB からの情報を受け取りそれらをまとめて ROD にデータを送る

をつける。まとめられたデータは S-link という、光信号で ROB に送信される。イベントの同定やヘッダー、トレーラーをつけるためには TTC からのトリガー情報が必要となるそのため、ROD には TTCrx が搭載され、これにより TTC からの信号を受け取ることができるようになっている。



図 2.26: ROD

複数の SSW からデータを受け取りそれらをまとめ ROB にデータを送る

### 2.6.9 HPT SSW Controller(HSC)/Control Configuration Interface(CCI)

HPT と SSW を入れるためのクレートは、実験室内のビッグウィールの端部に備え付けらる。そのために放射線の影響が非常に大きい。しかし、放射線環境下で使用できる VME クレートをコントロールする CPU ボードやコントローラは存在しない。そのためにコントローラは独自に開発された。それが Configuration ControlInterface モジュール (CCI) と H-pT/SSW Crate Controller (HSC) モジュールである (図 2.27)。このボード間を通して VME と通信を行い、さらに VME バス経由で SSW や HPT のコンフィグレーションを行う。また項 2.6.7 でも述べたように、PSB や TTCrx のコンフィグレーションは SSW 経由で行う。このモジュールは TGC 検出器フロントエンドのコンフィグレーションの要となる。



図 2.27: CCI ボード HSC ボード

CCI は USA15 に HSC は実験室におかれる。その間は光ファイバーで結ばれる

### 3 タイミング調整とその検証

大型測定器を用いて行われる実験においてそのタイミング調整は大きな課題となる。特に ATLAS 実験においてはビーム衝突間隔が 25nsec と非常に短く検出器のチャンネル数も非常に多いため実験全体でのタイミング調整はチャレンジングな課題となる。この章では主に TGC システム内でのタイミング調整のストラテジーとテストパルスを用いたその検証について述べる。

#### 3.1 ATLAS 実験全体でのイベント同期とタイミング調整

ATLAS の各測定器は L1A を TTC システムから受信し、それに対応したヒット情報を読み出す。各測定器には Bunch Counter、Event Counter が存在し、読み出した各情報に対してどのバンチ衝突で起きた信号なのかを識別するための BCID(連続して入射するバンチのうち、それが何番目のバンチか)、L1ID(実験を通して何番目の L1A によって読み出された情報か)を付加する。それらの ID の整合性を実験全体を通して保つために、BCR と ECR という基準となる信号が TTC システムを通して各測定器に送られる。BCR は orbit 信号(陽子が LHC リングを一周する時間:88.924 $\mu$ sec と同じ周期で送られる信号)と同期して送られ、Bunch Counter のリセットに使われる。ECR はある決まった周期で TTC システムから発行され Event Counter のリセットに使われる。

BCID と L1ID の整合性を取ることで、システム内でのタイミングの同期が行われる。例えば、各測定器において複数の読み出し要素からの信号は一度 ROD(Read Out Driver) に集められるが、ROD はそれらの各要素の間で BCID と L1ID が一致しているか整合性をとる。また ROD 自身が TTC システムを通して受け取る L1ID と BCID とも整合性を見る。そのようにすることで、正しい ID が付加された適切な数の読み出し情報が ROD に届いているのかチェックする事ができる。また、異なる測定器の間の情報を統合してイベント構築する際にも測定器間で ID の整合性の確認が行われる。このようにして ATLAS 実験全体でタイミングが同期される。

ID の整合性が DAQ の各段階でチェックされることについてここまで述べたが、そもそも各測定器において間違った ID が付加されると整合性は正しく取ることができない。そのため各測定器においてはどのバンチ衝突で生じた粒子なのかを正しく識別するためのタイミング調整がなされていなければならない。

また TGC システムのようなトリガー測定器においては、全測定器に L1A を発行する必要がある。そのためには「興味あるバンチを一意的に特定する」必要がある。そのため正しくバンチ識別をすることはより重要となる。しかし、TGC システムは ATLAS 測定器の最も外側に配置されるため、読み出し系どうしでの位置関係は大きく広がっており、衝突点から TGC に粒子が届くまでの時間やモジュール間を結ぶケーブルによる時間差が大きくなる。そのため総読み出しチャンネル 32 万の TGC におけるタイミング調整を行う事はチャレンジングな課題となる。次項から TGC システム内でのタイミング調整の方法について述べていく。

#### 3.2 TGC システム内でのタイミング調整

前項で述べたとおり、TGC システムは「興味あるバンチを一意的に特定する」必要がある。そのためにはバンチ衝突に対応して 25nsec 毎に開く BCID ゲートにそのバンチ衝突で生じる全てのミュオン信号を納める必要がある。しかし、ミュオンが衝突点から TGC チェンバーに届くまでの TOF(time-of-flight) の違いは高速に飛ぶ粒子でも 19nsec(44.9nsec-63.9nsec)あり、さらにチェンバーで捕えられたミュオン信号が PP に届くまでのケーブルはチェンバーとエレクトロ

クスの位置関係から様々な長さ (1.8m ~ 12.5m) を持つ。そのためにバンチ識別が行われるまでに最大 51nsec (65nsec ~ 116nsec) のタイミングのばらつきが生じる。そこに TGC の timejitter (30nsec 弱) を加えると、バンチ識別が行われるまでのタイミングばらつきは 80nsec 近くになる。この値は 2.6.3 で述べたとおり、BCID ゲートの幅 26nsec ~ 48nsec を超えてしまう。そのためタイミング調整を行わなければ、ゲートから信号がこぼれ正しくバンチ識別を行う事ができない。また、異なるバンチの間でのアクシデンタルコインシデンスを減らすためには BCID ゲートの幅を LHC のバンチ間隔である 25nsec 幅に近づける必要がある。そのために TOF とケーブル長の差から生じる時間差を吸収し、そのタイミングをゲートが開く時間にタイミングを揃える必要がある。そのために、PP Asic に実装されているサブナノ秒単位の遅延回路を用いてタイミング調整を行う。

さらに、正しくバンチ識別が行われた後も、トリガー判定を行う各モジュール間を結ぶ信号ケーブルは様々な長さをとるために、正しくコインシデンス処理を行うにはクロック単位でのタイミング調整が必要になる。また、信号読み出しの際にもタイミング調整が必要である。TGC のヒット情報は L1 バッファというパイプラインメモリに書き込まれ、L1A の入力があると該当するバンチのデータが読み出されるが、この際に L1A を受けとるタイミングを正しく合わせなければ、見るべき情報を読み出すことができない。

このようにいろいろなタイミング調整が必要な部分があるが、TGC システムにはこれらのタイミングが揃えられるように様々な段階に遅延回路が実装されている。次の章からタイミング調整のスキームについて述べる。

### 3.3 タイミング調整のスキーム

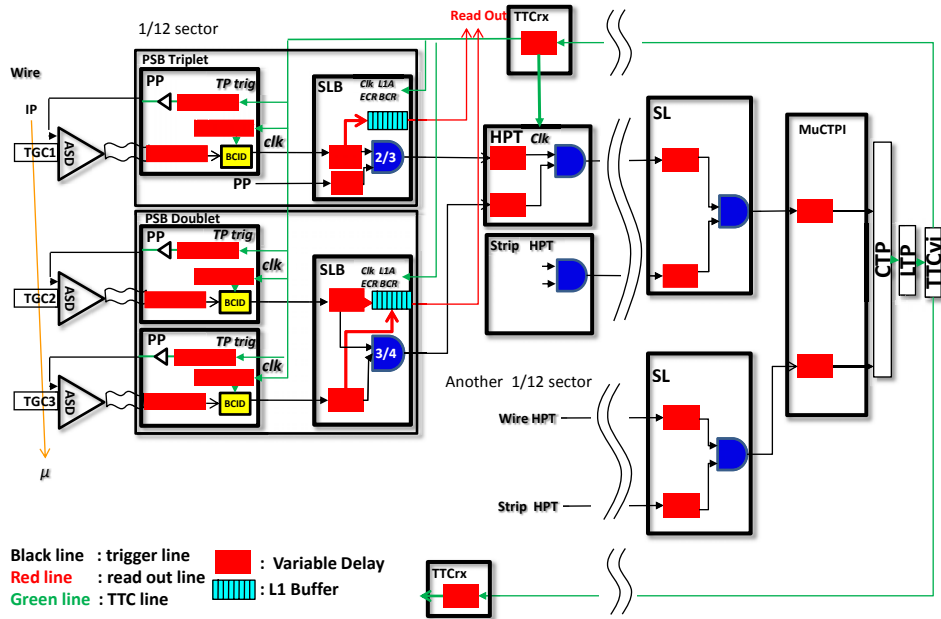


図 3.1: TGC システムの全体像と遅延回路

TGCシステムはタイミングを合わせられるように様々な段階に遅延回路が実装されている。TGCシステムにおける遅延が実装されている場所を図3.1に載せる。以下に「遅延回路のステップ」、「可変範囲」、「それらが用いられる場所」についてまとめる。

1. PP/SignalDelay:1 ステップ 25/30(0.83)nsec 可変範囲 0~26nsec ASDからのhit信号に対する遅延。TOF+CableDelayの差を吸収する
2. PP/BcidDelay:1 ステップ:25/30(0.83)nsec 可変範囲 0~26nsec BCID回路に供給される40MHzclockへの遅延 Signal DelayでTOF+CableDelayの差吸収できない場合に用いられる
3. PP/TP Delay :1 ステップ:25/30(0.83)nsec 可変範囲は0~8clock ASDに対して送るテストパルスのタイミングを遅らせる。テストパルストリガー受信後、ASDにテストパルスを送る際に遅延をかける
4. SLB/Delay:1 ステップ 1/2clock(12.5nsec) 可変範囲は0~3.5clock 異なるTGC間でのタイミング調整に用いられる。
5. HPT/Delay:1 ステップ 1/2clock(12.5nsec) 可変範囲は0~3.5clock PSBとHPTの間を結ぶケーブル長の差を吸収する。
6. SL/Delay: 1 ステップ 1/2clock(12.5nsec) 可変範囲 0~15.5clock(FPGAチップの書き換えで可変範囲を変更することが可能である)。複数のHPTから届くケーブル長の差を吸収する。
7. MuCTPI/Delay: 1 ステップ 1clock(25nsec) 可変範囲は0~10clock 異なるセクターから届く信号のタイミング差を吸収する。
8. TTCrx/Delay:ステップは100psec 可変範囲は0~15clockである。TTCviからTTC信号を受け取る際に生じる遅延差を吸収する。

次からこれらの遅延回路を用いてチェンバーで検出されたミュオンの信号が各段階で適切にタイミング調整され、さらにその結果発行されたトリガー信号を正しいタイミングで受けヒット情報の読み出しを行うまでのストラテジーを述べる。

### 3.3.1 TOFとシグナルケーブルによる遅延の補正(IP to PP)

PPでは正しいバンチ識別を行うために、TGCからの信号自身を遅らせるSignalDelayとBCID回路に供給する40MHzのクロックを遅らせるBCIDDelayの回路がある。それらを用いてTOFとASD⇔PSB間を結ぶシグナルケーブルの長さから生じるタイミング差の吸収を行う。この段階で各TGC内でのタイミングを揃える。

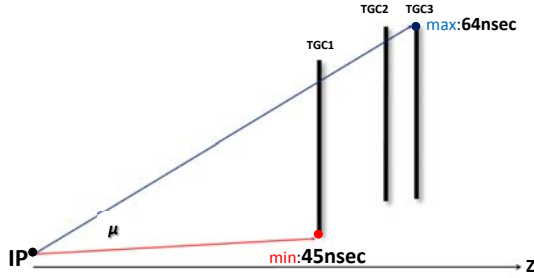


図 3.2: TOF(time of flight) の最大値と最小値

TGC1 の最下部に最も早く届き (45nsec)、TGC3 の最上部に最も遅く届く (64nsec)

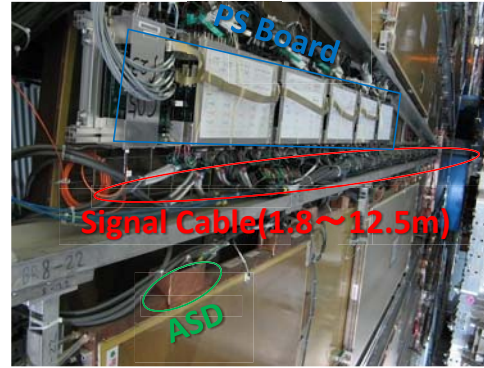


図 3.3: シグナルケーブル

各 ASD からの信号は様々な長さのシグナルケーブルを  
通って PSB に届く

図 3.4 に PP でのタイミングチャートを載せる。SignalDelay によりできるだけタイミングを揃え、それでも吸収できない分は BCIDDelay でクロックの位相を変えることにより対応する。TGC1 と TGC3 からの信号は N 番目のゲートが開くタイミングに揃えられる。それに対して TGC2 の信号は PP に届くまでが TGC1 と TGC3 に比べて 1 クロック程度遅いため N+1 番目のゲートが開くタイミングに揃えられる。

#### TGC システム内のクロックとバンチ衝突の位相

今、信号をゲートが開くタイミング (=クロックの立ち上がりのエッジ) に対して揃えると述べた。しかし TGC システム内を流れるクロックとバンチ衝突の位相差は不定である ( ATLAS を流れるクロックのソースは LHC のバンチ衝突と同期したものが使われる。しかし、その間に生じる位相差は実験開始まで分からない)。この位相差のため、TGC のヒット信号が PP に届くタイミングとゲートが開くタイミングの関係は実験開始前にわからない。

この位相差はビーム衝突開始後に TTC 信号を送るタイミングを変更することによって調整する。この位相調整について 3.10 項 (ビーム衝突開始後の位相調整) で詳しく述べる。本項では、クロックの位相が適切に揃えられ、PP に届く TGC のヒット信号と BCID ゲートが開くタイミングが揃えられているとすると話を進めていく。

#### 3.3.2 TGC 間のタイミング補正 (PP to HPT)

PP でバンチ化された信号は、SLB に入る。PP では TGC2 が TGC1 と TGC3 に対して 1clock 遅くタイミングが揃えられているので、その補正を行うために SLB で TGC1 と TGC3 に対して 1clock かける。

SLB からの信号は HPT に入る。SLB と HPT の間のケーブルは TGC1 が 10m、TGC2 と 3 が 15m で、時間に換算するとちょうど 25nsec の差が存在する。そのために HPT において TGC2 と TGC3 に対して 1clock の遅延をかける。

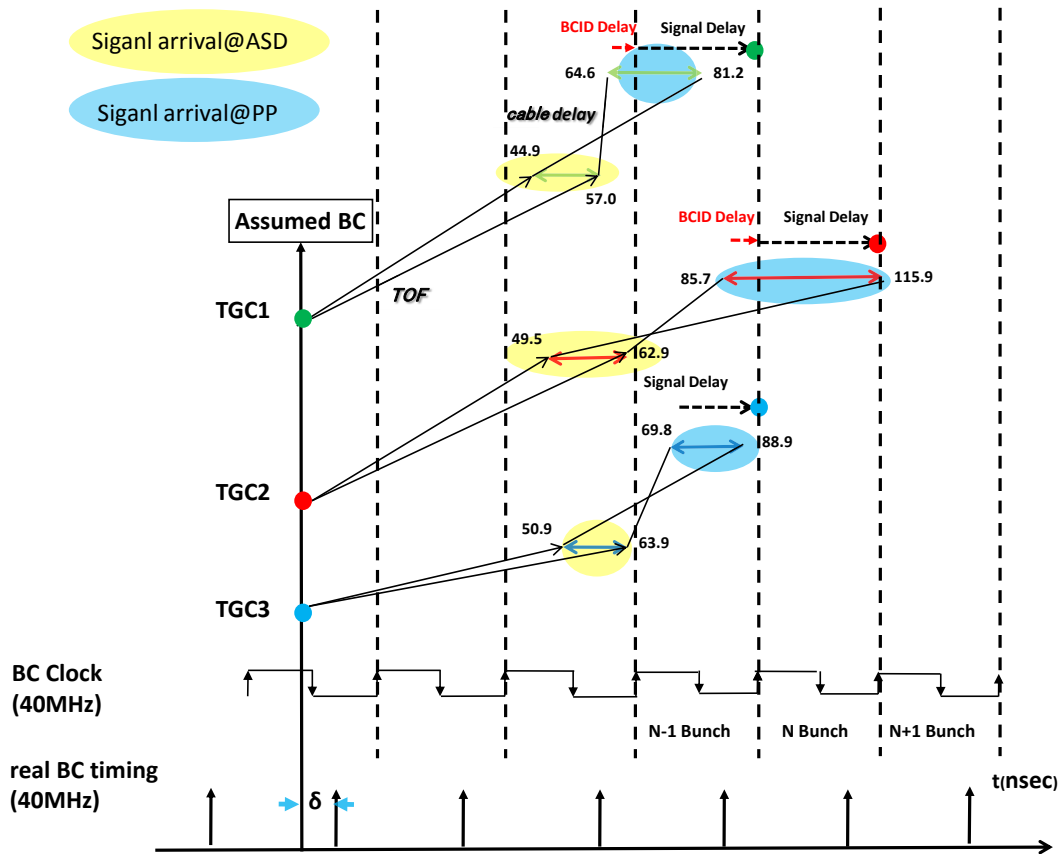


図 3.4: パッチパネルにおける信号のタイミングチャート

黄色く塗られた部分はミューオンが IP から TGC に到着するまでにかかる時間 (TOF) のばらつきである。ビーム衝突のタイミングを  $t=0\text{nsec}$  とすれば、そのばらつきは TGC1 において 44.9nsec から 57.0nsec となる。さらに、TGC1 からの信号がケーブルを伝わり PP に届くまでの時間は 64.6nsec から 81.2nsec(水色で塗られた部分)になる (TOF の最大値と最小値が cable delay を加えると逆転しているのは、R が大きいと TOF が大きくなり、ケーブル長は短くなるため)。これらの差を PP の SignalDelay と BCIDDelay を用いて吸収して全て 90.9nsec(N バンチのゲートの始まり)に合わせる。同様に TGC3 においてもタイミングを 90.9nsec に揃える。TGC2 においては 90.9nsec より遅く届く信号があるために 1clock 遅い 115.9nsec(N+1 バンチ目のゲートの始まり)にタイミングを合わせる。ここでバンチ衝突のタイミングをクロックに対してある位相に仮定しているが、実験本番のバンチ衝突はクロックに対してどの位相で生じるか分からない。そのためバンチ衝突開始後にクロックを適切な位相に調整する必要がある。

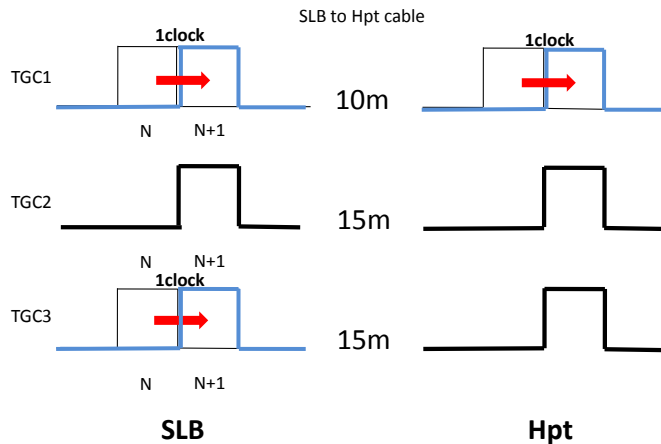


図 3.5: タイミング at SLB HPT

左が SLB のに対する遅延、右が HPT に対する遅延である。SLB での遅延でセクター内全てのタイミングが一旦揃えられる。その後 HPT で Doublet と Triplet の間で生じる 5m のケーブル差を吸収する。

### 3.3.3 HPT to SL 間のタイミング補正

SL には複数の HPT からの入力に対するタイミングの補正を行うため Delay が実装されている。しかし、実際には同じセクター内であれば、その長さは同じであるので、この遅延回路を用いた調整の必要は無く行わない。

### 3.3.4 UX15→USA15 のファイバー長の補正 (SL to CTP )

HPT からの信号は光ファイバーを経由して USA15 に届く。ここで図 3.6 に示すように、各セクターにおいて HSC クレートと USA15 の位置関係は様々であるために、その間を結ぶファイバー長は図 3.7 に示すようにセクター間で差がある。この差は MuCTPI Delay により吸収する。

### 3.3.5 TTCvi→SLB 間のタイミング補正 (CTP to SLB)

MuCTPI から出た信号は CTP に入り、そこで L1A が発行される。L1A は LTP を経由して USA15 の TTCvi から UX15 の TTCrx に送られる。この伝搬は図 3.7 で示すものと同じ長さのファイバーを通るためにタイミング差が生じる。これらの差は TTCrx Delay で吸収する。また TTCrx と PSB を結ぶケーブルは TGC1 と TGC2& 3 で 1.7m のケーブル長の差が存在するので、それも TTCrx のディレイで吸収する。このディレイの効果で TTC シグナル (ECR、BCR、BC clock、L1A、TestPulse) はそれぞれのセクターにおいて全く同じタイミングでふるまう。

以上が TGC でトリガー発行からヒット情報の読み出しまでのタイミング調整のスキームである。以下に調整が必要な遅延要素とその吸収を行う遅延回路についてまとめる。

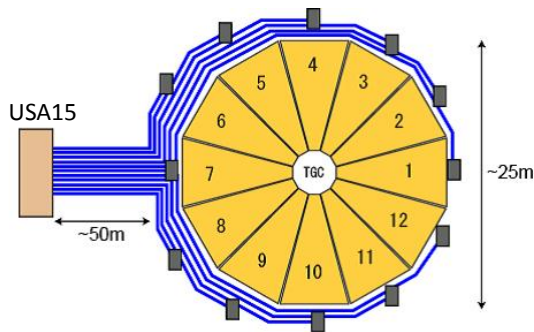


図 3.6: 各 HSC クレートと USA15 の位置関係

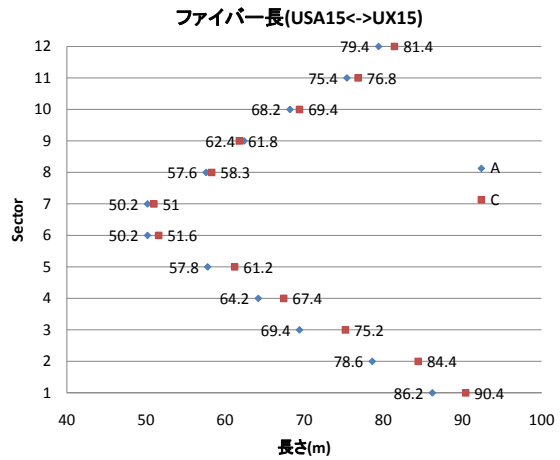


図 3.7: USA15↔HSC クレート間ファイバーの伝搬遅延

実験室にある HSC クレートと USA15 を結ぶ光ファイバーは、USA15 にて余りの長さを出さないように作られたためにセクター間で差が生じた。右にその差から遅延差 (横軸:時間 nsec、縦軸:セクター) を示す。

遅延要素	長さ	吸収する遅延回路
TOF	45nsec ~ 64nsec	Signal Delay, Bcid Delay,SLB Delay
SignalCable(ASD↔PP)	1.8m ~ 12.5m(418 種類)	Signal Delay, Bcid Delay,SLB Delay
CAT6(PSB↔HPT)	Triplet:10m Doublet:15m	HPT Delay
光ファイバー (UX15↔USA15)	50 ~ 90m(24 種類)	MuCTPI Delay
光ファイバー (USA15↔UX15)	50 ~ 90m(24 種類)	TTCrx Delay
光ファイバー (HSC↔TTCrx)	Triplet:10m Doublet:15m	TTCrx Delay
シグナルケーブル (TTCrx↔PSB)	Triplet:3.7m Doublet:5.2m	TTCrx Delay

表 4: 遅延要素と吸収を行う遅延回路のまとめ

### 3.4 テストパルスを利用してのタイミング調整

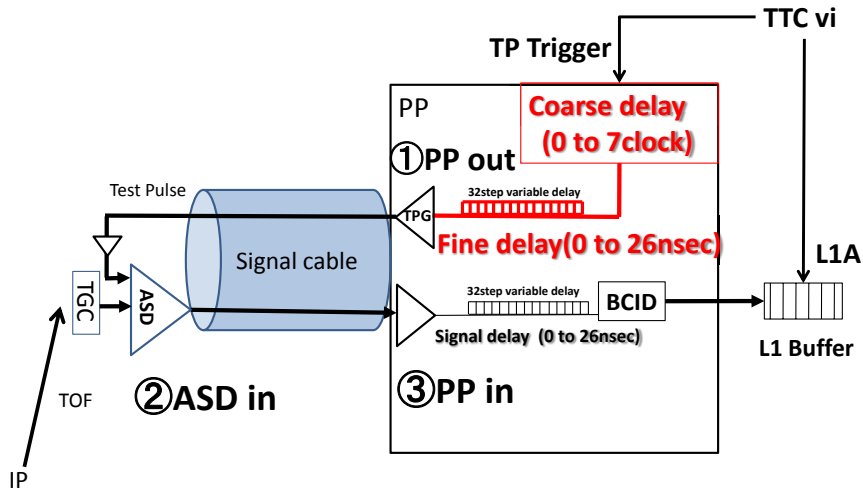


図 3.8: PP とテストパルス

遅延回路に対し TOF-CableDelay の値を設定することでテストパルスのタイミングが「ASD in」=TOF、「PP in」=TOF+Cable Delay となり、IP からやってくる粒子のタイミングを再現できる。

ビーム衝突開始前に IP からやってくるミュオンのタイミングを再現・検証するために、PP にはテストパルス機能が実装されている (図 3.8)。PP は TTC 経由でテストパルストリガーを受けるとテストパルスを ASD に対して送る。この際テストパルスにサブナノ秒単位 (25/30nsec) で 0 ~ 8clk の範囲で遅延をかけることができる。

ここで IP から粒子が TGC に到達するタイミングで ASD にテストパルスが入力されるように遅延値を設定する事で、実験開始前にバンチ衝突で生じる粒子が TGC に届くまでのタイミング差を忠実に再現する事が出来る。具体的には、PP からテストパルスが打たれるタイミングを「PP out」、ASD にテストパルスが届くタイミングを「ASD in」、PP に ASD からの信号が返ってくるタイミングを「PP in」とすると、テストパルスに対し「TOF-Cable delay」の遅延を設定するとタイミングが以下の様に再現され、

- 「PP out」=TOF- Cable delay
- 「ASD in」= TOF
- 「PP in」= TOF + Cable delay

IP からやってくるミュオンのタイミングが再現される。さらに設定した値を基準に遅延値を変化させながらデータをとる (ディレイスキャン) ことで、そのタイミングの測定を行うことができる。

### 3.5 遅延パラメータ作成のために必要な要素

前項までに述べた、信号のタイミングを揃えるための遅延パラメータと、それを検証するためにテストパルスに設定する遅延パラメータを作るためには以下4つの要素が必要である。

1. TOF
2. ケーブル長
3. ケーブル中での信号の伝搬速度
4. 信号の減衰による遅延効果

1.TOF はチェンバーの配置から計算でき、2. ケーブル長は発注時のエクセルテーブルが存在する。(本当に正しい長さで作られているかの確認は必要である。)しかし、3. ケーブル中での信号の伝搬速度と4. 信号の減衰による遅延効果(図3.9と、3.10のように、ケーブルが長ければ長いほど、LVDS 信号とテストパルス信号は減衰する)は未知であるで実測した。その結果を以降述べる。

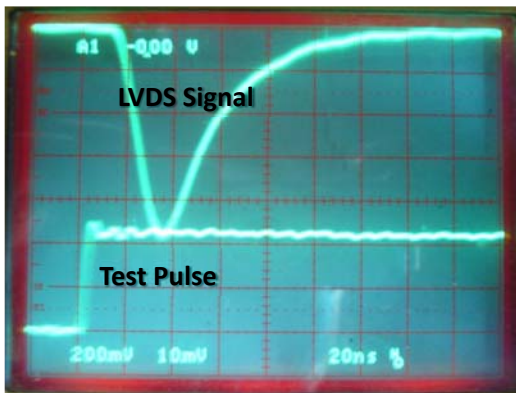


図 3.9: ケーブル長が 2.8m

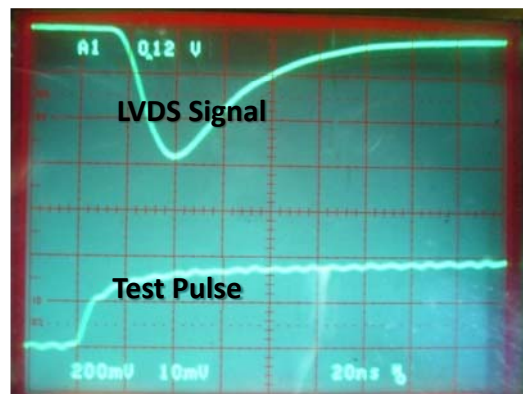


図 3.10: ケーブル長が 47.3m

下側は PP が TPtrigger を受けて作ったテストパルスが ASD に届いた際の信号のアナログ出力を観測したもの。上側がテストパルスを受けて作られた LVDS がケーブルを伝搬し PP に届いた (作動信号) 際の様子を観測したもの。

#### 3.5.1 ケーブルの信号伝搬速度の実測

ケーブル中を信号はどのくらいの速さで伝わっているのかを実測した結果

$$0.20\text{m/nsec}$$

であった。今後、信号がケーブルを伝わる速度を  $5.0\text{nsec/m}(=0.20\text{m/nsec})$  とする。

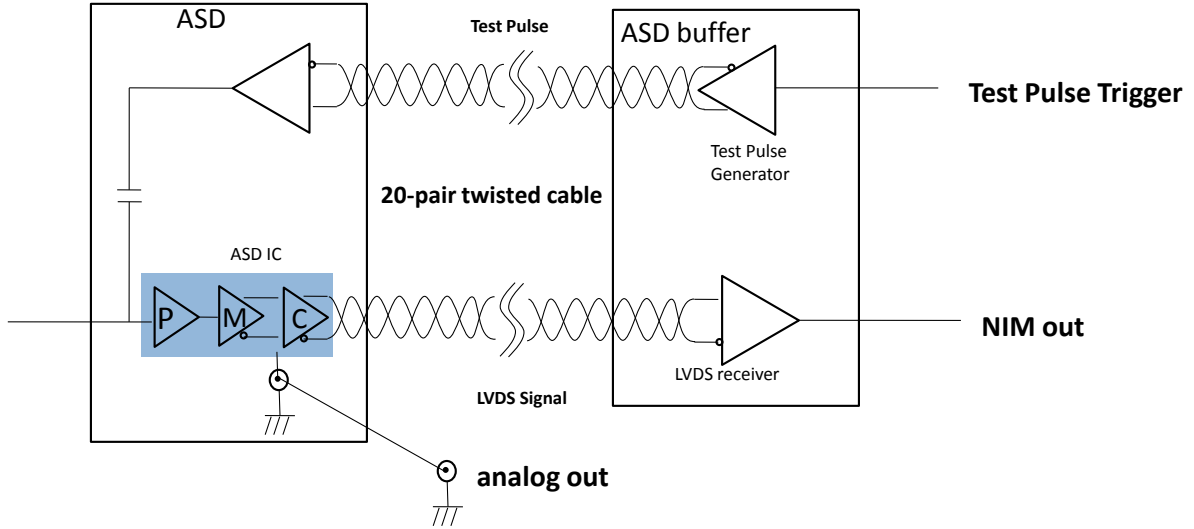


図 3.11: 減衰遅延効果の測定のためのセットアップ

### 3.5.2 信号減衰によるタイミング遅延の実測

信号減衰による遅延効果は、テストパルス信号の減衰 (PP からのテストパルスが ASD に届くまでの遅延) と、LVDS の減衰 (ASD に入力されたテストパルス信号が LVDS 変換されて PP に返ってくるまでの遅延) の 2 種類があり、それぞれ補正を行う場所異なる。そのためこの二つの効果を分けて測定する必要がある。そこで ASD Buffer というモジュールを用いてタイミングの測定を行った。図 3.11 にそのセットアップを示す。ASD buffer は ASD に対してテストパルスを送り、さらにテストパルスを受けた ASD が送り返す LVDS 信号を受け NIM 信号に変換し出力するモジュールである。シグナルケーブルの長さを変化させながらテストパルストリガーを基準として、analog out、NIM out のタイミングを測定した。ここで analog out と NIM out のタイミングと前項で測定したケーブル中での伝搬遅延と減衰による遅延の関係は

$$\text{テストパルス信号の減衰遅延} = \text{analog out 信号の遅延} - \text{伝搬遅延}$$

$$\text{LVDS 信号の減衰遅延} = \text{NIM out の遅延} - \text{テストパルス信号の減衰遅延} - \text{伝搬遅延}$$

となる。その測定値の結果が図 3.12 である。横軸がシグナルケーブルの長さ ( $x$  m)、縦軸が測定値から計算される、LVDS とテストパルスの遅延である。それらの結果について、テストパルス信号の減衰遅延を 2 次関数、テストパルスの減衰を 1 次関数として近似すると、シグナルケーブルの実測長  $x$ (m) に対して

$$\text{テストパルスの減衰遅延} = 1.3 \times 10^{-2}x - 0.60 \quad (3.1)$$

$$\text{LVDS の減衰遅延} = 4.9 \times 10^{-3}x^2 + 2.0 \times 10^{-4}x \quad (3.2)$$

ここで LVDS 遅延における定数項は測定方法から来るオフセットであり無視している。ビーム衝突のタイミング再現するための遅延 PP/TP Dealy に反映させる。(減衰による遅延効果が 0 以

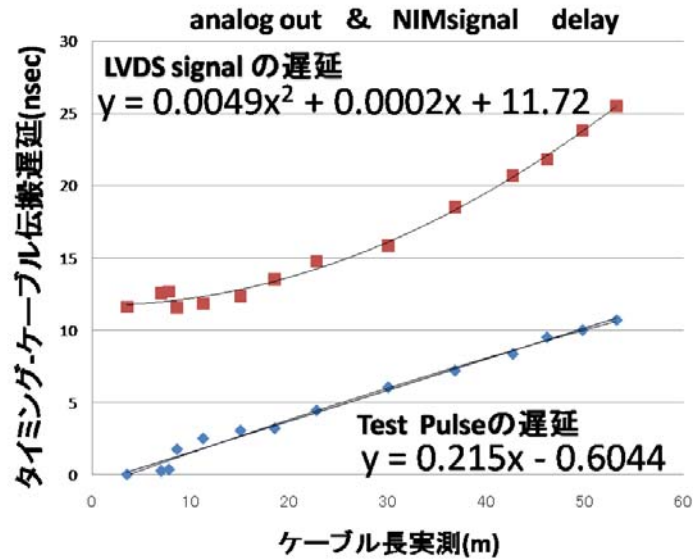


図 3.12: 減衰によるタイミングの遅れ

下側はテストパルスの遅延 (analogout の遅延-伝搬遅延)、上側は LVDS シグナルの遅延 (NIM out の遅延-analogout の遅延-伝搬遅延) を表す。

下の場所は 0 として反映させる。) LVDS の減衰もよる遅延は、バンチ衝突からやってくる粒子のタイミングを揃えるための遅延、PP/SignalDelay に反映させる。

### 3.5.3 遅延パラメータのタイミングチャート

今までに述べた遅延要素を考慮して、バンチ衝突を再現するための遅延パラメータと、本番のバンチ衝突からやってくるミュオンのタイミングを揃えるためのパラメータを作成した。そのパラメータにより再現されるタイミングチャートを図 3.13 に乗せる。

TGC システム内を流れるクロックに対してビーム衝突がどの位相で起こるかは、実際にビーム衝突が始まってから測定してみるまでわからない。そのためテストパルスで仮定した衝突の位相と本番の衝突では位相は異なる。そのため本番でのタイミングはテストパルスで再現されたタイミングに対してその位相差 ( $\delta$ ) だけ全体でずれる。この位相差はクロックの位相を変化させる事でバンチ衝突開始後に適切に調整する必要がある。その方法については、3.10(ビーム衝突開始後の位相調整) で述べる。

### 3.6 テストパルスを用いたタイミングの検証

前項で、ケーブル長、TOF、信号の伝搬速度、減衰効果からタイミング調整に必要なパラメータを作成した。しかしケーブルの長さにおいてはそれが”本当に”正しいのかは確かではない。そのためには約 1 万本に及ぶケーブルのタイミング測定が必要である。

タイミングを測定するには、実際に巻尺を使ってケーブルの長さをはかる方法もあるが、実験室においてケーブルのセットアップは完了しておりそれら全てはずして計測するのは不可能である。

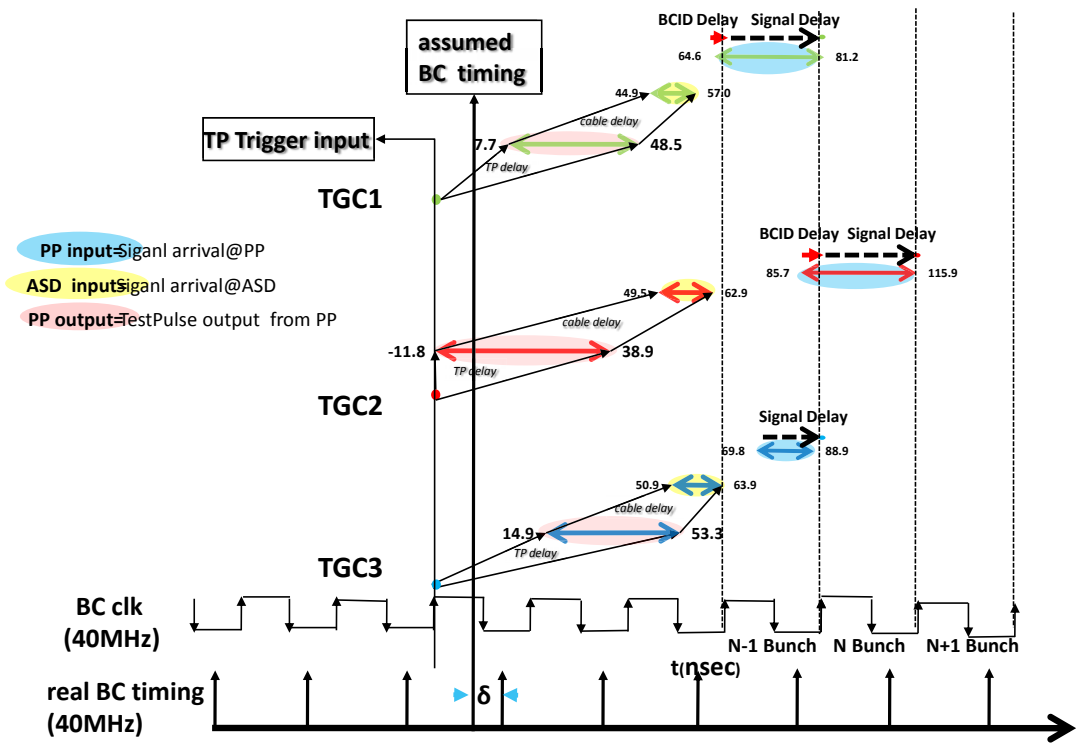


図 3.13: ビッグウィールのタイミングチャート

TTC システムを通し PP に TP Trigger が入力されると (TP Trigger input)、PP でテストパルスが作られ ASD に対して送られる。PP からテストパルスが出力されるタイミングのばらつきがピンク色で塗りつぶされた部分 (PP output) である。さらにテストパルスがケーブルを伝搬して ASD に入力されるタイミングのばらつきが黄色に塗りつぶされた部分 (ASDinput) である。このタイミングは IP からチェンバーまでの TOF のタイミングを再現している。水色で塗りつぶされた部分が ASD から送られる LVDS 信号が PP に届くタイミングのばらつきである。これは実験本番でのバンチ衝突で生じるミューオンの各チャンネルからの読み出し信号のタイミング差を再現している。ここでバンチ衝突の位相がある値 (assumed BC timing) に仮定しているが、実際のバンチ衝突の位相 (real BC timing) とはある値  $\delta$  だけ異なる。そのためこの二つの間の位相調整が必要になる。3.10 項でその方法について述べる。

そこで、PP に実装されているテストパルス遅延回路を用いてディレイスキャンすることで、全てのケーブルのタイミングの測定を行った。

### 3.6.1 ディレイスキャンでのタイミング測定方法

テストパルストリガーに対しある一定の間隔をおいて L1A 送ることにより、連続する 3 バンチのデータを読み出すことができる。その際にテストパルスにかかる遅延を変化させながらデータを読み出した場合の結果を図 3.14 に示す。横軸がテストパルスの遅延値、縦軸が連続する 3 バンチの中でどのバンチで信号が読みだされたのかのエントリー数である。テストパルスに対する遅延値を変化させていくと、読み出されるバンチが、previous(中心のバンチに対し 1clock 早いバンチ)→current(3 バンチの中心)→next(中心のバンチに対し 1clock 遅いバンチ) と移り変わっていく。この情報を利用してシグナルのタイミングを測定する。

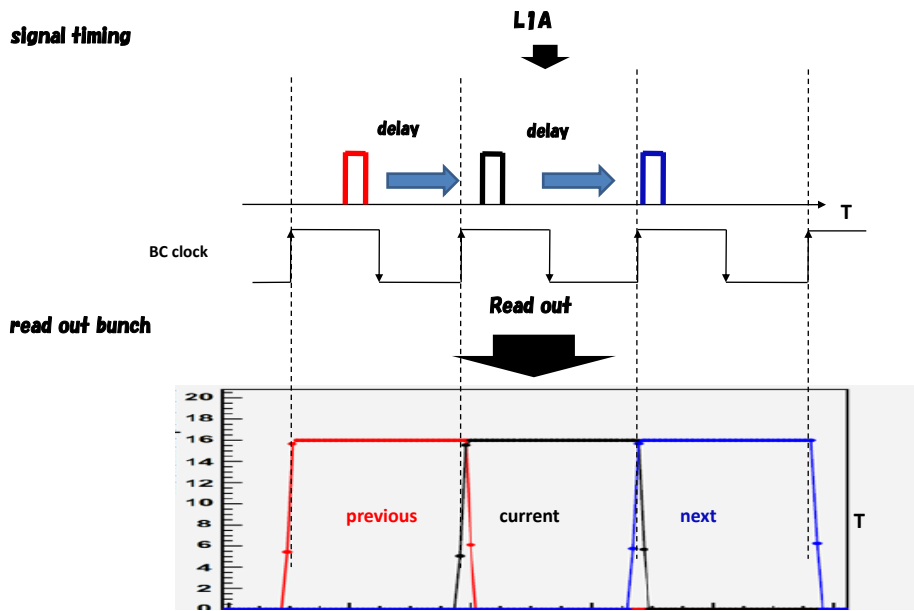


図 3.14: 遅延値によるバンチの移り変わり

テストパルスに対する遅延値を変えてゆくと 3 バンチ構造 (赤色が previous バンチ、黒色が current バンチ、青色が next バンチ) が見える。

知りたいのは、ASD からの信号がどのタイミングで PP に届くかである。今、3.5 項で求めた遅延値はシグナルとクロックの立ち上がりのタイミングが揃うように計算してあるので、計算上では遅延を何も変化させない時 (step=0 の時) に current バンチの立ち上がりが見えるはずである。その確認を行うために計算値から、サブナノ秒 (0.83nsec) 単位でテストパルスに対する遅延値を変化させながらデータスキャンを行った。ある一つの ASD に対するスキャンの結果を図 3.15 に示す。ここで、current バンチ立ち上がりが計算値と一致していない。それは PP がテストパルストリガーを受ける際に生じる遅延、さらに ASD でテストパルスを受ける際に生じる遅延、さらに

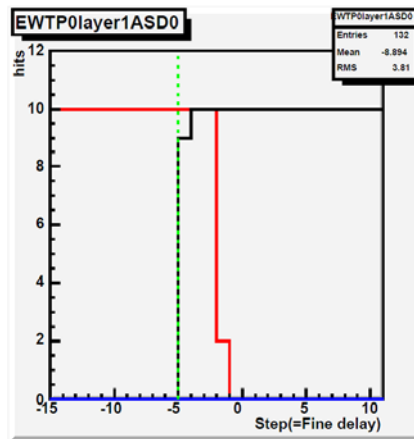


図 3.15: ある ASD のスキャンの結果

横軸は 3.5 項で計算した値からのずれ (1step=0.83nsec)、縦軸がエントリー数 (10 回テストパルスを送ったので、エントリーの最大は 10 となる) である。また緑の点線が current パンチに入ったと判断する値である。current パンチに入ったと判断する基準は、そのタイミングを a とすると、delay=a-1 の時 hit=0 かつ delay=a の時 hit $\geq$ 1 かつ delay=a+1 の時 hit $\geq$ 1 である。二つのパンチで重なっている部分が存在するのはクロックの周期 25nsec であるが BCID ゲート幅の設定値が 26nsec であるために生じるものである。

LVDS 信号を PP で受ける際に生じる遅延を考慮に入れていないからである。この遅延値は全てのチャンネルに共通の offset である。その offset の値は測定結果から 5step(=4nsec) とした。そこで全ての ASD は計算値からこの offset 分を引いた -5step を理想的なタイミングとしそこからのどれだけずれているか測定を行った。

### 3.6.2 タイミングを決定できない ASD と対処

全てのタイミングを測定するにはもちろん全ての ASD からの信号の読み出しが正しく行われていることが前提となる。しかし約 1 万本ケーブルは全て人の手によって接続されている。そのためにケーブルのつけ間違いや接続不良などの問題を持つ物が存在した。今回のディレイスキャンの結果から見つかった不調には以下のようなものがある、

- ケーブル間でスワップしている
- ケーブルの接続不良
- ノイジなチャンネルが存在する

このような ASD に対しては、まず修正が行われるべきである。どのようにしてそうであると特定し、さらに対処したかを以下にまとめる。

#### ケーブル間でのスワップ

HV をレイヤー毎にかけて読み出すことで、レイヤー間でのスワップが起きていないかの試験は既に行われていた。しかし同じレイヤー内でのスワップを見つけることは難しくその確認試験は特に行われなかった。

今回、ディレイスキャンを行った際に、ケーブル長に違いが存在する場所においてはその間でスワップがおきている部分を見つける事が出来た。ケーブル間でスワップが起きている場合のディレイスキャンの結果を図 3.16 に載せる。

左の 2 個の ASD は同一のケーブルに接続されているが、両方とも理想値に対して信号が遅く来ている事がわかる。一方その隣に接続されている 2 個の ASD(右図) は信号が速く届いている。このような関係はケーブルのスワップが起きている事を示唆する。このような ASD に対してはスワップが起きている場合に予想されるのタイミング差と実際に見えている差の比較を行い、さらに宇宙線ランで得られたデータによる解析結果から本当にスワップが起きているという事を確認したうえで正しい場所に接続しなおした。ただ、測定器の配置から ASD にアクセスすることが難しい場所においていまだに修正を行えていない場所がある。それらは 4 月のサービス期間に修正を行う。swap の修正ができていないためにタイミングを測定できない ASD は 16 個ある。

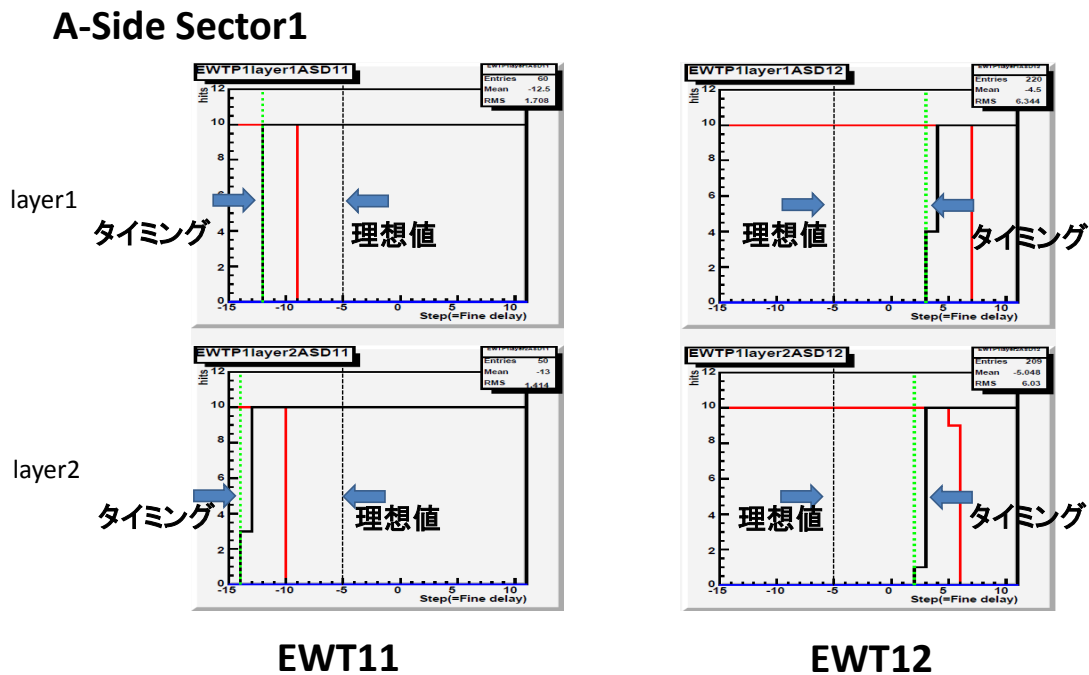


図 3.16: ケーブルスワップがあるときのタイミング

EWT11(左) が接続しているケーブルは 5.6m、EWT12(右) に接続しているケーブルは 6.3m なのでスワップの際に予想されるタイミング差は  $(6.3 - 5.6)(m) \times 2(\text{往復}) \times 2(\text{delay の差}) \times 5(nsec/m) = 14nsec$  に対し、実際に見えている差 = 「15step」= 「13nsec」と、ほぼ一致しておりケーブルスワップが起きている事が強く示唆される。

#### ケーブルの接続不良

図 3.17 にケーブルの接続不良がある場合のテストパルスの結果とそれに対応する宇宙線ランでのデータを示す。テストパルスでヒットが来ていない ASD は、宇宙線で取られたデータにおいてもヒットが来ていない事がわかる。このような場合、PSB とシグナルケーブルの接続や PSB 間を結ぶケーブルの接続がはずれていたり、半挿しになってしまっている場合が多い。

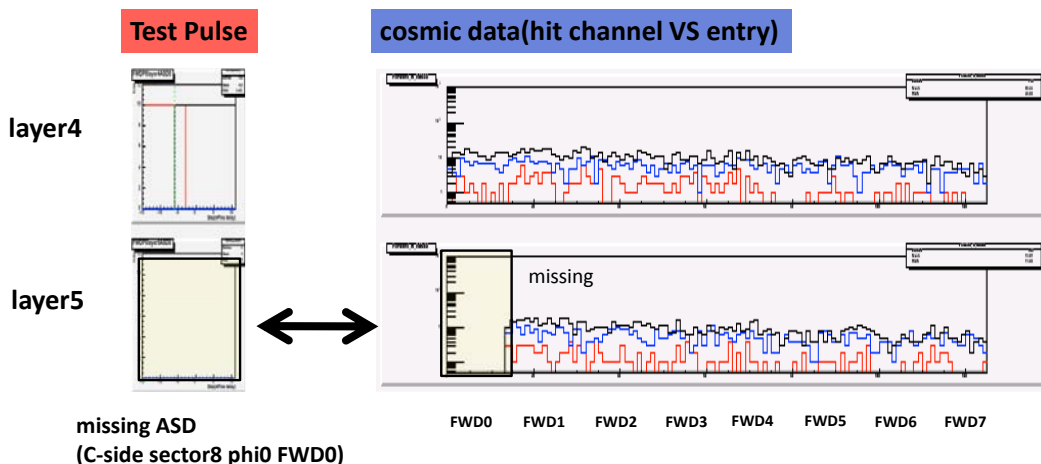


図 3.17: 欠損 ASD がある場合のテストパルスの結果 (左)、対応する宇宙線のヒストグラム (横軸チャンネル、縦軸エントリー (log scale))(右)

FWD0 にはテストパルスで信号が来ていない。宇宙線 run でのデータにおいても対応する ASD に信号が来ていない。そのような場合は ASD↔PSB のケーブルの接続不良が考えられる。

このような部分は実際に現場に行き接続状態を確認し、接続不良のものはしっかりと接続しなおすことで修復した。

#### ノイジーなチャンネルが存在する場合

図 3.18 のようにバンチがランダムに現れている ASD が存在した。このような場所の宇宙線のデータを見てみると図のように他のチャンネルよりも明らかにヒットが多い。そこでオシロスコープを用いて、ASD からのアナログ出力を実際に観測したものが図 3.19 (正常な ASD)、図 3.20(ランダムなバンチでデータが読み出された ASD) である。右の ASD においては発振が起きており、またその振幅が threshold の値を超えている。そのためランダムなバンチで信号が読み出されてしまうことになる。これらの問題は T8 チェンバーに集中して見られた、理由としてグラウンドがうまくとられていない事が考えられる。T8 チェンバーは最も初期に作られたチェンバーのためにその後行われていたグラウンド対策がしっかり行われていない部分があった。このような ASD は立ち上がり判断するのが難しい。そのような ASD の数は 79 個であった。

### 3.6.3 不調が見つかった ASD のまとめ

以下にタイミング測定の結果見つかった不調についてその数をまとめる

修正できていない ASD はその場所へのアクセスが可能となる春のサービス期間に修正を行う予定である。これらの ASD を除いて全 20016 個中 19904 個の ASD に対してタイミング測定を行った。

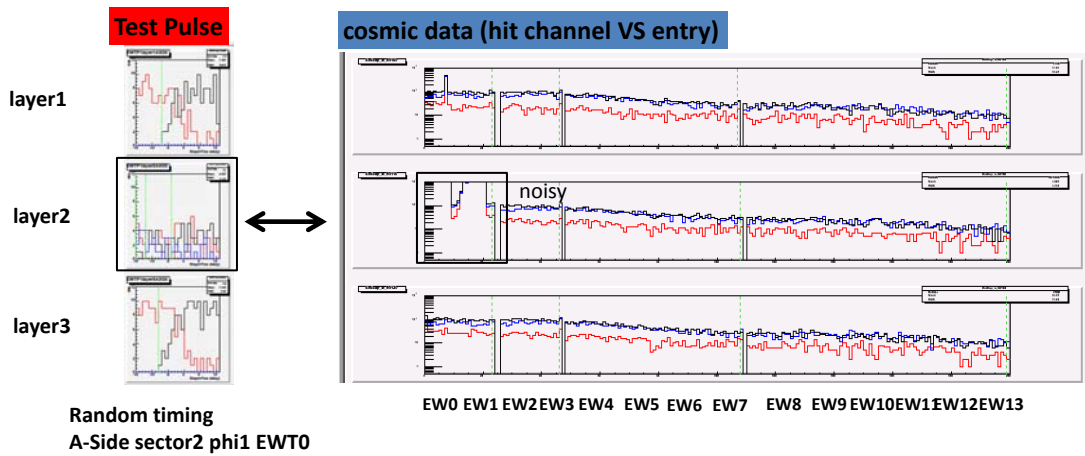


図 3.18: noisy な ASD がある場合のテストパルスの結果 (左) と対応する宇宙線のヒストグラム (右)

左はある ASD のディレイスキャンの結果である。layer2 はランダムなバンチ (previous,current,next がランダム) で読みだされている。また layer1 と layer3 の立ち上がりも汚い事がわかる。宇宙線のヒストグラムを見ると、layer2 のヒット数が他に比べて多いことが分かる。

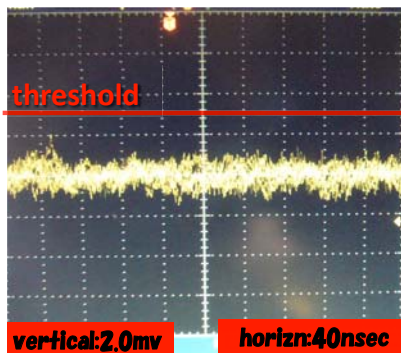


図 3.19: 正常な ASD のアナログアウト

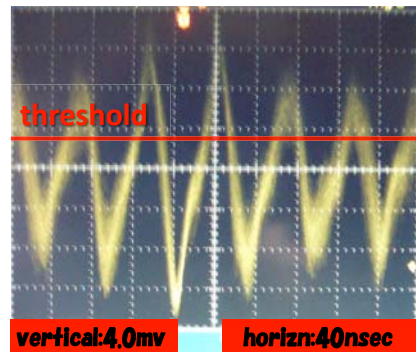


図 3.20: ランダムなバンチで読みだされた ASD

オシロスコープで観た ASD のアナログアウトと、threshold 電圧レベル (赤線) を示す。ランダムなバンチで読みだされている ASD では発振が起きており、その値が threshold を超えてしまっている。

問題	問題のある ASD	修復した ASD	修復できていない ASD
SWAP	28	12	16
欠損 (接続不良 etc)	26	7	19
ノイジー	77	0	77
合計	131	19	112

表 5: 不調 ASD の数と修復状況

### 3.7 BW のスキャン結果

3.5 で述べた、ケーブル長、TOF、信号減衰による遅延を考慮した上で計算した遅延パラメータに対し、ディレイスキャンを行って得られたタイミングが図 3.21 の分布である。全ての ASD のタイミングのばらつきは  $RMS=1.5step(=1.2nsec)$  あり、その平均値は理想値 ( $=-5step$ ) から  $1step(=0.83nsec)$  離れている。これはまず第一に、ケーブル長が発注した値と異なって作られているという事がまず考えられる。そこで同種類のケーブルにおけるタイミングの平均値と理想値のずれからケーブル長の修正を行った。その結果が図 3.22 である。

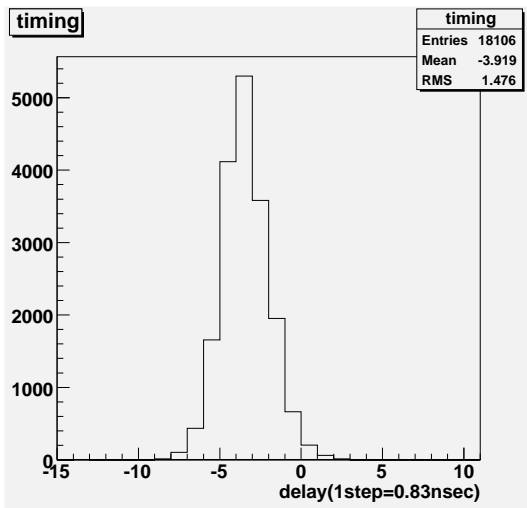


図 3.21: ケーブル長補正前のスキャン結果

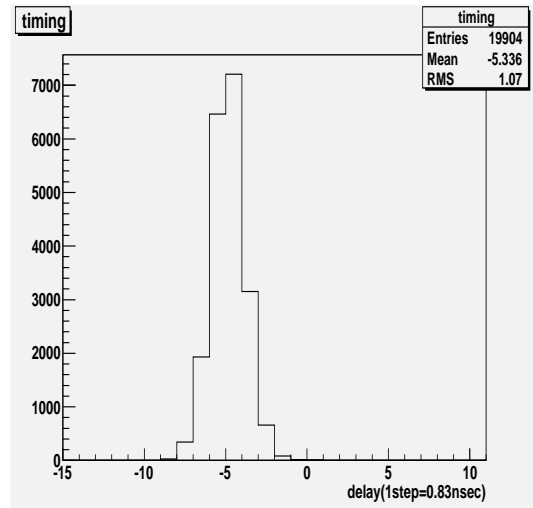


図 3.22: ケーブル長補正後のスキャンの結果

横軸がタイミングの計算値からのずれ、縦軸が ASD のエントリー数。左がディレイスキャンでのタイミングの測定結果が左 (図 3.21) その結果から補正を入れた後のタイミングの測定結果が右 (図 3.22)。

補正後はタイミングのばらつきが  $RMS=1.5step(=1.2nsec) \rightarrow 1.1(0.9nsec)$  に改善した。しかしまだばらつきがある。考えられる理由として、

- パラメータ作成の決定精度
- 測定誤差
- threshold 値の設定からくる誤差

- セクター間でのケーブル長の差

の4つが考えられる。それぞれについての評価について述べる。

### 3.7.1 パラメータ作成の決定精度

このようにパラメータを設定値する時点で  $RMS=0.6step(0.5nsec)$  ほどのばらつきが生じている。原因は  $1nsec$  以下のパラメータを扱う場合にパラメータの決定に誤差が生じてしまうからである。このため、TP Delay(バンチ衝突を再現するためにテストパルスに対してかける遅延)と SignalDelay(実際のバンチ衝突で生じる遅延差を吸収するための遅延)に決定誤差が生じる。実際ビームが出た際に用いられる遅延は SignalDelay のみであり、この誤差によるばらつきは小さくなる。

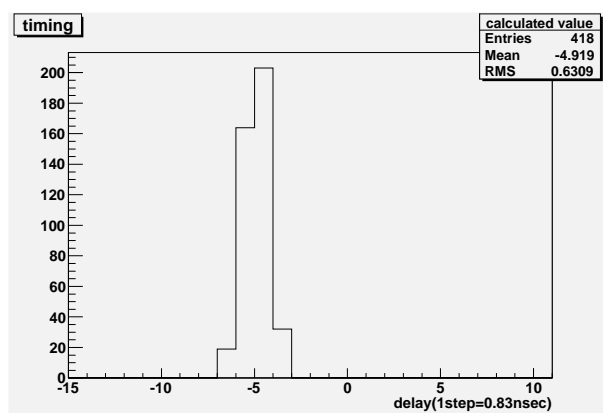


図 3.23: 補正値から予想されるタイミング分布

$1nsec$  以下計算を扱う際に四捨五入を行うのでばらつきが生じる。

### 3.7.2 測定精度

ここでパラメータの設定を変えずに取った二回のデータにおけるタイミングの差を図 3.24 のヒストグラムに示す。横軸は二回のディレイスキャンでのタイミングの差、縦軸はエントリー数である。2回の測定においてタイミングが全く同じならば、エントリーは一全て0の部分に入るはずであるが若干のばらつき ( $RMS=0.5step$ ) を持つ

### 3.7.3 threshold の違いによるタイミング変化

ASD のディスクリミネータに送られる threshold の変化によりタイミングがどれだけ変わるのかを測定するために、それまでの設定値  $80mV$  に加えて、 $70mV$ 、 $100mV$  と変化させてデータをとった。その寄与は  $1step=20mV$  である。DCS システムにより threshold 電圧の値は管理されており  $20mV$  以上 threshold が変化することは考えられない。そのため、threshold による影響は非常に小さいと考えられる。

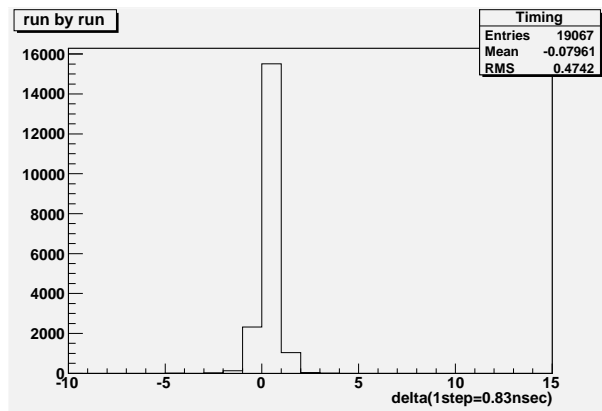


図 3.24: 時間を置いてデータを取った場合のタイミング変化

横軸は二回のディレイスキャンでのタイミングの差、縦軸はエントリー数である。2回の測定においてタイミングが全く同じならば、エントリーは全て0の部分に入るはずだが若干のばらつきをもつ。

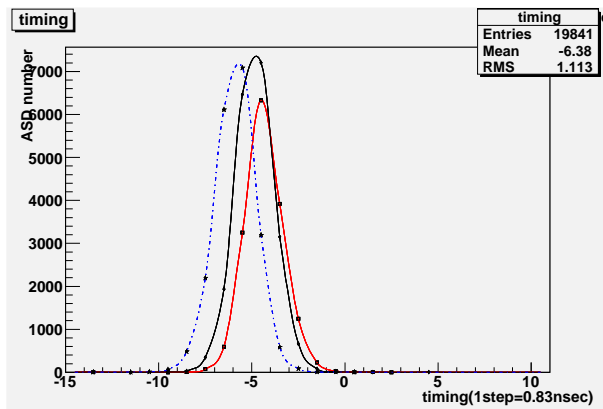


図 3.25: threshold の値によるタイミング変化

赤:70mv、黒:80mV、青:100mV

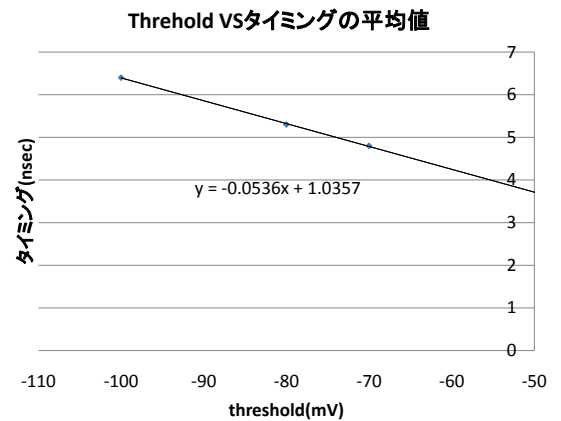


図 3.26: タイミングの平均値の推移

threshold が大きくなるに従ってタイミングが遅くなる。その寄与は  $1step(0.83nsec)=20mV$  程度である。

### 3.7.4 セクター間でのケーブル長の違い

TGCにはA、C両サイドで24個のセクターが存在し、ケーブルはセクター間で共通の長さで作られていると仮定してパラメータの作成とタイミングの補正を行った。ここで、24セクターでのタイミングの比較を図3.27、図3.28に示す。多くのケーブルにおいては図3.27のの矢印で示したASDのように、測定誤差の範囲に収まっているが、図3.28のように平均値から大きくタイミングがずれている場合がある。

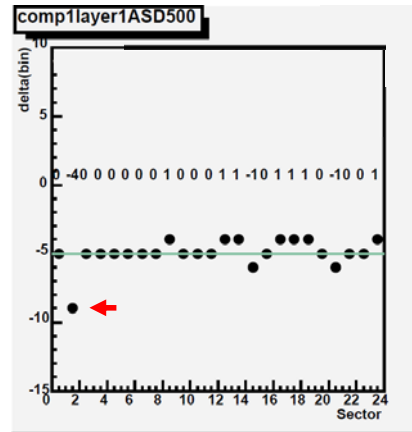
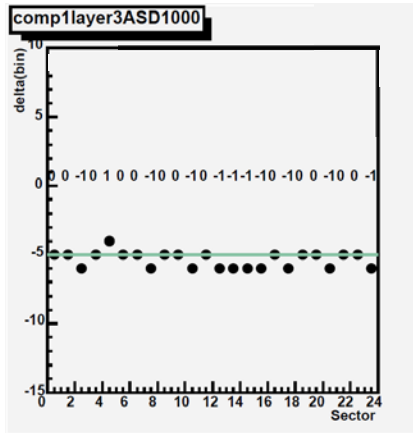


図 3.27: 24 セクターでのタイミングの比較 1

図 3.28: 24 セクターでのタイミングの比較 2

比較 1 においてはセクター間ではタイミングの差が $\pm 1$ に収まっている。それに対して比較 2 においては同じ長さで作られているはずなのにタイミングが大きく異なる ASD(矢印で示したもの)が存在する。そのような ASD においては個々にケーブル長の補正が必要である。

それらの ASD に対しては 24 セクターの平均ではなく個別にタイミングパラメータの修正を行う必要がある。そこで全ての ASD が理想値を中心としてそのタイミングが  $6\text{step}(-8 \sim -3)$  に収まるようパラメータの修正を行った。修正を行う ASD の数は 139 個である。

### 3.7.5 BW のタイミングまとめ

TOF、ケーブル長、伝搬による減衰効果の実測値を考慮して IP からやってくる粒子に対してタイミングをそろえるために遅延パラメータを作成した。そのタイミングの検証を行うためにディレイスキャンを行った。ばらつきを補正するために各ケーブルに対して 24 セクターのタイミングの平均値からその補正を行いその結果タイミングのばらつきは、図 3.22 に示すように、 $1.5(=1.2\text{step}) \rightarrow \text{RMS}=1.1\text{step}(=0.9\text{nsec})$  に改善した。

補正後もばらつきが現れる大きな原因は、パラメータの決定精度と測定誤差である。また同じ種類のケーブルのタイミングを 24 セクターで比較したところ平均値からタイミングが大きくずれているものが存在した。そのようなものは 24 セクターの平均ではなく対応する一本のケーブルに対してのタイミングの補正が必要である。そこでタイミングが  $6\text{step}(=5\text{nsec})$  の範囲に収まるようにケーブル長の補正を行った。この  $6\text{step}$  のタイミングのばらつきは、BCID ゲート幅をタイムジッターの  $30\text{nsec}$  に対してさらに  $5\text{nsec}$  広げる事で対応する。

### 3.8 EIFIのタイミング

BWとその調整方法は同じであるがEIFIはBWに比べてPPとASDを結ぶケーブルが長いために、信号減衰による遅延効果が大きくなる。EIFIのタイミングについてここでまとめる。

#### 3.8.1 EIFIのタイミング調整のスキーム

EIFIの信号はPPにおいてSignalDelayとBeidDelayによりセクター内でタイミングが揃えられる。さらにSLB Delayでセクター間のタイミングが揃えられる。トリガーラインはBWのようにHPTをはさまずに、直接SLに送られる。SLにおいてBWとタイミングが揃えられ、MuCTPIにデータが送られる。また、L1Aを受信する際には、AsideとC-sideでTTCvi↔TTCrxのファイバー長が異なる。その差はTTCrxのディレイで吸収を行う。

#### 3.8.2 EIFIの遅延パラメータ

EIFIはBWと配置の仕方が異なる。BWではその側面に一つのPSBのセットが備え付けられていたが、EIFIにおいては、EIFIから少し距離を置いた場所に2つのVMEクレートが置かれ、そのVMEクレートに片サイドにおける全セクターのPSBがインストールされる。そのためのBWのASDとPPを結ぶケーブル長に比べてEIFIのケーブルは長い。また全セクターのシグナルケーブルが一つの場所に向かうためにその差が大きい(BW:2.8m~12.5m、EIFI:26.9m~46.1m)。そのため減衰の効果が顕著になる。

また減衰の効果を補正した後でも、タイミングのばらつきが見られた。そこで実際に予備のケーブルの長さを測定してみたところ、EIFIにおいてはケーブル長が発注した値に比例してより長く作られていることが判明した。そこで、予備のケーブルがあったものについてはその長さを測定し、残りのケーブルは見積もりにより補正を行った。

発注時のケーブル長、TOF、信号減衰による遅延に加え、実測値からケーブル長の補正を設定したディレイ値のタイミングチャートを図3.29、3.30に載せる。

#### 3.8.3 EIFIのスキャン結果

EIFIのスキャン結果を図3.31に載せる。

EIFIのばらつきはBWに比べて若干大きい、理由としてシグナルケーブルの構造からくる影響がある。EIFIのシグナルケーブルの構造を図3.32に示す。EIFIのシグナルケーブルは40対のツイストケーブルでその構造は図3.32に示すように2重構造になっている。そのため内巻き外巻きで通るかで経路差が生じる。その差はケーブル長に対して2パーセント程度と見積もられており、EIFIのケーブル長は26.9m~46.1mなので同じケーブル内で最大で約0.4m(往復4nsec)程の差が生じる可能性がある。なのでEIFIにおいてはケーブル単位ではなくASD単位でタイミングの補正を行う必要がある。BWと同じように、6step(-3~-8)に入るように補正を行う。補正が必要なASDは42個である。

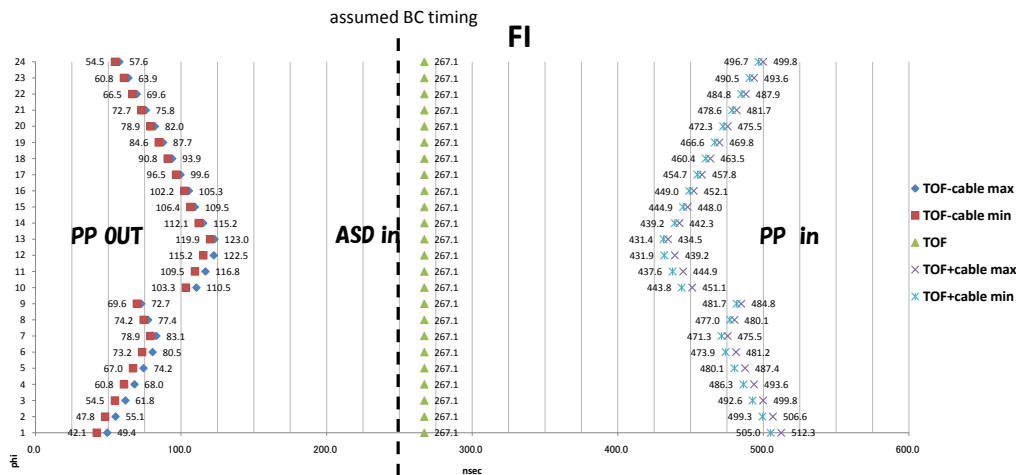


図 3.29: EIFI Forward のタイミングチャート

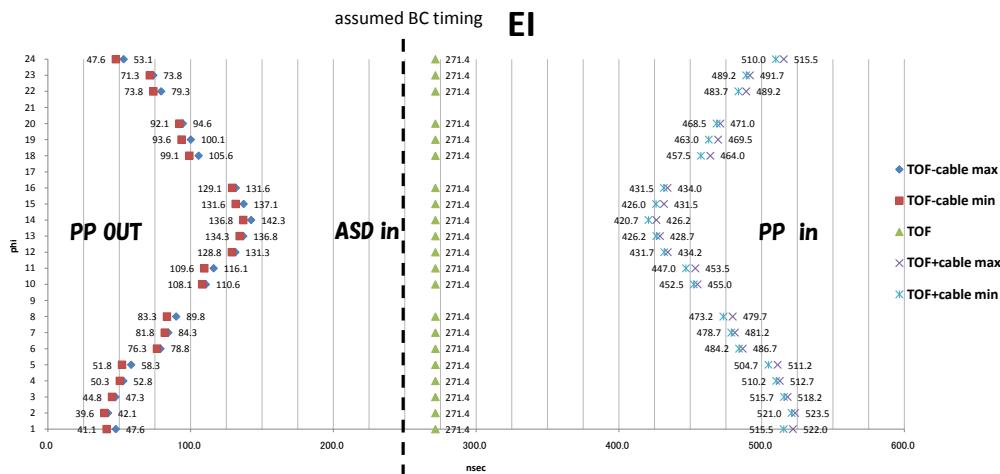


図 3.30: EIFI Endcap のタイミングチャート

PP OUT がテストパルスが打たれるタイミングで TOF-Cable Delay の遅延値を設定する (TOF-CableDelay の値がマイナスにならないように全体に 250nsec の offset を加えている)。テストパルスがケーブルを伝搬して ASD に入るタイミング (ASD in) が TOF のタイミングとなる。(EIFI の ASD は全てチェンバーの端部につけられており、TOF の値は EI と FI のそれぞれにおいて 24sector 内で共通の値となる。) PP で作られた LVDS が PP に戻ってくるタイミング (PP in) は TOF + CableDelay となり IP からやってくる粒子のタイミングを再現できる。再現されたタイミング差は各 phi において EI と FI で 1clock 以上の差が生じるため、SignalDelay だけでタイミングを吸収しきれない。そこで、EI の各 phi、FI の各 phi において最も近いクロックの立ち上がり (補助線) にタイミングを揃える。次に SLB の入力直前でクロック単位で遅延をかけることにより EIFI の全ての phi 毎のタイミング差を吸収する。

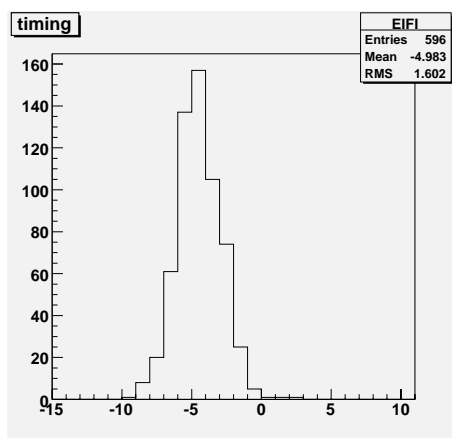


図 3.31: EIFI のディレイスキャン結果

横軸がタイミングの計算値からのずれ、縦軸がその ASD のエントリー  
BW に比べてタイミングばらつきがおおきい (RMS=1.6step)

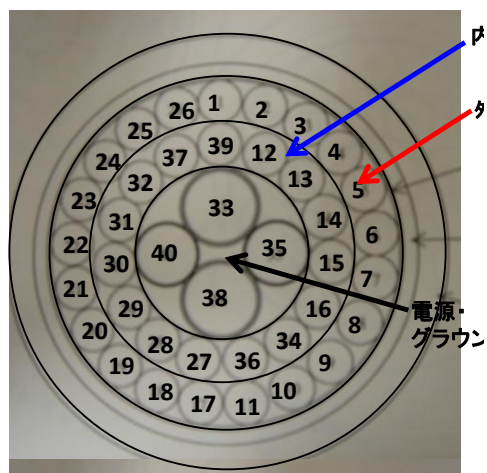


図 3.32: EIFI ケーブルの構造

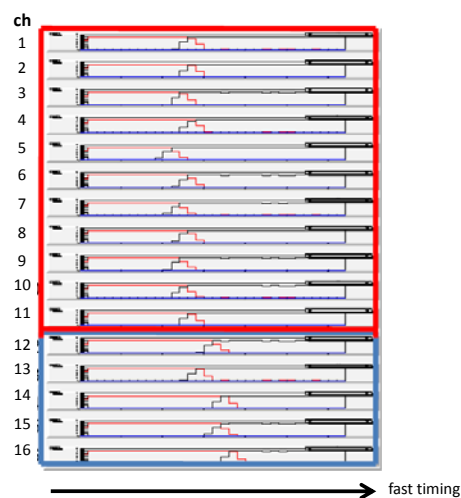


図 3.33: ケーブル内での内巻き外巻きでのタイミ  
ング

ケーブルの構造で内巻 (12~16ch) のものはタイミングが早く、外巻き (1~11ch) のものはタイミングが遅いこ  
とがわかる。

### 3.8.4 EIFI のタイミングまとめ

BW のタイミングのばらつきは、 $RMS=1.6step(1.3nsec)$  である。BW に比べてタイミングのばらつきが大きいのはケーブルの構造に起因するものである。全ての ASD が  $6step(=5nsec)$  以内にタイミングが揃うように 42 個の遅延パラメータの修正を行った。そのばらつきは BCID ゲートの幅を  $5nsec$  広げる事に対応する。

### 3.9 バンチ識別された後のタイミング調整

パッチパネルでバンチ識別が行われた以降は、

- PSB→Hpt 間のケーブル長の差、
- UX15→USA15 間のファイバー長の差、
- CTP→SLB 間のファイバー長の差

のタイミングを合わせる必要がある。1. と 2 はバンチ識別された後に行われるコインシデンスの前段階でクロック単位での調整を行う必要がある。3 は TTC シグナルの読み出しタイミングを合わせるために  $nsec$  単位で調整を行う必要がある。それらの遅延値の設定と確認について以下に述べる。

#### PSB↔HPT 間のタイミング

SLB テストパルス機能を用いて、SLB に対して無限大運動量で TGC1,2,3 を通過するような仮想ヒットを入力した。もし、TGC1 と TGC2&3 のタイミングが揃っていれば、HPT でコインシデンスが取られ、 $high-p_T$  フラグが SL に伝えられるはずである。ワイヤー試験の結果を図 3.34 載せる。赤い点が  $high-p_T$  として、黒い点が  $high-p_T$  または  $low-p_T$  として SL に入力された場合である。全ての対応する RoI に対して  $low-p_T$  と、 $high-p_T$  が正しく出力されている事がわかる。しかし、タイミングが揃っていなければ、コインシデンス処理が行われずに  $low-p_T$  のみの出力となる。図 3.35 に、 $low-p_T$  のみが出力された場合を載せる。そのような場合は、遅延パラメータの設定が間違っているか、HPT 内を流れるクロックの位相と SLB からの入力の信号がきわどい位置関係にある場合が考えられる。前者は TGC の全セクターに共通の値なのでまず間違いようがない。後者の場合は HPT 内を流れるクロックの位相と、信号のタイミングがテストパルスのタイミングが Hpt での input Delay を半クロックずらすことで位相を適切に調整した。

#### UX15↔USA15

SL からトリガー情報が出力されるタイミングをオシロスコープを用いて実測した。その差を MuCTPI で吸収するように遅延値の設定を行った。

#### CTP→SLB 間のタイミング

CTP から発行される L1A は TTCvi から実験室の全セクターに渡される、この際 TTC 信号が伝わるファイバー長はセクター間で差がある。このファイバー長差は TTC 信号を実験室でファイバーをループバックさせ全 24 セクター分の遅延値の測定を行った。その結果が既に 3.3.4 項に乗せた図 3.7 である。

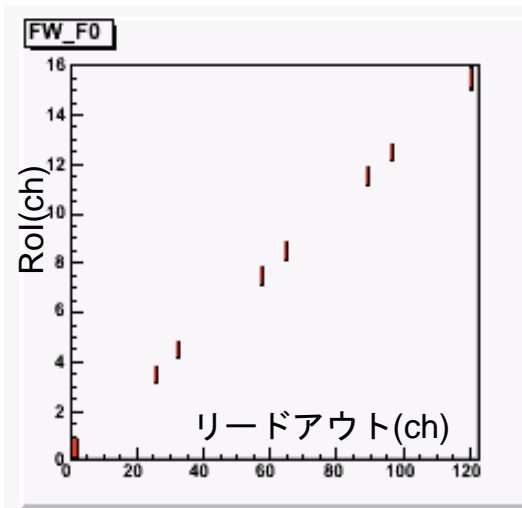


図 3.34: HPT でのタイミングチェック [16]

横軸が SLB から読み出されるチャンネル、縦軸が SL から読み出される RoI のチャンネル。お互いに相関が取れている。

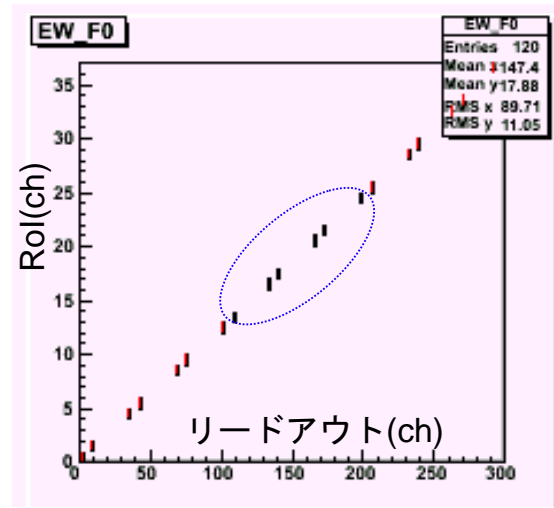


図 3.35: HPT の出力が無い場合

点線で囲まれた部分は、黒い点のみで示される。タイミングがずれており Triplet と相関が取れなかったことを示す。

### 3.9.1 宇宙線データでのタイミングチェック

宇宙線ランで取得データを見てみると、宇宙線でデータを取得した際のタイミングを図 3.36 に乗せる。このタイミングは、TGC 自身が発行した L1A に対してどのバンチで読み出しを行っているかを示す。ほぼ全てのイベントで current バンチで読み出せている。このことから、BCID が行われた後、コインシデンス処理がクロック単位でふらつく事無く行われている事がわかる。

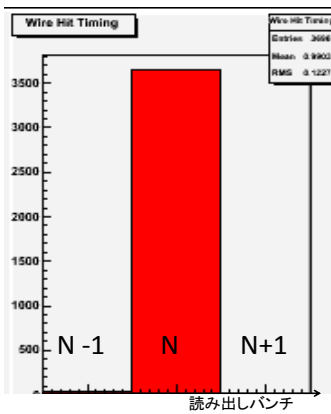


図 3.36: トリガータイミング

previous バンチで読みだした場合は 0、current バンチで読みだした場合は 1、next で読みだした場合は 2。ほぼ全てがカレントバンチで読みだしている。

### 3.9.2 シングルビームデータのタイミング

2008年9月にLHCに1st beamが入射された。この時のビームはCサイド側からAサイド側へ向かうビームで、ATLAS測定器の100mほど手前でビームを障害物にあてて散乱させるということを行った。ビームパイプ上流のある地点をバンチが通過した際に出されるBPTX(Beam Pickups)信号にたいして、TGCがどのバンチでトリガーを発行したのかその分布を示す。SLから3種類の条件で出されるトリガー出力を重ねてプロットしている。4バンチ離れたところにトリガーのピークが2本立っている。片側のピークがTGC-C sideが発行したトリガーであり、もう一方がA-Sideが発行したトリガーである。間の4バンチはC-sideからA-sideまで粒子が通過するのにかかるTOFに対応する。この時に設定されていた遅延パラメータはTOFとケーブル長による遅延から算出された値のみであるが、かなり良い精度でタイミング調整がなされている事がわかる。若干あるばらつきは、

1. IP由来の粒子でないこと
2. 信号の減衰による遅延効果やタイミング測定によるケーブル長パラメータの補正含まれていない事
3. TGCのクロックとバンチ衝突の位相調整がなされていない事

によるもので、2についてはその補正を行ったパラメータを使用する準備はでている。3はバンチ衝突開始後に調整が必要な最後の1パラメータである。その調整方法について次項から述べる。

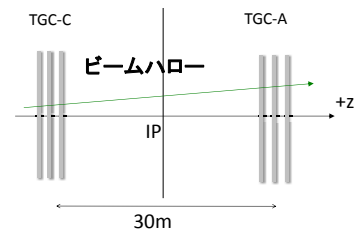
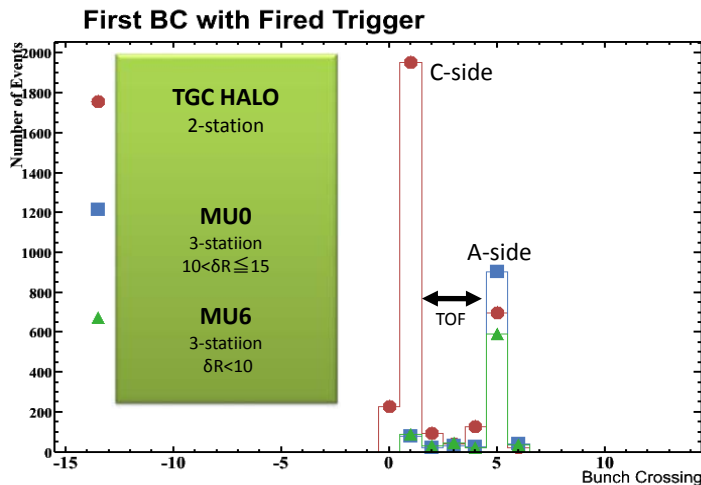


図 3.38: シングルビーム

図 3.37: 1st beam でのトリガータイミング

ビームパイプ上流のある地点を通過すると出される基準となる信号にたいして、TGCの信号がどのタイミングで出されたかの分布を示す。横軸がバンチID、縦軸がTGCから発行されたトリガーの数。Cサイドに対してAサイドのヒットが4バンチ(100ns)程遅れている。これはC-sideからA-sideに粒子が通過するのにかかる時間に対応する。

### 3.10 バンチ衝突間隔とクロックの位相調整

3.3.1 項で述べたとおり、TGC システム内を流れるクロックとバンチ衝突の間隔には位相差がある。そのため今まで仮定してきたタイミングに、位相差分の offset が加わる。offset があると、timejitter の中で遅れて届くヒット情報はゲートからこぼれて次のバンチとして ID されてしまう。その位相差を吸収を行うためには TGC 内を流れるクロックの位相を変化させバンチ衝突のタイミングに対して適切になるように調整しなければならない。(図 3.39) 本項目ではビーム衝突開始後に必要なこの位相調整をどのように行っていくかを以下に述べる。

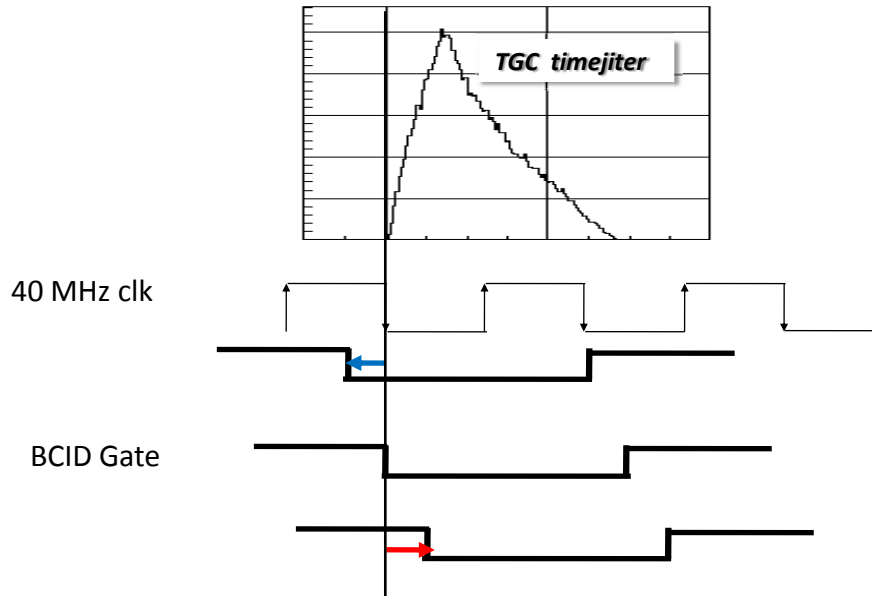


図 3.39: シグナルとクロックの位相調整

クロックの位相を変化させ BCID ゲートの開くタイミングをあるバンチ衝突から届くタイムジッターの先頭に揃える。

#### 3.10.1 位相調整のストラテジー

クロック信号の位相を変えながらデータを読み出し、そのヒット数の変化を見ることで正しい位相を探る。クロックのタイミングを遅くしていくと、それ対応して L1A のタイミングも一つ早い方に変化するために読み出される信号のバンチは常に一定 (current) になってしまう。これでは、ヒット信号のバンチ変化を見ることのできない。そのために、つねに一定の BCID に対して L1A を出すリファレンストリガーを用意する必要がある。そこで、Triplet(TGC1) をリファレンストリガーに用いて Doublet(TGC2,3) のタイミング調整を行う事にする。

具体的なストラテジーについて以下に示す。

1. Doublet(TGC2 と TGC3) のトリガーラインに適当なヒットパターンを入力することで、Triplet にヒットがあった場合に常にトリガーが発行されるように設定する。

2. TGC がトリガー発行したイベントの BCID から、シングルバンチ (ビーム衝突開始後しばらくは orbit に対し一個のバンチだけが入射される) の BCID に対応する値 (N) を得る。
3. Doublet 側のみ クロックの位相を変化させながらデータを取る。
4. TGC でトリガーしたイベントのみを選別するために、Triplet で current バンチの BCID が N のものを取り出す。

このデータから Doublet の TTC に設定すべき適切な遅延値を見つける。Doublet 側のスキャン結果と Triplet 側のスキャン結果は一致するので、Triplet ではディレイスキャンは行わず Doublet と同じ値を設定する事になる。以上で TGC システム内でのクロックとビームの衝突の位相は適切に揃えられる。

### 3.10.2 予想されるタイミング変化

位相調整はバンチ衝突開始後に速やかにすませる必要がある。そのためには、ディレイスキャンにおいてどのような結果が見えるのか、またどれだけ時間がかかるのかを前もって知っておく必要がある。

ディレイスキャンで見られるタイミング変化の結果は、TGC のタイムジッターと BCID ゲートの幅に依存する。ここで、2.3 項 (TGC の時間分解能) で説明した TGC のタイムジッターが最も大きい入射角 10 度の場合について考える。

このタイムジッターを持つ場合に、複数の BCID ゲート幅に対して、TTC シグナルの遅延値を変化させたときのタイミング変化の予想図を図 3.40 ~ 3.43 に示す。横軸が TTC 信号に対する遅延値、縦軸が TTC のディレイ値による previous バンチ (赤)、current バンチ (黒)、next バンチ (青) のエントリーである。ここで Delay=0 が、求めたいクロックとバンチ衝突のが適切となる位相である。どのゲート幅でも、遅延値が 0 の時が current のヒット数が最大となり、それより大きくなるとヒットの数が減っていく、しかしその変化はゆるかであるのでそのタイミングをあまいなく決める事は難しい。そこで、previous バンチに注目する。ゲート幅が 26nsec の場合に、current バンチのヒット数のピークと previous バンチのヒット立ち上がり一致している事がわかる。この事を利用して、BCID のゲート幅=26nsec の時に previous バンチの立ち上がりから適切なタイミングを判断する。

### 3.10.3 必要な統計量と時間

ゲート幅 26nsec の際に、立ち上がりを判断するためにどれだけの統計が必要かをモンテカルロシミュレーションを利用した方法で評価した。

図 3.44(10 イベント) ~ 図 3.47(1000 イベント) にシミュレート結果を示すが、10000 イベントあればその立ち上がりが判断できることが分かる。

10000 イベントあれば十分に立ち上がりが判断できる事がわかる。次に 10000 イベント統計を貯めるために必要な時間を見積もる。キャリアレーションの期間に行われる 10TeV でルミノシティが  $10^{31}$  の場合のミューオンシステムのトリガーレートはシミュレーションの結果から 1000Hz と見積もられている。1.05 <  $\eta$  < 2.04 の TGC システムが閉める割合はその約半分の 500Hz 程度である 25nsec 幅を 1step 単位でスキャンを行い、各 step で 10000 イベントためるとする。するとディ

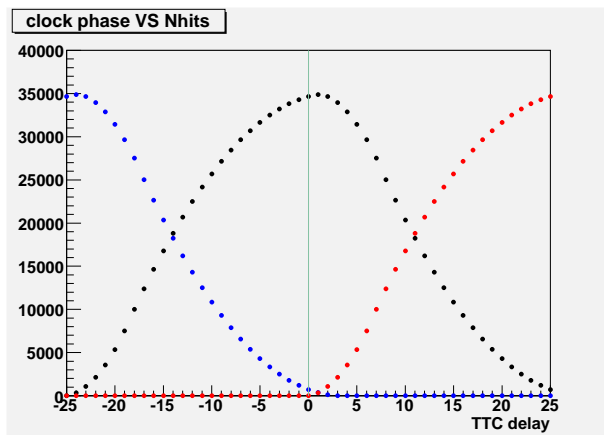


図 3.40: ゲート幅が 26nsec の場合のタイミング変化のシミュレーション

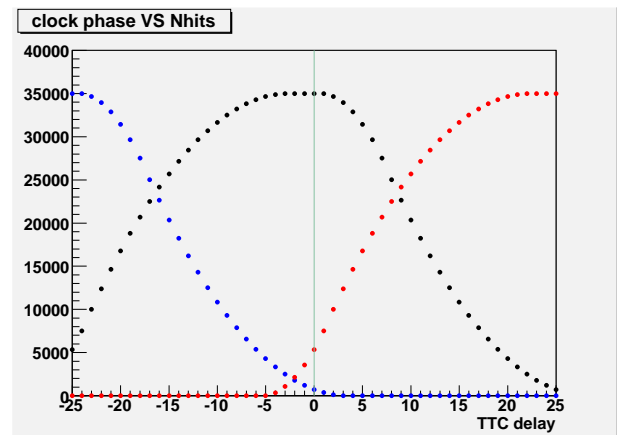


図 3.41: ゲート幅が 30nsec の場合のタイミング変化のシミュレーション

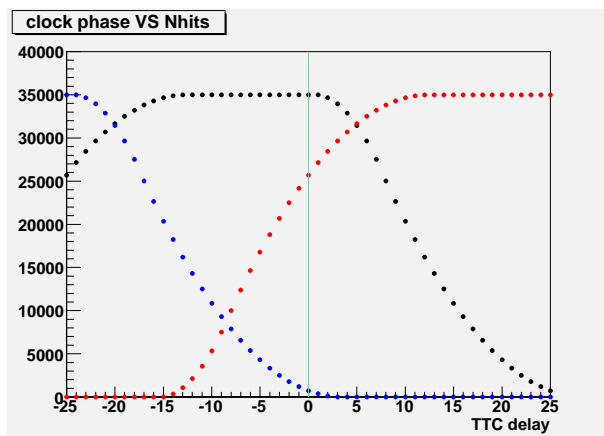


図 3.42: ゲート幅が 40nsec の場合のタイミング変化のシミュレーション

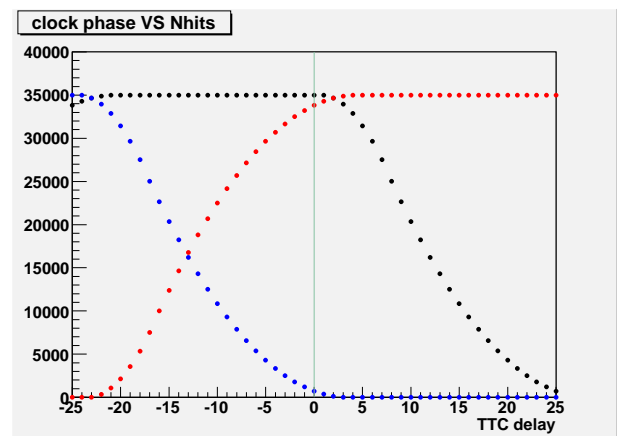


図 3.43: ゲート幅が 48nsec の場合のタイミング変化のシミュレーション

横軸がクロックの位相 (1step=1nsec)、青が next バンチ、黒が current バンチ、赤が previous バンチゲート幅が 26nsec の時、適切な位相 (=0) と previous バンチヒットの出始めが一致する。

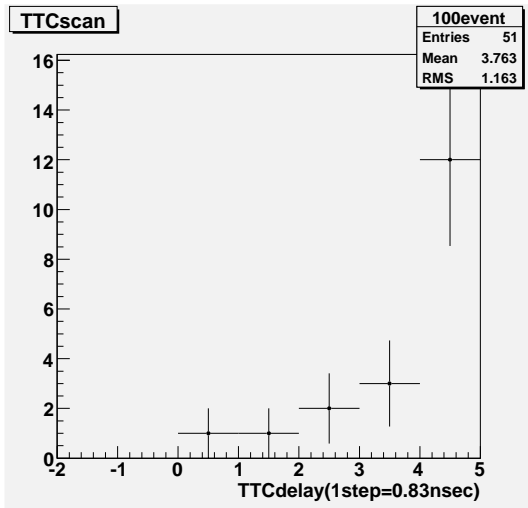


図 3.44: シミュレーション結果 (10 イベント)

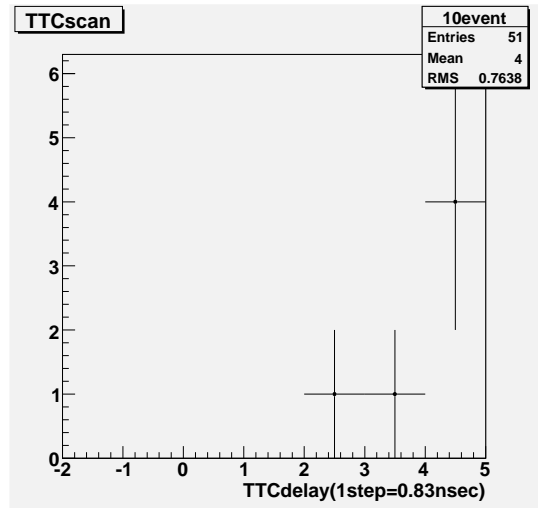


図 3.45: シミュレーション結果 (100 イベント)

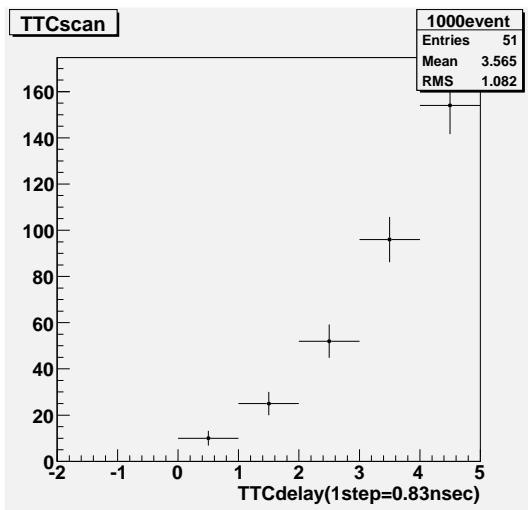


図 3.46: シミュレーション結果 (1000 イベント)

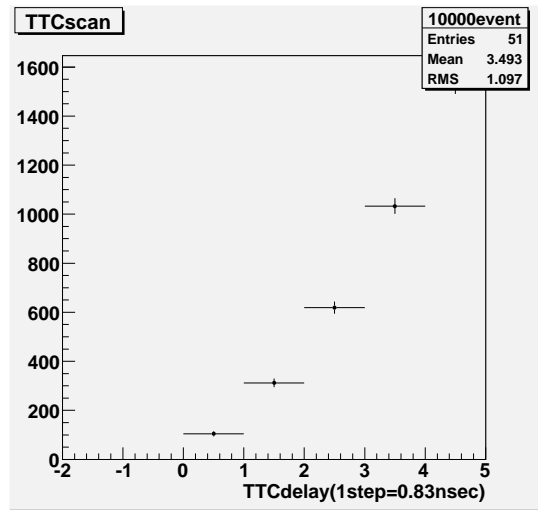


図 3.47: シミュレーション結果 (10000 イベント)

タイミング変化 (ゲート幅が 26nsec) のモンテカルロシミュレート previous バンチのヒットの立ち上がりは 10000 ヒットあれば十分に求める事が出来る。

レイスキャンでデータをとるために必要な時間は、

$$10000 \div \text{トリガーレート Hz}(500) \times \text{ディレイスキャンの step}(25)$$

$$= 500\text{sec} \cong 10\text{min}$$

タイミング調整に必要なデータを取り終えることができるのにかかる時間は 10min 程度である。さらにパラメータの設定のためにかかる時間、解析を行うのにかかる時間を考慮しても、キャリブレーションの時間として許すことのできる十分に短い時間で調整を終わらせることができる。

## 4 まとめ

- TGC システムのタイミング調整に必要な全パラメータの作成を行った。2008 年 9 月に得られたシングルビームデータから、非常に良い精度でタイミング調整が行われている事が実証された。
- 「信号の減衰による遅延効果」の測定を行い遅延パラメータに反映させた。
- テストパルスを用いてバンチ衝突点からやってくる粒子を再現しタイミングの検証を行った。
  - ケーブルスワップ、欠損 ASD、ノイジーな ASD 発見され、前者二つについてはその修正を行った。アクセスができないため修正が行えていない ASD があり、それらはアクセスが可能となる 4 月にその修正行う予定である。
  - ディレイスキャンの結果 BW は RMS で  $1.5\text{step}(=1.2\text{nsec})$  のタイミングのばらつきがあった。その補正を行うため同種類のケーブルの平均値から、ケーブル長のパラメータに対して補正を行った。その結果タイミングのばらつきは  $\text{RMS}=1.1\text{step}(=0.9\text{nsec})$  に改善した。さらに全ての ASD のタイミングが  $6\text{step}(=5\text{nsec})$  に収まようように個々の ASD に対してパラメータの修正を行った。このばらつきは BCID ゲート幅を広げることで対応する事が出来る。
  - EIFI のタイミングのばらつきは  $\text{RMS}=1.6\text{step}(=1.3\text{nsec})$  であった。BW よりもばらつきが大きいのはケーブルの構造に起因する経路差による影響である。BW と同様に全ての ASD のタイミングが  $6\text{step}$  以内に収まるようにパラメータを修正した。

以上の修正により 2008 年 9 月のシングルビームのデータを得た段階よりも、さらに良い精度でタイミング調整を行えた。

- 残された 1 パラメータである、バンチ衝突間隔とクロックの位相調整について考察した。適切な位相を決定するために必要な統計量は 10000 ヒットで、その場合データを取り終えるのにかかる時間は約 10 分である。これはキャリブレーションで許される十分短い時間である。現在より詳細なストラテジーと解析ソフトウェアを考案中である。

## 謝辞

本研究を行うにあたり、適切にご指導並びに懇切丁寧な指導をして頂いた指導教官の佐々木修准教授<sup>a</sup>に深く感謝いたします。

また本研究の機会を与えて頂くとともに、惜しめない助言を下された近藤敬比古教授<sup>a</sup>に深く感謝いたします。

また TGC エレクトロニクスグループにおいて、様々な御指摘と助言を頂いた池野正弘氏<sup>a</sup>、蔵重久弥氏<sup>d</sup>、石野雅也氏<sup>b</sup>、戸本誠氏<sup>f</sup>、杉本拓也氏<sup>f</sup>、坂本宏氏<sup>b</sup>、福永力氏<sup>c</sup>、石川明正氏<sup>d</sup>、松下崇氏<sup>d</sup>、菅谷頼仁氏<sup>e</sup>、織田勸氏<sup>b</sup>に深く感謝致します。

また、様々な機会に貴重な意見と御指導を頂いた岩崎博行氏<sup>a</sup>、徳宿克夫氏<sup>a</sup>、尾高茂氏<sup>a</sup>、小曾根健嗣<sup>a</sup>、田中秀治氏<sup>a</sup>、陣内修<sup>a</sup>、越智敦彦氏<sup>d</sup>、川本辰男氏<sup>b</sup>他 ATLAS 日本グループの方々にも深く感謝致します。

TGC エレクトロニクスグループで共に研究に励んだ久保田隆至氏<sup>b</sup>、奥村恭幸氏<sup>f</sup>、高橋悠太氏<sup>f</sup>、長谷川慧氏<sup>f</sup>、金賀史彦氏<sup>b</sup>、結束晃平氏<sup>b</sup>、平山翔氏<sup>b</sup>、門坂拓哉<sup>d</sup>、丹羽正氏<sup>d</sup>、中塚洋輝氏<sup>d</sup>、早川俊氏<sup>d</sup>、越前谷陽佑氏<sup>b</sup>、伊藤悠貴氏<sup>f</sup>、岸木俊一氏<sup>f</sup>、神野高幸氏<sup>f</sup>、綱田啓氏<sup>f</sup>、秋山邦裕氏<sup>d</sup>、西山知徳氏<sup>d</sup>に深く感謝します。

また研究生活を通じて惜しめない協力を頂いた大町千尋氏<sup>d</sup>、喜家村裕宣氏<sup>d</sup>、道前武氏<sup>g</sup>、奥山豊信氏<sup>g</sup>に深く感謝します。

また、秘書の朝日恵美さん<sup>a</sup>、本田由子さん<sup>a</sup>に深く感謝致します。

高エネルギー加速器研究機構 (KEK)<sup>a</sup>  
東京大学素粒子物理国際研究センター (ICEPP)<sup>b</sup>  
東京都立大学理学研究科<sup>c</sup>  
神戸大学自然科学研究科<sup>d</sup>  
大阪大学理学部<sup>e</sup>  
名古屋大学理学研究科<sup>f</sup>  
東京大学理学研究科<sup>g</sup>

## 略語集

**ASD** : Amplifier-Shaper-Discriminator  
**ASIC** : Application Specific Integrated Circuit  
**ATLAS** : A Toroidal LHC Apparatus  
**BC clock** : Bunch Crossing Clock  
**BCID** : Bunch Counter ID  
**BCR** : Bunch Counter Reset  
**BW** : Big Wheel  
**CAN** : Controller Area Network  
**CCI** : Crate Control Interface  
**CSC** : Cathode Strip Chambers  
**CTP** : Central Trigger Processor  
**DAQ** : Data Acquisition System  
**DCS** : Detector Control System  
**ECR** : Event Counter Reset  
**EF** : Event Filter  
**EIFI** : Endcap Inner Forward Inner  
 $E_T$  : Transverse Energy  
**high- $p_T$**  : High transverse-momentum  
**HPT** : High-Pt Board  
**HSC** : High-Pt Star Switch Controller  
**L1A** : LVL1 Accept  
**L1 Buffer** : Level1 Buffer  
**L1ID** : Level1 ID  
**LHC** : Large Hadron Collider  
**LVDS** : Low Voltage Differential Signal  
**LUT** : Look Up Table  
**MDT** : Monitored Drift Tubes  
**MWPC** : Multi Wire Proportional Chamber  
**PP** : Patch Panel  
**PS-Board** : Patch panel Slave Board  
**ROB** : ReadOut Buffer  
**ROD** : ReadOut Driver  
**ROI** : Region Of Interest  
**ROL** : Read Out Link  
**ROS** : Read Out System

**RPC** :Resistive Plate Chambers  
**SCT** :SemiConductor Tracker  
**SLB** :Slave Board ASIC  
**S-Link** :Simple Link Interface  
**SL** : Sector Logic  
**SSW** :Star Switch  
**TGC** :Thin Gap Chambers  
**TOF** :Time Of flight  
**TRT** :Transition Radiation Tracker  
**TTCrx** :TTC Receiver  
**TTC** :Timing Trigger Control  
**TTCvi** :TTC VMEbus Interface  
**VME** :VERSA Module Eurocard

## 参考文献

- [1] Osamu Sasaki ATLAS Thin Gap Chamber Production Readiness Review Report  
「Amplifier-Shaper-Discriminator ICs」 November 1999
- [2] Osamu Sasaki Patch-Panel ASIC , July 2005
- [3] ATLAS-Japan TGC electronics group, Slave Board ASIC Technical Document, March 2005
- [4] The ATLAS Collaboration and G Aad et al, The ATLAS Experiment at the CERN Large Hadron Collider August 14, 2008
- [5] ATLAS Technical Design Report Level-1 Trigger, 24 June 1998
- [6] Osamu Jinnouchi and Osamu Sasaki, Study On muon level-1 trigger scheme for TGC, 2,1998
- [7] J. Christiansen, A. Marchioro, P. Moreira and T. Toifl , TTCrx Reference Manual Ver3.11  
December 2005
- [8] 浅井 祥仁 高エネルギーニュース LHC で期待されている物理 2006 年 3 月
- [9] 野本裕史 東京大学修士学位論文 ATLAS 前後方ミュオントリガーシステム読み出し系の開発 2005 年 1 月
- [10] 桑原 隆志 東京大学修士学位論文 「ATLAS 前後方ミュオントリガーシステムの構築」2007 年月 1 月
- [11] 奥村泰幸 名古屋大学修士学位論文 LHC 実験開始に向けたミュオン粒子トリガーシステム統合試運転 2008 年 1 月
- [12] 高橋悠太 名古屋大学修士学位論文 大型ハドロン加速器実験用  $\mu$  粒子検出器の動作検証 2008 年 1 月

- [13] 門坂拓哉 神戸大学修士学位論文 ATLAS 前後方ミュオントリガーシステム Sector Logic 及びオンラインソフトウェアの開発 2008 年 2 月
- [14] 佐々木 修 池野 正弘 高エネルギーニュース 「アトラスミュオントリガーシステムのためのエレクトロニクス開発と建設」 2007 年 11 月
- [15] 平山翔 東京大学修士学位論文 ATLAS 実験前後方部レベル 1 ミュオントリガーシステムの構築と検証 2009 年 1 月
- [16] 長谷川慧. "ATLAS 実験 TGC 検出器の試運転総括 " 日本物理学会 2008 秋 23pSJ3, 名古屋大学, 2008