

修士学位論文

ATLAS 実験 エンドキャップ Level1
ミューオントリガシステムのビームテスト

東京都立大学 大学院
理学研究科 物理学専攻
計算システム物理研究室
豊島 克幸

2004 年 1 月 9 日

概要

欧州原子核研究所 (CERN) において、重心系 14TeV の衝突エネルギーを持つ大型陽子陽子衝突型加速器 (LHC) が、2007年実験開始を目指して建設中である。その衝突点におかれる ATLAS 検出器は、素粒子の質量の起源を担うヒッグス粒子の発見や、重力を含めた 4 つの力の足がかりになる超対称性粒子の発見などを目指す汎用の粒子検出器である。ATLAS 実験は、バンチ・クロッシング (陽子衝突) 頻度が 40MHz と非常に高く、また多くのバックグラウンドを伴うため、この中から重要なイベントを識別し、効率良くデータを収集するためのトリガシステム必要である。ATLAS 測定器の前後方ミュオントリガ検出器 (TGC) は、このトリガシステムのうち、最初の段階でのトリガ判定である Level1 トリガを担う、大規模なトリガシステムである。TGC からの出力チャンネル数はシステム全体で 30 万以上になり、迅速に処理するには信号処理系の IC 化が必須である。

TGC エレクトロニクス・グループでは、これらの信号処理用の IC、ならびにそれを搭載するモジュールの開発を行ってきた。そして、全てのモジュールのプロトタイプが完成したので、それらを組み合わせて実際の実験と同様のシステムを組んで動作検証を行う、統合テストを行った。統合テストは昨年度より行われているが、今年度は新しいプロトタイプを組み込み、また昨年テストしなかった機能についてもテストを行い、TGC エレクトロニクスとしての全ての機能が正しく動作することを確認した。

そして、CERN の SPS 加速器からのミュオン・ビームを用いて、TGC とエレクトロニクスを統合、さらには他のミュオン検出器との統合テストを行い、TGC システムが正しくトリガ判定を行い、データ取得が出来ることを確かめた。

目次

第 1 章	序論	1
第 2 章	ATLAS 実験	3
2.1	LHC	3
2.2	ATLAS の目指す物理	4
2.2.1	標準理論 Higgs 粒子	4
2.2.2	超対称性粒子 (SUSY)	7
2.2.3	超対称性 Higgs 粒子	8
2.2.4	その他の物理	8
2.3	ATLAS 検出器	9
2.3.1	インナー・ディテクター	10
2.3.2	カロリメータ	10
2.3.3	ミュオン・スペクトロメータ	11
2.3.4	マグネットシステム	13
第 3 章	トリガおよび DAQ システム	15
3.1	ATLAS 実験でのトリガ & DAQ システム	15
3.1.1	LVL1	15
3.1.2	LVL2	16
3.1.3	EF (Event Filter)	17
3.2	LVL1 トリガ・システム	17
3.2.1	ミュオントリガ・システム	18
3.2.2	CTP(Central Trigger Processor)	18
3.2.3	TTC(Timing, Trigger and Control distribution)	19
第 4 章	TGC ミュオントリガシステム	21
4.1	TGC の構造	21
4.2	TGC の配置	24
4.3	トリガスキーム	25
4.4	TGC エレクトロニクス	27
4.4.1	システム全体	27
4.4.2	ASD(Amplifier Shaper Discriminator) Board	30
4.4.3	PP(Patch Panel) ASIC	30
4.4.4	SLB(Slave Board) ASIC	31
4.4.5	JRC(JTAG Routing Contoroller)	32
4.4.6	eLMB(embedded Local Monitor Box)	33
4.4.7	PS Board	33

4.4.8	SPP(Service Patch Panel) Board	33
4.4.9	PS Pack	34
4.4.10	HPT(High-p _T Board)	35
4.4.11	SL(Sector Logic)	36
4.4.12	SSW(Star Switch)	37
4.4.13	Read Out Driver Board (ROD)	38
4.4.14	High-p _T Star-switch Contrller Board (HSC)	39
4.4.15	Crate Control Interface Board (CCI)	39
4.5	タイミング調整	40
4.6	TGC エレクトロニクスの設置	42
4.6.1	放射線による影響	42
第 5 章	統合テスト	46
5.1	トリガ系統合テスト	46
5.1.1	テストの方法	46
5.1.2	トリガシミュレーション	46
5.1.3	セットアップ	47
5.1.4	結果	51
5.2	リードアウト部統合テスト	52
5.2.1	テストの方法	52
5.2.2	セットアップ	53
5.2.3	結果	55
5.3	まとめ	56
第 6 章	ビームテスト	57
6.1	ビームテスト環境	57
6.2	TGC stand-alone run	58
6.2.1	セットアップ	58
6.2.2	結果	60
6.2.3	TGC stand-alone run まとめ	72
6.3	combined run	73
6.3.1	セットアップ	73
6.3.2	結果	74
6.3.3	ATHENA Framework による解析	75
6.3.4	ATHENA からの TGC Data の読み出し	77
6.3.5	MDT Data からの TGC ヒットチャンネルの外挿	78
6.3.6	combined run まとめ	81
第 7 章	まとめ	82
付 録 A	放射線照射試験	84
A.1	照射対象	84
A.1.1	照射用ボード	85
A.2	γ線照射テスト	86
A.2.1	線照射時のセットアップ	86

A.2.2	測定結果と考察	88
A.3	陽子ビームテスト	91
A.3.1	実験時のセットアップ	91
A.3.2	測定結果と考察	93
A.4	放射線照射試験のまとめ	98
付録B JTAG		99

目次

2.1	LHC 加速器	3
2.2	CMS	4
2.3	Alice	4
2.4	LHC-B	4
2.5	Higgs 生成のファインマン・ダイアグラム	5
2.6	Higgs 生成断面積の質量依存	5
2.7	Higgs 崩壊分岐比の質量依存	6
2.8	標準 Higgs 粒子発見の可能性	7
2.9	ATLAS 測定器	9
2.10	インナーディテクターの構造	10
2.11	カロリメータの構造	11
2.12	ミュオン・スペクトロメータ	12
2.13	ミュオン・スペクトロメータ (R-Z 断面図)	12
2.14	MDT の構造	13
2.15	マグネットの構造	14
2.16	η と磁場積分強度の関係	14
2.17	X-Y 平面の磁束の構造 ($z=10.5\text{m}$)	14
3.1	Trigger & DAQ システム	16
3.2	LVL1 トリガ処理の流れ	18
3.3	ミュオントリガ系のデータの流れ	19
3.4	TTC のパーティション	20
4.1	TGC の配置と構造	21
4.2	ワイヤ・サポート	22
4.3	TGC の断面図	22
4.4	TGC の Triplet(左) と doublet(右) の構造	23
4.5	TGC のタイムジッター	23
4.6	R-Z 断面での TGC のレイアウト	24
4.7	M3(pivot) での TGC の配置と区分	25
4.8	P_T 測定の原理	26
4.9	TGC トリガの判定方法	27
4.10	TGC エレクトロニクスのデータの流れ	29
4.11	ASD Board	30
4.12	SLB 3 out-of 4 ブロック図	31
4.13	SLB 2 out-of 3 ブロック図	31
4.14	SLB 1 out-of 2 ブロック図	31

4.15	SLB EI/FI ブロック図	31
4.16	デクラスタリング	32
4.17	JRC 内部の模式図	32
4.18	PS Board の構成図	33
4.19	PS Board	34
4.20	Service Patch Panel	34
4.21	PS-Pack の構成と配置	34
4.22	HPT Board	35
4.23	HPT ワイヤ ブロック図	35
4.24	HPT ストリップ ブロック図	35
4.25	SL	36
4.26	SL ブロック図	36
4.27	SL での処理の流れ	36
4.28	SSW	37
4.29	ROD	38
4.30	HSC	39
4.31	CCI	39
4.32	ASD から SLB ASIC までの信号のタイミングチャート	40
4.33	SLB、High-p _T ASIC でのタイミング調整	42
4.34	TGC エレクトロニクスの配置	42
4.35	TGC エレクトロニクスの配置 (R-Z 断面)	42
4.36	多数決回路	45
5.1	スライス・テストの流れ	47
5.2	トリガ系統合テストのセットアップ	48
5.3	通常の SLB ASIC 入力波形	51
5.4	見つかった SLB 入力波形の異常	51
5.5	リードアウト系統合テストのセットアップ	54
5.6	ASD エミュレータ	54
5.7	SSW 出力 (header パターンの例)	56
6.1	SPS と H8	57
6.2	H8 での TGC の位置	58
6.3	TGC のレイアウト	59
6.4	ビームに対する TGC の配置	59
6.5	使用した TGC 及びエレキの Type	59
6.6	データ検証ソフトウェア	62
6.7	イベントディスプレイ・ソフトウェア	62
6.8	TGC のヒットマップとワイヤ・サポートの影響 -その 1	63
6.9	TGC のヒットマップとワイヤ・サポートの影響 -その 2	64
6.10	全層のビームプロファイル	65
6.11	HV 電圧に対する検出効率の変化	67
6.12	ワイヤ各層での delay curve	68
6.13	delay curve の原理	68
6.14	ゲート幅と検出効率の関係	69

6.15	TGC Chamber Efficiency (Wire)	70
6.16	TGC Chamber Efficiency (Strip)	70
6.17	Low- p_T Efficiency	71
6.18	SL 出力の p_T 分布	72
6.19	MDT、RPC の layout	73
6.20	online controller	74
6.21	SL と MuonCTPI の p_T の相関	76
6.22	SL と MuonCTPI の ROI の相関	76
6.23	ATHENA Framework のオブジェクト図	77
6.24	ATHENA の Data の流れ	77
6.25	Barrel MDT の Tracjing	78
6.26	各 MDT での segment 数	79
6.27	MDT 間の外挿のズレ	80
6.28	バレル MDT からの TGC ワイヤ ヒット・チャンネルの外挿	80
A.1	eTBC と ASP	85
A.2	HSC と SSW	85
A.3	照射用ボード	86
A.4	照射用ボードの構成図	86
A.5	照射試験セットアップ図	87
A.6	照射試験セットアップ図 (詳細)	87
A.7	線源からの距離とシリコンに対する γ 線の強度	88
A.8	γ 線照射テストでの動作チェック	89
A.9	γ 線照射中の電流値の推移 (eTBC)	90
A.10	γ 線照射の電流値の推移 (ASP)	90
A.11	陽子線照射試験セットアップ図	92
A.12	陽子線照射試験セットアップ図 (写真)	92
A.13	照射ボードのセットアップ	93
A.14	SEU 頻度測定	93
A.15	Cu フォイルからの γ 線スペクトル	94
A.16	eTBC chip1 のビームプロファイル	94
A.17	eTBC chip2 ビームプロファイル	94
A.18	ASP chip1 ビームプロファイル	95
A.19	ASP chip2 ビームプロファイル	95
A.20	陽子線照射中の電流値の推移 (eTBC)	97
A.21	陽子線照射中の電流値の推移 (ASP)	97
B.1	バウンダリ・スキャン・レジスタ	99
B.2	JTAG デバイスの構成	100
B.3	TAP Controller State	100

表 目 次

2.1	LHC 加速器の主なパラメーター	4
3.1	TTC で使われる主な信号	19
4.1	RHA のシミュレーションによる放射線量の見積もり	43
4.2	RHA のシミュレーションの安全係数	44
4.3	TGC エレクトロニクスが置かれる環境での RTC	44
5.1	トリガ系統合テスト用ソフトウェア	51
5.2	トリガ系統合テストの結果	52
5.3	リードアウト系統合テスト用ソフトウェア	55
5.4	テスト・パターン	55
6.1	データ検証の結果	66
6.2	PP ASIC のディレイ値とゲート幅	69
6.3	トリガ効率	72
6.4	SL Data の内容	74
6.5	SL と MuonCTPI の Data 比較結果	75
A.1	放射線照射テストの内容と目的	84
A.2	γ 線照射試験の測定内容	89
A.3	陽子線線照射試験の測定内容	91
A.4	照射線量と陽子フルエンス	96
A.5	陽子線照射テストからの SEU 断面積の計算結果	98
A.6	ATLAS 全体での SEU 頻度	98

第1章 序論

現在ジュネーブ郊外にある欧州原子核研究機構 (CERN) において、大型陽子陽子衝突型加速器 (LHC) が 2007 年運転開始を目指して建設中である。LHC は重心系エネルギーが 14TeV という世界最大のエネルギーをもつ加速器で、ヒッグス粒子や超対称性粒子の探索、電弱対称性の実験的な解明などの新たな物理現象の発見が期待されている。LHC で行なわれる実験の一つに ATLAS 実験があり、その測定器は長さ 44m、直径 22m、総重量 7000t と巨大なものである。

LHC のビーム衝突は 40.08MHz と非常に高い頻度で起こり、検出器の規模が大きいため総チャンネル数も多く、莫大なバックグラウンドが生じる。従って、膨大な量のデータを高速かつ効率良く処理するためのトリガ・システム及びデータ収集システムが必要である。ATLAS 実験では 3 段階のトリガ・システムを導入しており、データは各検出器からの情報をもとに、各システムで段階的に取捨選択される。その最初の段階のトリガ判定は、Level1 トリガと呼ばれ、25nsec 毎にやってくる信号を処理し、20 μ sec 以内にトリガ判定を行わなければならない。エンドキャップ (前後方)・ミュオントリガ用検出器 (TGC) は、そのデータ処理のエレクトロニクスと共に Level1 トリガ・システムの一部を担っている。

TGC からの出力チャンネル数は 32 万チャンネルもあり、ミュオントリガ判定を迅速に処理しなければならない。また、ATLAS 実験での強い放射線環境に耐えられる必要がある。これらの要求から、多くの回路は ASIC(Application Specific IC) と呼ばれる特定用向けの IC を用いて実現している。我々 TGC エレクトロニクス・グループでは数種類の ASIC を開発してきており、全ての ASIC とそれを搭載するモジュールでプロトタイプ、もしくは完成品が出来上がっている。そこで、モジュール単体での動作検証、それらをモジュールを統合しての統合テストが行われてきた。

今年度は、TGC とエレクトロニクスとを統合し、実際にミュオンを照射しての動作検証を行うビームテストが CERN の SPS 加速器を用いて行われることになっており、それまでにエレクトロニクスの完全な動作チェックを行う必要があった。そこで、新しいプロトタイプを組み込んでの統合テストを引き続き行い、ソフトウェアの改善などを行った。さらに、これまで行われてこなかった部分についても統合テストを行い、TGC エレクトロニクスシステム内で全ての機能が動作することを確かめて、CERN でのビームテストを行った。

統合テストは、新たにモジュールの新しいプロトタイプを組み込んで行った。昨年度までに一通りのソフトウェアは製作されたが、各 ASIC の設定をソフトウェアから行う際に、成功したかどうかをチェックするなどのいくつかの機能を追加した。その結果、モジュールのバグを発見し、その箇所を修正することでトリガ系が正しく動作することを確認した。

また、昨年までの統合テストは、TGC エレクトロニクスがトリガを出すためのトリガ系の部分だけを行っていたが、TGC のデータを読み出すリードアウト系についてもテストできるようにした。その結果、ビームテスト前に TGC エレクトロニクスの全ての機能が動作することを確認した。

ビームテストでは、TGC とエレクトロニクスだけで動作検証を行う stand-alone run と、

ATLAS 実験での他のミュオン検出器と統合して動作検証を行う combined run を行った。stand-alone run の目的は TGC とそのエレクトロニクスが正しく動作するか、その仕様が実験での要求を満たしているかの確認である。そこで、はじめに TGC が望まれる検出効率を満たしていることを検証した。また、エレクトロニクスでは 25nsec 毎にミュオンの信号を正しく認識するために、信号入力部で細かい調整ができるようになっているが、それらを調整することによって、正しく 25nsec 毎に信号を認識できることを確認した。そして、TGC システムとして全ての機能が正しく動作することを確認した。

stand-alone run では、ミュオンが通過したことを知らせるトリガ信号はシンチレータによって出力されていたが、combined run ではトリガ・チェンバーである TGC がトリガ信号を出力し、他の検出器に配ることでデータ取得が行われた。この際、TGC システムからのトリガ候補の情報を受けてトリガの調整を行う MuonCTPI というモジュールと、TGC エレクトロニクスでデータの受け渡しが正しく行われることを検証した。その結果、TGC が正しくトリガを出して他の検出器と一緒にデータ取得を行えることを確認した。

さらに、ビームテストで得たデータを ATLAS 実験での標準的な解析の枠組みである、ATHENA Framework で扱えるようにした。そして、combined run で同時にデータ取得を行った MDT (Muon Drift Chamber) のデータを用いて、ミュオンが TGC へ入射する際のチャンネルを外挿し、TGC のデータとの相関を調べた。

本論文では、まず次章に LHC の特徴や期待される物理、ATLAS 検出器の概要について述べ、第 3 章で ATLAS 検出器のトリガ・システムについて説明する。続いて第 4 章ではエンドキャップ・ミュオントリガの検出器とエレクトロニクスについて説明する。第 5 章では統合テストに関して述べる。第 6 章ではビームテストでの stand-alone run、combined run について述べる。第 7 章では本論全体を通してのまとめを述べる。

第2章 ATLAS実験

この章では初めに ATLAS 実験が行われる LHC 加速器について説明し、続いて ATLAS 実験で発見が期待される物理、ATLAS 検出器の各検出器について説明する。

2.1 LHC

LHC(Large Hadron Collider)は2007年実験開始を目指して、スイスとフランスの国境にある CERN(欧州原子核研究機構)にて地下100mに建設中の周長約27kmの大型陽子陽子衝突型である。図2.1にLHCの完成予想図を示す。ハドロンコライダーであるためシンクロトロン放射によるエネルギー損失が少なく、重心系14TeVの高エネルギー領域の実験が可能である。陽子ビームは 1.1×10^{11} 個づつバンチ化され、バンチ・クロッシング・レートは40.08MHzで、高ルミノシティ時には1回のバンチクロッシングあたり平均23回の陽子衝突が予想される。LHCの主なパラメータを表2.1に示す。

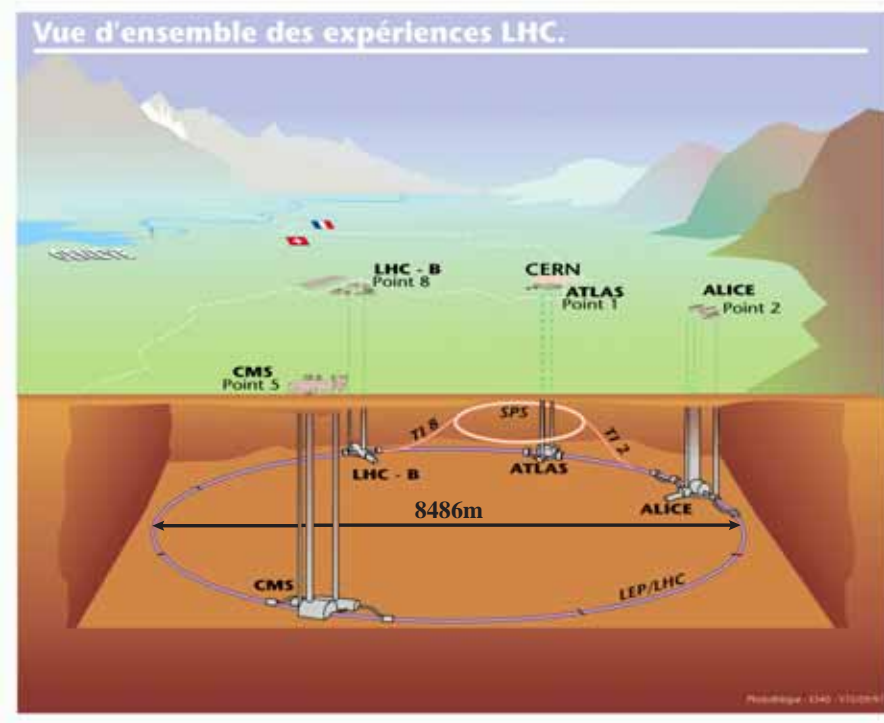


図 2.1: LHC 加速器

主リング周長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
(低) ルミノシティ	$10^{33} cm^{-2} s^{-1}$	(高) ルミノシティ	$10^{34} cm^{-2} s^{-1}$
ルミノシティ寿命	10 時間	入射エネルギー	450GeV
衝突頻度	40.08MHz	バンチ間隔	24.95nsec
1バンチあたりの陽子数	10^{11} 個	バンチの長さ	75mm
バンチ数	2835 個	バンチ衝突あたりの陽子衝突	23
衝突点のビーム半径	16 μm	衝突角度	200 μrad

表 2.1: LHC 加速器の主なパラメーター

LHCには4つのビーム衝突点がありそれぞれに、後述する大型汎用検出器 ATLAS(A Trooidal LHC Apparatus)、ATLAS より小型の汎用検出器である CMS(The Compact Muon Solenoid 図 2.2)、重イオン衝突実験用検出器の ALICE (A Large Ion Collider Experiment 図 2.3)、B-Physics に特化した検出器 LHC-B(図 2.4) が設置される。

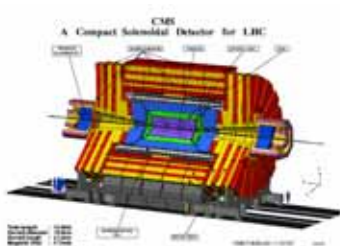


図 2.2: CMS

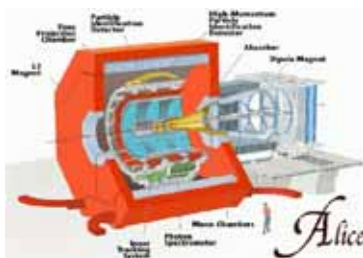


図 2.3: Alice



図 2.4: LHC-B

2.2 ATLAS の目指す物理

ATLAS 実験の主要な目的は Higgs 粒子と超対称性粒子の発見である。以下にそれらについて簡単にする。

2.2.1 標準理論 Higgs 粒子

Higgs 粒子は、ボソンとフェルミオンに質量を与える未知の粒子である。2000 年度 11 月までの LEP の 4 つの実験でのデータ解析結果を総合すると、質量が 114GeV 以下の標準理論で予言される Higgs 粒子の存在が棄却された。LEP-I などでの電弱相互作用に関わる物理量の精密測定から、Higgs 粒子の質量は約 200GeV 以下であることが結論されるので、Higgs 粒子の質量は 114GeV から 200GeV の狭い範囲に絞られた。ATLAS 実験の主要な目的はこの Higgs 粒子の発見である。

Higgs 粒子は重い粒子と結合しやすいため、主に以下の 4 つの生成過程が考えられる。それぞれのファインマンダイアグラムを図 2.5 に、生成断面積と質量の関係を図 2.6[1] に示す。

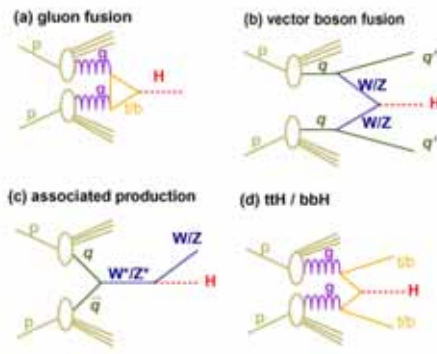


図 2.5: Higgs 生成のファインマン・ダイアグラム

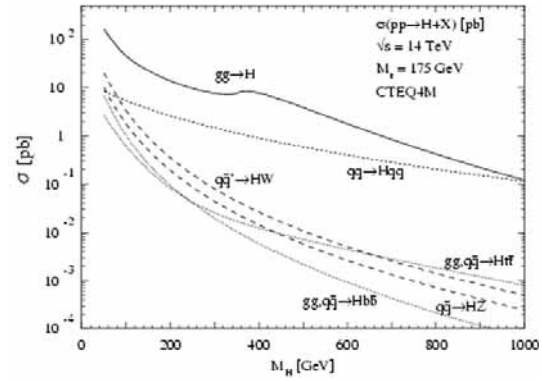


図 2.6: Higgs 生成断面積の質量依存

1. $gg \rightarrow H_{SM}^0$ (gluon fusion)

トップクォークやボトムクォークのループを介した過程で、最も断面積が大きい。その反面、Higgs 粒子が崩壊して出来る粒子以外に大きな p_T (運動量) を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。

2. $qq \rightarrow qqH_{SM}^0$ (W/Z fusion)

クォークから放出されたゲージボソンから Higgs 粒子が生成されている。断面積も比較的大きく、反跳したクォークに起因する大きな p_T を持つジェットが 2 本観測される特徴があり、イベントの選別が比較的行きやすい。

3. $qq \rightarrow (W/Z)H_{SM}^0$ (W/Z associate production)

クォークの対消滅で生成されたゲージボソンから、更に Higgs 粒子が放射される過程。終状態にゲージボソン (W/Z) が観測される特徴がある。

4. $qq/gg \rightarrow ttH_{SM}^0$ (top associate production)

対生成されたトップクォークから、Higgs 粒子が放出される過程。断面積は小さいが、特徴のあるトップクォークペアを終状態に含んでいる。

次に Higgs 粒子の崩壊過程について述べる。崩壊過程の分岐比は図 2.7[1] に示すように Higgs の質量に依存しており、各領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊過程を簡単に説明する。

1. $H \rightarrow \gamma\gamma$ ($m_H < 150$ GeV)

この質量領域では、実は $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$ が支配的であるが、陽子陽子衝突から引き起こされる QCD ジェットバックグラウンドと区別することが難しい。そこで希崩壊ではあるが $H \rightarrow \gamma\gamma$ を観測し、不変質量 $M_{\gamma\gamma}$ 分布を求めると、Higgs 粒子の質量が鋭いピークとして存在するため、エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。

2. $H \rightarrow ZZ^* \rightarrow 4l^\pm$ (120GeV~180GeV)

このモードは、最も綺麗なピークが得られるモードの一つである。一つのレプトン対に対しては、不変質量 m_z に等しくないという条件を課することが出来るが、 Z^* が仮想粒子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。

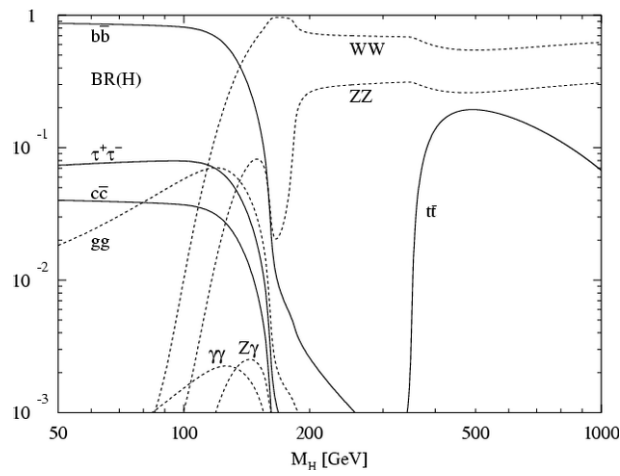


図 2.7: Higgs 崩壊分岐比の質量依存

バックグラウンドとしては、 ZZ^* 、 $Z\gamma^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$ がある。このうち ZZ^* 、 $Z\gamma^*$ は減らすことは出来ないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$ はそれぞれレプトン対が、 Z 起源または Z^* 起源であるという条件をつけることによって取り除くことが出来る。

3. $H \rightarrow ZZ \rightarrow 4l^\pm$ (180GeV~800GeV)

このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に m_Z に等しいという条件を課すことが出来るため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。

4. $H \rightarrow ZZ \rightarrow ll\nu\nu$ (400GeV~)

この領域では、このモードの方が $H \rightarrow ZZ \rightarrow 4l^\pm$ よりも分岐比が約6倍も高い。 $\nu\nu$ の不変質量は再構成することは出来ないが、これに起因する消失横方向エネルギー E_T^{miss} を精密に測定することが必要になる。

5. $H \rightarrow WW \rightarrow l\nu jj$, $H \rightarrow ZZ \rightarrow lljj$ (600GeV~)

この領域ではこれらのモードが $H \rightarrow ZZ \rightarrow 4l^\pm$ に比べて、 $H \rightarrow WW \rightarrow l\nu jj$ は約150倍、 $H \rightarrow ZZ \rightarrow lljj$ は約20倍の分岐比を持つ。これらのモードでは、バックグラウンドと区別するために Higgs 粒子が W/Z 融合過程によって生成された場合を考える。この過程では、散乱角前方にクォークによる2つのジェットが特徴的で、このジェットを指標とすることでバックグラウンドを排除することが出来る。

最後に ATLAS 実験における標準 Higgs 粒子発見の可能性を図 2.8[1] に示す。図 2.8 より、 100fb^{-1} の積算ルミノシティがあれば、標準 Higgs 粒子は 10σ の確からしさで発見できることを示している。

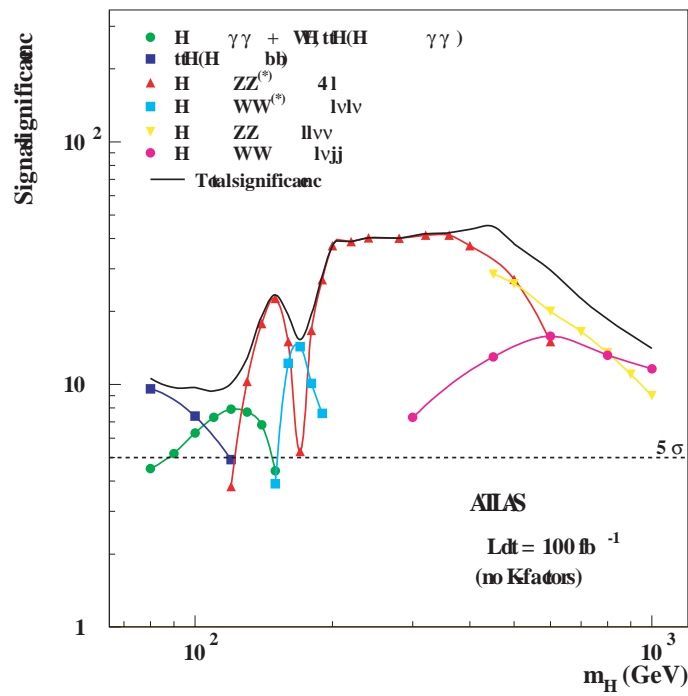


図 2.8: 標準 Higgs 粒子発見の可能性

2.2.2 超対称性粒子 (SUSY)

素粒子物理学の究極の目標は重力を含めた力の大統一であり、超対称性 (SUSY) の発見はこれに向けての大いなる一歩であると最も有力視されているものである。LEP でのゲージ理論の精密検証の結果、超対称性による力の大統一の可能性が示された。

この超対称性は、ボソンとフェルミオンを交換する。つまり通常知られているボソンやフェルミオンに対し、スピンの $1/2$ だけ異なるスーパーパートナーと呼ばれる超対称性粒子の存在を予言する。例えば、クォークやレプトン (フェルミオン) のスーパーパートナーとして、スクォーク (\tilde{q}) やスレプトン (\tilde{l}) (ボソン) があり、グルーオン (ボソン) のスーパーパートナーとして、グレイノ (\tilde{g}) (フェルミオン) がある。もし、この理論が正しければ、LHC では強い相互作用をするスクォークやグレイノの対が大量に生成され、超対称性粒子の発見が期待される。

R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。そして、最終的に超対称性粒子のなかで最も軽い質量を持つ LSP (Lightest SUSY Particle) になる。この LSP の候補としては最軽量ニュートラリーノ ($\tilde{\chi}_1^0$) が考えられるが、この粒子は直接観測にかからない。しかし、解析に於いて消失横方向エネルギー E_T^{miss} として現れるので、ジェットと共に E_T^{miss} を指標として探索を行う。主な崩壊として以下の 3 つがある。

1. Multijets+ E_T^{miss} モード

\tilde{g} 、 \tilde{q} が崩壊する際にできる High p_T のジェットと、 $\tilde{\chi}_1^0$ の生成による消失横方向エネルギーを用いて、このイベントを同定する。

$$\begin{aligned}\tilde{g} &\rightarrow q\tilde{q}\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss} \\ \tilde{q} &\rightarrow q\tilde{\chi}_1^0 \rightarrow \text{jets} + E_T^{miss}\end{aligned}$$

2. 同符号の2レプトン・モード

\tilde{g} 、 \tilde{q} は質量が大きいため、その崩壊過程ではより質量のあるニュートラリーノ $\tilde{\chi}_{2,3,4}^0$ や、チャージーノ $\tilde{\chi}_{1,2}^\pm$ が生成されることもある。終状態の孤立した2つのレプトン、ジェット、消失横方向エネルギーを用いて、イベントを同定する。

$$2\tilde{g} \rightarrow 2(q\tilde{q}\tilde{\chi}_i^\pm) \rightarrow 2(q\tilde{q}\tilde{W}^\pm\tilde{\chi}_1^0) \rightarrow 2(\text{jets} + l^\pm + E_T^{\text{miss}})$$

3. 3レプトン・モード

$$\tilde{\chi}_1^\pm\tilde{\chi}_2^0 \rightarrow l\nu\tilde{\chi}_1^0 + ll\tilde{\chi}_1^0 \rightarrow 3l + E_T^{\text{miss}}$$

2.2.3 超対称性 Higgs 粒子

超対称性理論の中で最も単純な MSSM (Minimal Supersymmetric extension of Standard Model) では、2つの Higgs 2重項が要求され、結果的に5つの Higgs 粒子が導入される。この5つはそれぞれ、 H^\pm (荷電スカラー)、 h (中性軽スカラー)、 H (中性重スカラー)、 A (中性擬スカラー) である。これらの Higgs 粒子の質量は2つのパラメータ $\tan\beta$ 、 m_A で表される。

以下に、MSSM 中性 Higgs 粒子の崩壊モードで観測が期待されるものを説明する。

1. $H/A \rightarrow \tau\tau$

標準 Higgs 粒子の場合はこのモードは分岐比が低く観測に適さないが、MSSM では高い分岐比が期待される。生成された τ 粒子の両方がレプトンに崩壊するチャンネルと、一方はハドロンに崩壊するチャンネルの2種類のモードが利用できる。

2. $H/A \rightarrow \mu\mu$

$H/A \rightarrow \tau\tau$ に比べて、分岐比は $(m_\mu/m_\tau)^2$ 倍低いですが、精度よく測定が行えることから $\tau\tau$ モードでの測定を補う役割が期待される。

3. $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow b\bar{b}b\bar{b}$ が支配的だが、このモードでは効率の良いトリガが行えないため、 $hh \rightarrow \gamma\gamma b\bar{b}$ チャンネルで観測されることが期待される。イベントレートは低いですが、2つの異なる Higgs 粒子の反応という意味で非常に興味深い。

4. $A \rightarrow Zh$

2つの Higgs 粒子が関係した反応として興味深い。 $Zh \rightarrow llb\bar{b}$ など Z の崩壊で生じる2つのレプトンでトリガを行う方法が有効である。

2.2.4 その他の物理

ALTAS 実験の目的は上で述べた新しい素粒子現象の探索以外に標準理論の検証、ボトムクォークの精密検証、QCD の精密検証などもある。

標準理論の検証はトップクォークの質量や部分崩壊率の測定などにより行われ、ボトムクォークの精密研究はボトムクォークの稀崩壊現象を探索し標準理論を超える物理を探る手段として

行われる。QCDの精密研究はクォークに内部構造がないかということの高い横運動量を持つジェットの生成断面積の測定を通して行われる。

2.3 ATLAS 検出器

ATLAS 検出器は、直径 22m、長さ 44m の円筒形で、総重量は 7,000t という巨大な汎用検出器である。その全体図を図 2.9 に示す。検出器は内側からインナー・ディテクター、カロリメータ、ミュオン・スペクトロメータから構成され、検出器の間にはマグネットシステムが設置されている。LHC の高いレミノシティにおいても、フォトン、電子、ミュオン、ジェット、 E_T^{miss} などの信号を高速かつ正確に処理できるように、以下のような要求を満たすように設計されている。[2]

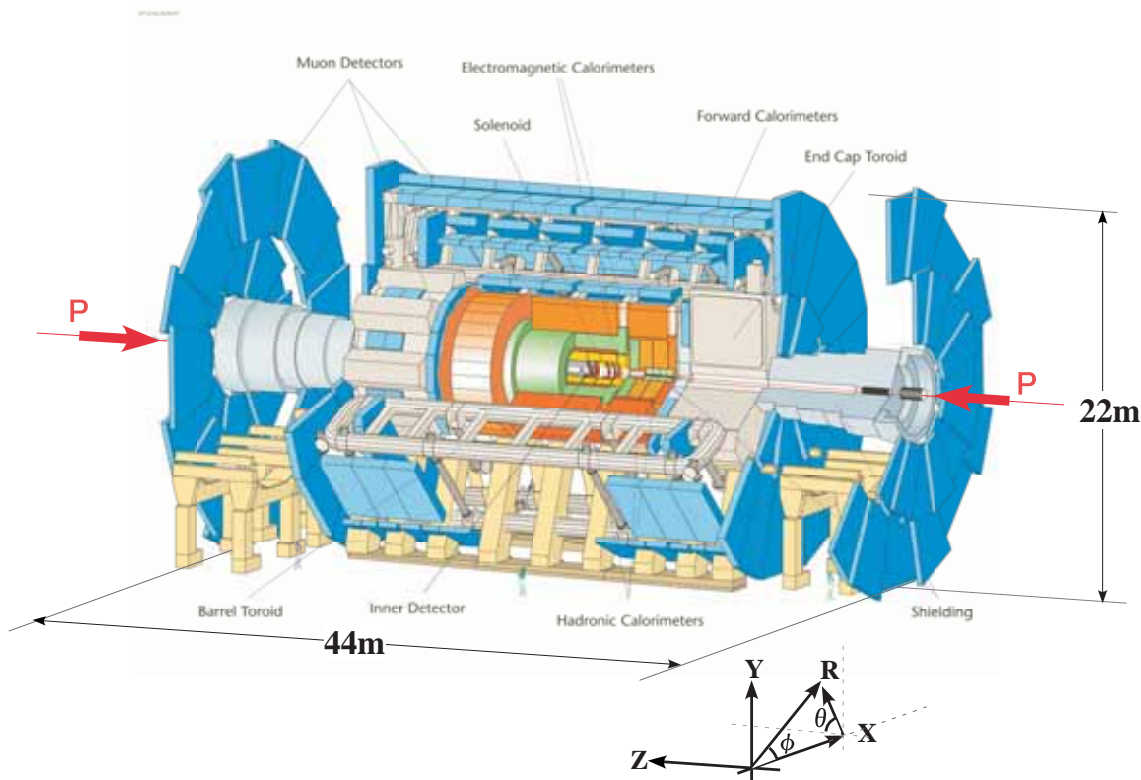


図 2.9: ATLAS 測定器

- 電磁カロリメータによる高精度の電子とフォトンの測定と、ハドロンカロリメータによる高精度なジェットと消失横方向エネルギー E_T^{miss} の測定
- ミュオン・スペクトロメータによる高精度のミュオンの運動量測定
- 飛跡検出による high- p_T レプトン運動量の測定と、フォトンの識別と完全なイベント再構成
- 大きなラピディティ η^* と完全な方位角のカバー

* η は 擬ラピディティ (pseudo rapidity) と呼ばれ、ビーム軸と粒子のなす角を θ とすると

- 高頻度でやってくる電子、光子、ミュオン、ジェットなどを確実に処理
- 大量のバックグラウンドに対する耐放射線性

円筒型の ATLAS 検出器は、バレルと呼ばれる円筒の筒に相当する ($|\eta| < 1$) 領域と、エンドキャップと呼ばれる円筒の円に相当する部分 ($1.9 < |\eta|$) の 2 つの領域に分けられる。さらにエンドキャップは、円筒の円の中心 (ビーム) 付近より外側 ($1 < |\eta| < 1.9$) の領域をエンドキャップ、円の中心付近 ($|\eta| > 1.9$) をフォワードと分けて呼ぶこともある。以下に検出器とマグネットについて簡単に説明する。

2.3.1 インナー・ディテクター

インナーディテクターはビームの衝突点に最も近い場所に設置され、2T の磁場をつくる超伝導ソレノイドの内部に位置する。図 2.10 にインナー・ディテクターの構造を示す。インナーディテクターは内部から順に、ピクセル検出器 (Pixel)、シリコン・トラッカー (SCT)、遷移輻射トラッカー (TRT) の 3 つで構成されている。ピクセル検出器は、最内層にある半導体検出器で、高い位置分解能を持つ。シリコン・トラッカーはマイクロストリップと呼ばれる細長い有感領域をシリコン上に施した半導体検出器である。遷移輻射トラッカーは、半径 4mm のストローチューブ検出器で、トラッキングの他に遷移輻射[†]を利用した電子の同定も行う。これらの検出器はいずれも非常に厳しい放射線下に置かれるの、高い放射線耐性が必要である。

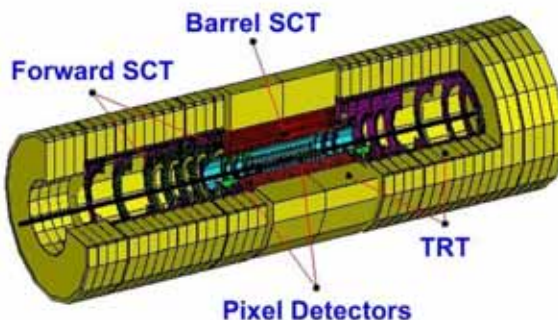


図 2.10: インナーディテクターの構造

2.3.2 カロリメータ

カロリメータの主な役割は、電子や γ 線、ジェットなどのエネルギー、角度の測定である。ATLAS 実験に使用される 4 種類のカロリメータは、電磁カロリメータとハドロンカロリメータの 2 つのカテゴリーに分けられ、広い $|\eta|$ 領域をカバーし、領域によって目的にあわせて設置される。図 2.11 にその構造を示し、以下に各カロリメータについて簡単に説明する。

$\eta = -\ln(\tan(\theta/2))$ で定義される。

[†]遷移放射は、誘電率の異なる 2 つの媒介境界を荷電粒子が通過する時に起こる放射。遷移放射の全エネルギーは、ローレンツ因子 γ に比例する。

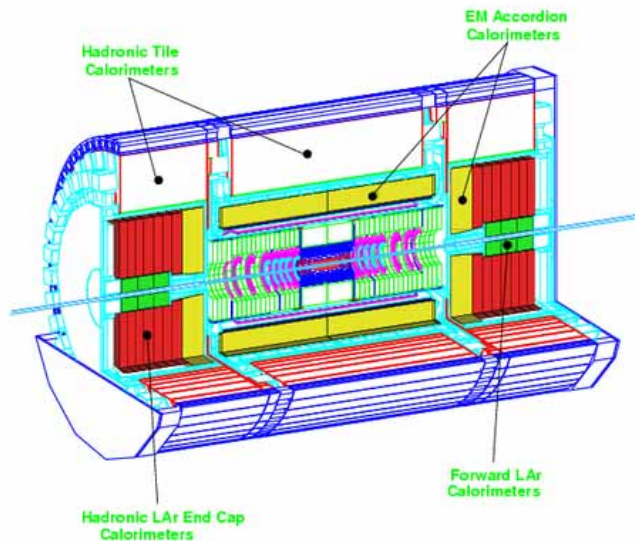


図 2.11: カロリメータの構造

- 電磁カロリメータ

図 2.11 の黄色い部分が電磁カロリメータを表している。アコーディオン構造の鉛の吸収体と液体アルゴンからなり、放射線耐性に優れている。セントラル・ソレノイド・マグネットの内側に設置されバレル/エンドキャップ領域をカバーする。電子と光子の同定に用いられる。

- ハドロンカロリメータ

図 2.11 の黄色い部分がハドロン・カロリメータを表している。バレル部は鉄の吸収体とタイル状のシンチレータからなるカロリメータが用いられる。放射線強度がより高いエンドキャップ部は、銅の吸収体と液体アルゴンからなるカロリメータが用いられる。更に、放射線強度の高いフォワード部は銅とタングステンの吸収体と液体アルゴンからなるカロリメータが用いられる。これらは電磁カロリメータの外側に設置され、ハドロンの同定、エネルギー測定、ジェットの再構成などを行う。

2.3.3 ミューオン・スペクトロメータ

LHC で引き起こされる重要な物理現象のほとんどが終状態に電荷レプトンを含む。その中でもミューオンは物質の透過力が高いために、ATLAS 検出器の外側でも他の検出器に影響されることがなく検出することが出来る。ミューオン・スペクトロメータは、軌跡精密測定用の MDT(Muon Drift Tube)、CSC(Cathode Strip Chamber) と、トリガのための RPC(Resistive Plate Chamber)、TGC(Thin Gap Chamber) の 4 種類の検出器で構成され、ATLAS 検出器の一番外側に設置されるミューオン検出器である。ミューオン・スペクトロメータの全体図を図 2.12 に示す。図のように MDT はバレル部とエンドキャップ部の両方に設置される。CSC は、フォワードの内側に設置される。RPC はバレル部を、TGC はエンドキャップをカバーする。

図 2.13 の R-Z 断面図にあるように、それぞれの検出器は 3 層に重ねられて設置される。超伝導空芯トロイダルコア磁石がバレル部（図中の赤い線の四角）エンドキャップ部（図の下側中央の青い線の四角）に検出器に内包されるように置かれ、それぞれに ϕ 方向の磁場を作っている。この ϕ 方向の磁場によって、R-Z 平面内で曲げられたミュオン曲率を 3 層の検出器で測定して、その運動量を測定する。この R-Z 平面での R 方向の座標を第 1 座標と呼ぶ。また、理想的にはミュオンは ϕ 方向の磁場によって R-Z 平面内で曲がるはずだが、現実には磁場の大きさが一様ではないために ϕ 方向にも曲がる。トリガ用の 2 つの検出器 (TGC, RPC) は、この ϕ 方向の座標（第 2 座標と呼ばれる）を測定する役目も持っている。トリガ用検出器の一つである、TGC は本論文で対象とする検出器であり、4 章で詳しく説明する。ここでは、他の 3 つの検出器について簡単に説明する。

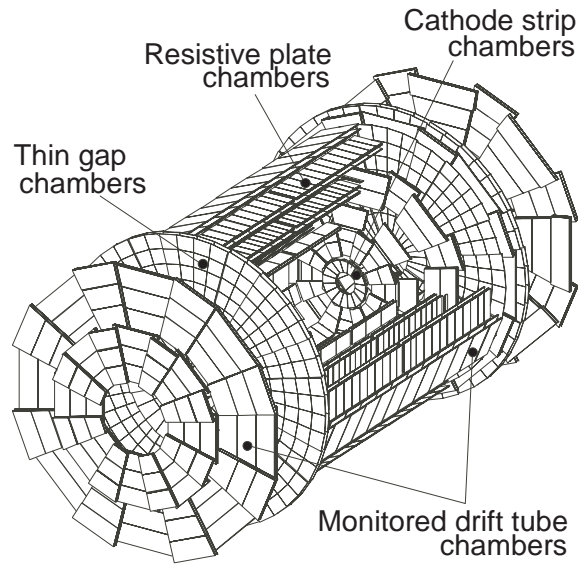


図 2.12: ミューオン・スペクトロメータ

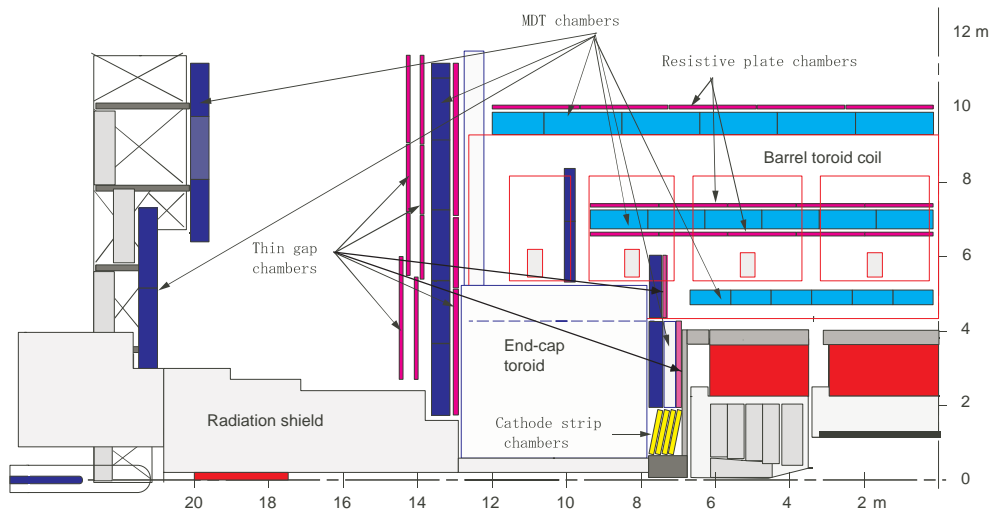


図 2.13: ミューオン・スペクトロメータ (R-Z 断面図)

Muon Drift Tube (MDT)

MDT はバレル部、エンドキャップ部の広いラピディティ領域をカバーし、R-Z 方向成分を精密に測定することができる。その構造は図 2.14 に示すような、チューブ径 30mm、ワイヤ径 $50\mu\text{m}$ のドリフトチューブを積層したものであり、位置とドリフト時間の線形性に優れている。位置分解能は $60\mu\text{m}$ 、総チャンネル数は 30 万チャンネルである。

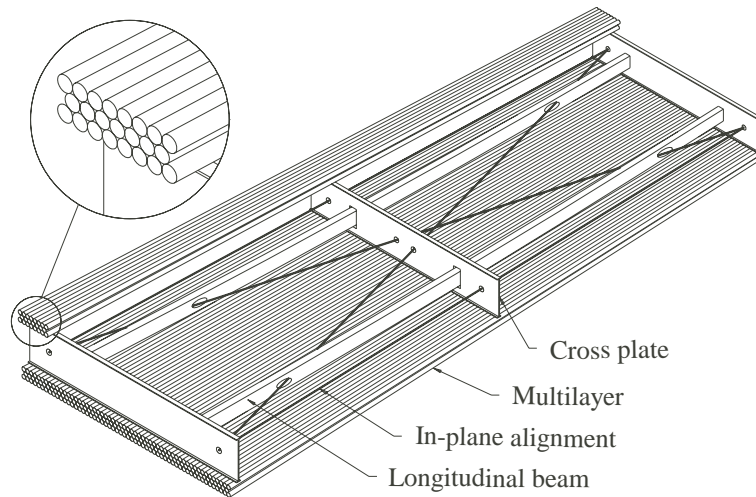


図 2.14: MDT の構造

Cathode Strip Chamber (CSC)

CSC は放射線の多い高ラピディティ領域 $|\eta| \geq 2$ に置かれる運動量精密測定用のカソードストリップ読み出し MWPC (Multi-Wire Proportional Chamber) である。構造はワイヤ間隔が 2.54mm 、ストリップ間隔が 5.08mm 、ドリフト時間は 30nsec 以下であり、位置分解能は $60\mu\text{m}$ となっている。

Resistive Plate Chamber (RPC)

RPC はバレル部 ($|\eta| < 1.05$) に設置され、r-z 方向、r- ϕ 方向の運動量を測定しトリガ判定を行う。トリガ判定用のため、時間分解能は LHC のバンチクロッシング周期の 24.95nsec より短い 1.5nsec となっている。構造はストリップを用いた検出器を 2 層に重ねた構造で、ストリップ間隔は $30.0\sim 39.5\text{mm}$ である。

2.3.4 マグネットシステム

ATLAS のマグネットは、中央のソレノイド磁石、バレル部、エンドキャップ部それぞれのトロイダル磁石の 3 つからなり、いずれも超伝導磁石である。マグネットの構造を図 2.15 に示す。両トロイダル磁石は、8 つのコイルがビーム軸に対して 8 回対称になるように配置されており、積分磁場強度はバレル部で $2\sim 6\text{Tm}$ 、エンドキャップ部で $4\sim 8\text{Tm}$ である。ラピディティ η の値に対するトロイダル磁場の積分強度を図 2.16 に示す。トロイダル磁場は ϕ 方向成分が主

だが、磁場の不均一性は避けられないため、R方向成分も存在する(図2.17)。

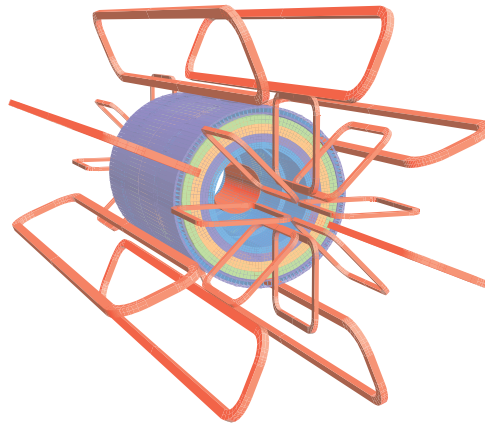


図 2.15: マグネットの構造

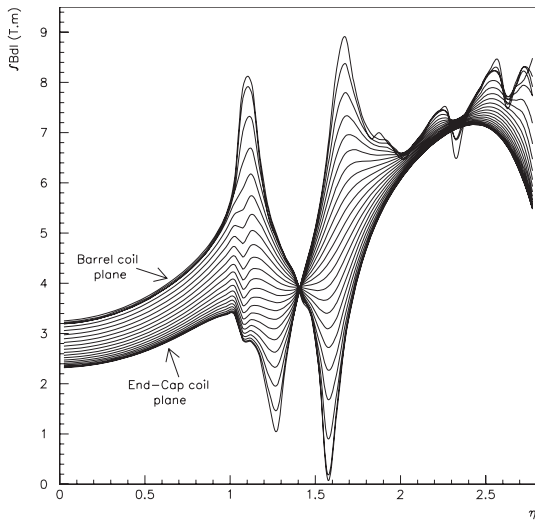


図 2.16: η と磁場積分強度の関係

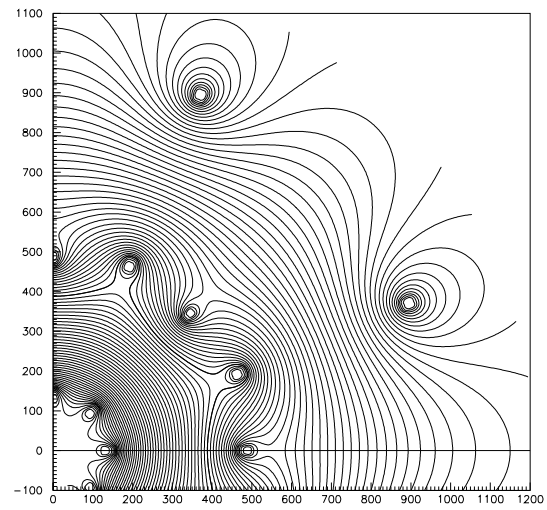


図 2.17: X-Y 平面の磁束の構造 ($z=10.5\text{m}$)

第3章 トリガおよびDAQシステム

LHCの最高ルミノシティ時には、40.08MHzのビーム衝突ごとに平均23個の陽子の衝突が起こるのでイベント・レートは約1GHzにもなる。1イベントあたりを記録するのに必要なデータ量は、~1.5MByteと見積もられている。記憶装置、計算機資源の制限から、1GHzで起こる膨大なバックグラウンドを含んでいるイベントの中から物理的に重要なイベントだけを効率よく選び出すことが必要とされる。よって、ATLAS実験では段階的にレートを下げて行き、最終的に100Hz程度までおとしてデータを記録する。この章では、このイベント選別に必要なトリガ及びDAQ(Data Acquisition)システムについて簡単に説明する。

3.1 ATLAS実験でのトリガ & DAQシステム

ATLAS実験のトリガ・システムは図3.1に示すようにLVL1(Level1)、LVL2(Level2)、EF(Event Filter)の3段階のトリガを設け段階的にレートを落としている。各レベルでのトリガ判別とDAQについて以下に説明する。

3.1.1 LVL1

LVL1トリガ

LVL1トリガは40.08MHzのイベント・レートを75kHzに落とすためのトリガである。基本的には75kHzだが100kHzまでのアップグレードが可能ないように設計されている。[3]粒子の衝突からトリガ判定をして、フロントエンドの電子学ヘトリガを送るまでの処理時間(レイテンシーと呼ばれる)は $2.5\mu\text{s}$ ($0.5\mu\text{s}$ の余裕を持たせるため、実際の処理時間は $2.0\mu\text{s}$)以内でなければならない。そのため、情報が多く、処理に時間のかかるインナーディテクターからの情報は利用せず、トリガ用ミュオン・チェンバー(TGC、RPC)からの位置と p_T の情報と、精度を落としたカロリメータからのエネルギー情報によってトリガをかける。各検出器からの情報はCTP(Central Trigger Processor)に集められ、トリガ判定の結果L1A(Level1 Accept)信号が出される。このL1AはTTC(Timing, Trigger and Control distribution system)システムによって各検出器に配られる。

LVL1 DAQ

各検出器からの信号は、各チャンネルごとにLVL1バッファと呼ばれるパイプライン・メモリに保持される。衝突が起きてから、L1A信号が来るまでの処理時間である $2.5\mu\text{s}$ の間、25ns毎にやってくる信号を全て保持するために、100イベント分を保持できるように作られている。L1A信号を受け取ると、LVL1バッファの内容はデランダムマイザー(derandomizer)に送られる。デランダムマイザーは不規則にやってくるデータをROD(Read Out Driver)に読み出される

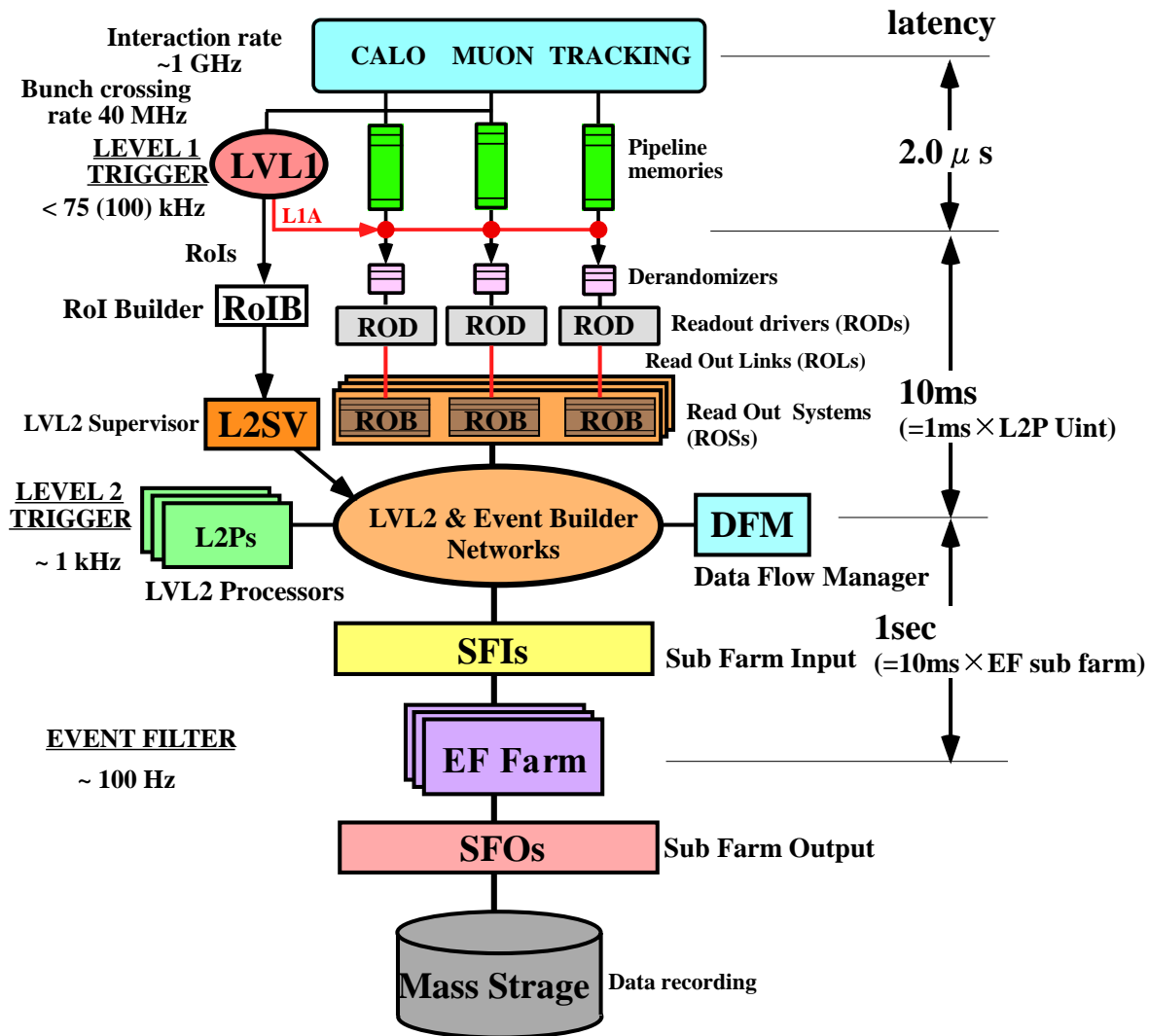


図 3.1: Trigger & DAQ システム

まで保持する。データはどのバンチ衝突のデータか、どの L1A で読み出されたデータなのかが分かるように、バンチ・クロッシング ID(BCID)、L1AID が付加され、圧縮されて ROD に送られる。ROD で各検出器毎にまとめられたデータは、ROB(Read Out Buffer) へと送られる。ROB を複数持つ一つのシステムを ROS(Read Out System) と呼ぶ。

3.1.2 LVL2

LVL2 トリガ

LVL2 トリガではイベント・レートは 75kHz から 1kHz 程度に落とされる。カロリメータ、MDT からの情報、インナー・ディテクターからの完全な位置情報に基づいて、より精度を上げて処理を行うが、効率を良くするため、LVL1 トリガの情報により選定された RoI(Region of Interest) と呼ばれる領域のみの情報を用いてトリガ判定が行われる。RoI とは大きい運動量を持ったジェット、電子、ミュオンなどが検出された領域である。

複数の LVL1 の結果が RoI Builder(RoIB) に渡され、そこで RoI が決定される。RoI は他の

LVL1の情報と共にL2SV(LVL2 SuperVisor)に渡される。L2SVは受け取ったRoI及びLVL1の情報からLVL2判定をするため、負荷分散アルゴリズムに従い、幾つかのL2P(LVL2 Processor)をそのイベントのトリガ判定に割り当てる。割り当てられたL2Pは、LVL2ネットワークを介して必要なイベント情報をROSから受け取り、LVL2判定を行う。LVL2判定の結果、LVL2 Accept信号はL2VSに戻されDFM(Data Flow Manager)に渡される。

LVL2は1kHzでトリガを出すため、本来なら処理時間は1ms以下であるが、L2Pには最大で500台程度のPCが使われる予定で、それらで平行にLVL2判定の処理を行うため、1イベントにかかる処理時間は10ms以下とされている。また、LVL2判定はその精度をソフトウェアで自由に変えられるため、精度を落とせば10msより高速にLVL2判定を行うことも出来る。

LVL2 DAQ

LVL2 Accept信号がDFM(Data Flow Manager)に送られると、DMFは負荷分散アルゴリズムに従ってデータを受けるSFI(Sub Farm Input buffer)を割り当てる。SFIはイベント・ビルダー・ネットワーク(物理的にはLVL2ネットワークと同じもの)を介してROSからデータを受け取り、フォーマットに従ってイベント構築を行う。構築されたイベントはEFに送られるためにSFI内のバッファに保持される。

3.1.3 EF (Event Filter)

EF トリガ

EFトリガにより最終的なイベントレートが100Hzまで落とされる。EFでは全検出器の完全な情報を用いてトリガ判定がなされる。

EFは全体で1600台程度のPCで構成される大規模なプロセッサ・ファームであり、幾つかの独立したEF sub farmから構成されている。EF sub farmは、スイッチング・ネットワークを介して一つ又は複数のSFIに繋がっている。EF sub farmではEFD(EF Data flow control program)というプログラムが走っており、SFIから完全なイベント・データを受け取り、トリガ判定を行う。あるイベントのトリガ判定が終ると、EFDはSFIから次のイベント・データを取って来て処理を続ける。EF全体としてのトリガ・レートは100Hzであるが、各EF sub farmで並列に処理が行われるため1イベントにかかる処理時間は1sec以下とされている。

EF DAQ

EFトリガ判定のためにデータはSFIよりEF sub farmに取り込まれる。EF Accept信号が出ると、EFDはトリガ判定のために生成された情報に、イベントの完全な生データを付加し、SFO(Sub Farm Output buffer)へとデータを送る。そして、SFOからDiskに記録される。1イベントで発生するデータ量は1MByte程度と見積もられており、最終的に100MByte/secのデータが記録されて行く。

3.2 LVL1 トリガ・システム

ここでは、次節からの主題であるTGCトリガ・システムが属するLVL1トリガ・システムについて説明する。図3.2に示すように、LVL1トリガ・システムは、カロリメータ、トリガ

用ミュオン検出器 (TGC、RPC)、CTP、TTC から構成されている。カロリメータからは、 e/γ 、 E_T^{miss} 、 τ 、Jet のエネルギー等の情報を、ミュオン検出器からは高い p_T の値を持ったミュオンの情報が、CTP に送られる。CTP ではこれらの情報を用いて、トリガ判定を行い、その結果出力される L1A 信号は TTC を経由して、各検出器のフロントエンドエレクトロニクスに分配され、必要なデータの読み出しが行なわれる。LVL1 で採用されたデータの領域は RoI の情報として、LVL2 に送られる。

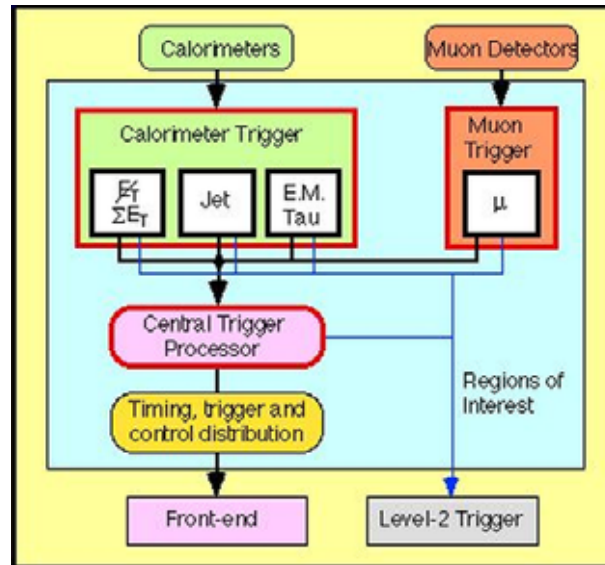


図 3.2: LVL1 トリガ処理の流れ

3.2.1 ミューオントリガ・システム

図 3.3 に、トリガ用のミュオン検出器のデータの流れを示す。RPC と TGC は各々セクタと呼ばれる単位ごとに p_T の大きなミュオンの候補を挙げて、MUCTPI (Muon Trigger Interface to CTP) に送る。MUCTPI はこれらのトラックの候補を受け取り、境界部分での処理を行ってから、ミュオンの候補についての情報を、CTP や LVL2 トリガ、読み出し部分などに送る役割を担う [6]。

3.2.2 CTP (Central Trigger Processor)

CTP の役割はカロリメータとミュオンの情報を統合して、最終的な Level1 トリガの判定を行なうことである。カロリメータでは、 e/γ 、 τ /ハドロン、ジェット のそれぞれに対し、数段階の閾値が設けてあり、同様にミュオン検出器では、ミュオンの p_T について、数段階の閾値が設けてある。CTP は最高 96 種類のトリガ項目を設定出来て、CTP が受け取る閾値を越えた情報とそのトリガ条件とを比較することで、L1A の有無を決定する。トリガ判定が終わると、CTP は TTC に対して、L1A (トリガ結果) とトリガの情報を表す 8 ビットの情報を送信する。L1A では、フロントエンドの読み出しを容易にするために、一度 L1A 信号を出力したら、それに続く 4 バンチ (100nsec) の間は、L1A を出さないように決められている。また、デランダムマイザーが満杯になりかけた場合には、L1A を出さないように設定することも出来る。

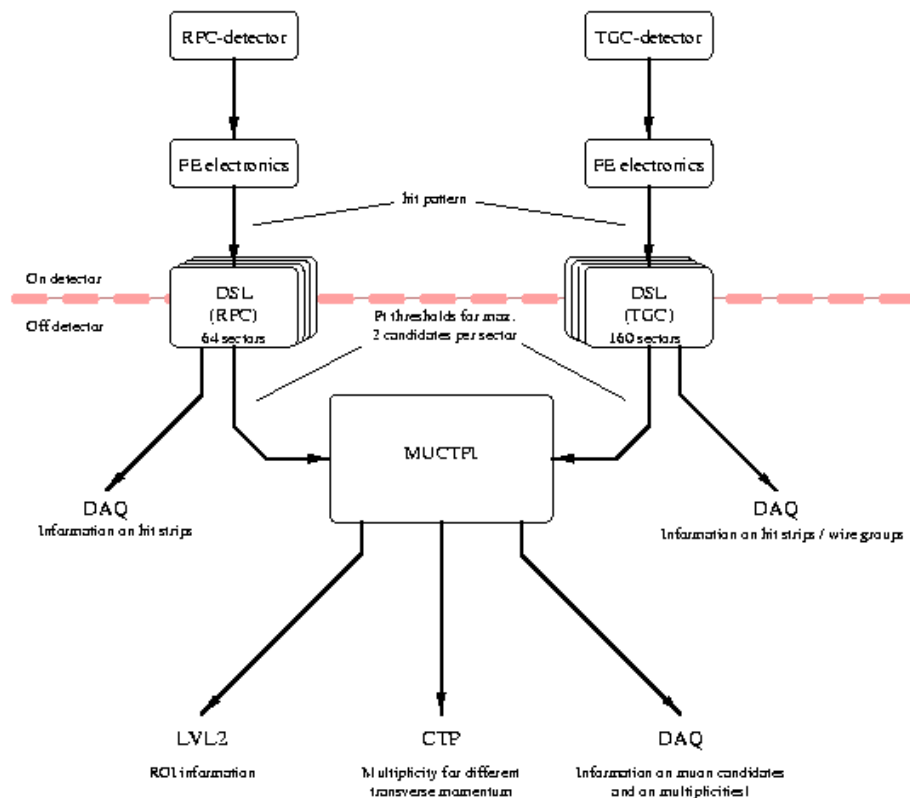


図 3.3: ミューオントリガ系のデータの流れ

3.2.3 TTC(Timing, Trigger and Control distribution)

TTCシステムとは、フロントエンドの各エレクトロニクスの同期をとるために、BCクロックやL1Aなどの信号を分配するシステムである。また、TTCは各検出器固有のテストやキャリブレーション用のコマンドを受信し、実行する役割も担う。表 3.1 に TTC が扱う主な信号を挙げる。

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度 (40.08MHz) に同期させるためのクロック。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID(データがどの BCID に属するかを示す) のリセットに使用。88.924s の LHC の軌道周期 (ORBIT 信号) に同期する。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するかを示す) のリセットに使用。
EVID	EVent IDentifer。ROD、ROB でのバンチクロッシングのチェックに使用。
BCID	Bunch-Crossing IDentifer。ROD、ROB での Level1ID のチェックに使用。

表 3.1: TTC で使われる主な信号

TTC は ATLAS 実験全体で見つた場合、いくつかのパーティションに分割されており、例えば、TGC の場合は左右のエンドキャップが各々 1 つのパーティションを成している。図 3.4 に

TTCのパーティションを示す。1つのパーティションで中心になるのは、TTCvi[7]と呼ばれるVMEインターフェイスで、LHCからは40.08MHzのBCクロックと周期88.924 μ secのORBIT信号を、CTPからはL1A信号を受信する。これらの情報はTTCクレートに送信され、TTCクレートは、受信した情報を加工した後、フロントエンドに設置されるTTCrx[8]と呼ばれるASICまで分配する。1つのパーティションは、1つのTTCviからの信号を分配し、全てのフロントエンドのTTCrxへ届けられることで全システムの同期を取っている。またTTCviはA-Channel、B-Channelという2種の信号を分配し、A-Channelで扱われるデータはL1Aだけであるが、B-ChannelではTTCrxに送付される同期コマンドとTTCrxに送信する非同期コマンドを扱うことが出来て、前者はテストパルスの発生の用いられ、後者はパラメータの設定などに用いることが出来る。TTCrxでは、受信した信号をフロントエンドに配置される各エレクトロニクスに分配する。

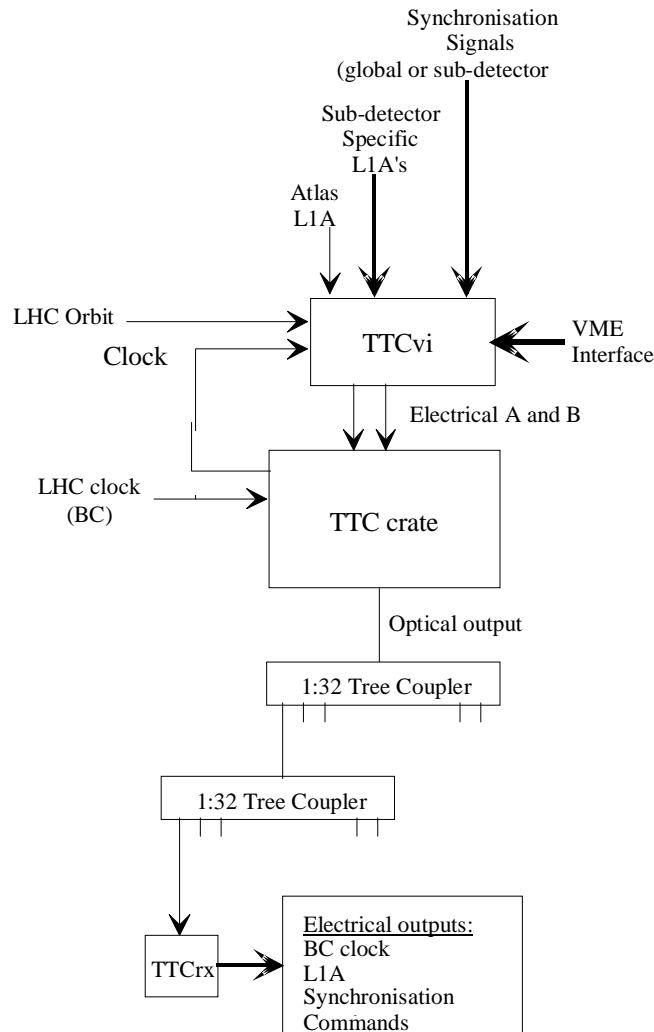


図 3.4: TTC のパーティション

第4章 TGC ミューオントリガシステム

この章では、本論文の主題である TGC ミューオントリガシステムについて説明する。TGC の構造、トリガ処理の方法、設置環境について説明し、我々が開発を行っている TGC のエレクトロニクスを説明する。

4.1 TGC の構造

TGC(Thin Gap Chamber) は 2.3.3 で説明したように、ミューオンスペクトロメータの一部で、エンドキャップに設置されるトリガ用の検出器で $1 < |\eta| < 2.7$ の領域をカバーする。 $|\eta| < 1.9$ の領域をエンドキャップと呼び、 $|\eta| > 1.9$ の領域をフォワードと呼ぶ。図 4.1 に ATLAS での TGC の位置とその構造の模式図を示す。TGC はエンドキャップ部分を円盤上にカバーするため、各チェンバーの外形は台形になっており、その大きさは配置場所によって異なるが、1~2m ほどである。

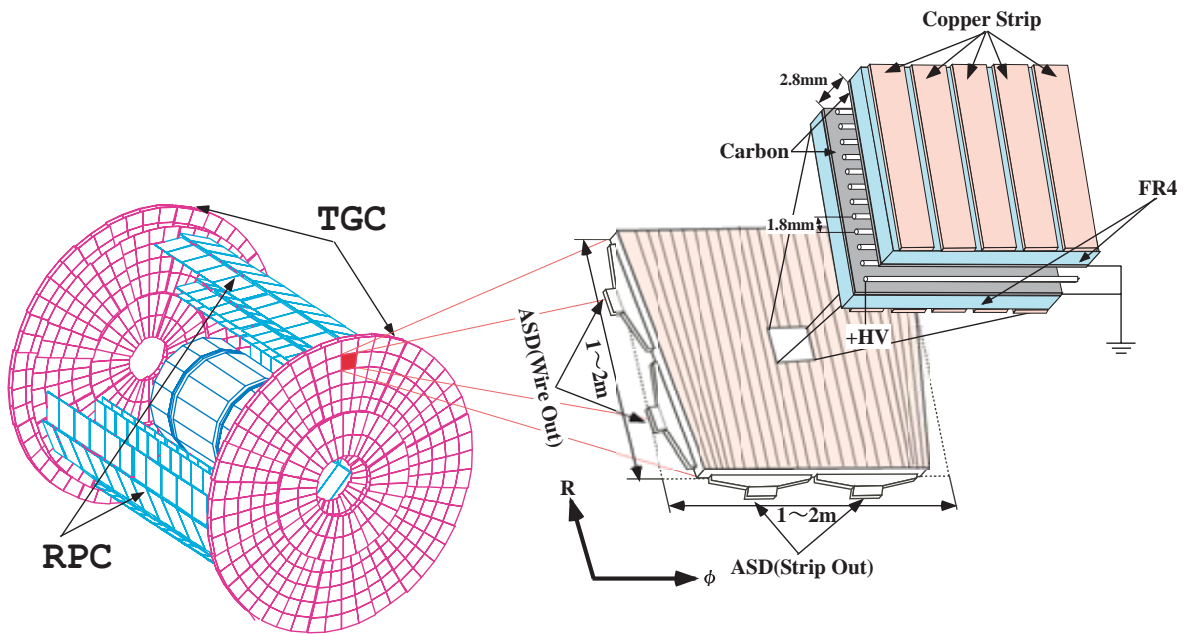


図 4.1: TGC の配置と構造

構造はアノードとして直径 $50\mu\text{m}$ の金メッキしたダункステン線ワイヤが台形の上底、下底と平行に張られている。カソードはガラス・エポキシ板に表面抵抗が約 $1\text{M}\Omega$ のカーボンを塗布してある。FR4 を挟んだ反対の面には、一面を 32 分割した扇型の銅のストリップがワイヤに直交して並べてある。ワイヤには図 4.2 に示すように約 30cm 毎にワイヤ・サポートがある。

ワイヤ・サポートはワイヤのたるみ防ぐためだけでなく、ガスの流路の形成と TGC の歪みを防ぐ役割も持っている。ワイヤは 4~20 本(幅にして 10.8~36mm)をまとめて 1つのチャンネルとして読み出す。ストリップは 32 本あり、各ストリップはエンドキャップ領域では 4mrad、フォワード領域では 8mrad に相当する幅 (15.1~53.4mm)を持ち、それぞれが 1つのチャンネルとして読み出される。これにより TGC は 2次元の読み出しが可能で、ワイヤにより R 方向の位置を、ストリップによって ϕ 方向の位置の検出を行なう。

TGC は、高エネルギー実験でよく使われる MWPC(Multi-wire Proportional Chamber) 型チェンバーの一種であり、その構造は、2枚の平行陰極板に等間隔に並んだ陽極線ワイヤが配置されている。ただし、TGC は図 4.3 で示すように、ワイヤ面とカソード間の間隔 (1.4mm) がワイヤ間の間隔 (1.8mm) よりも狭くなっているところに特徴がある。ワイヤの間隔が狭いのは電子のドリフト時間を短くし、バンチクロッシング間隔 (25nsec) に対応できるようにするためである。ワイヤとストリップの間隔が狭いのは陽イオンのドリフト距離を短くし、粒子が高レートで入射してきても検出効率を落とさないようにするためである。

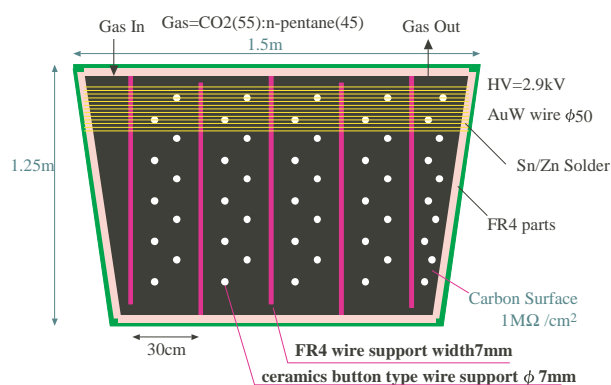


図 4.2: ワイヤ・サポート

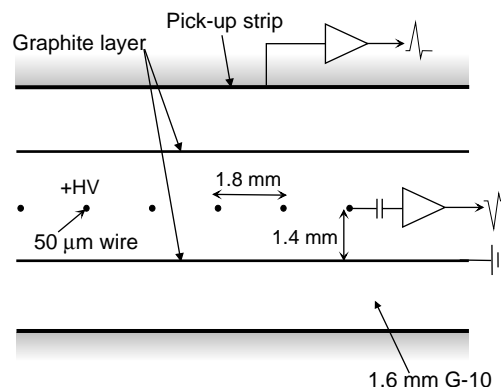


図 4.3: TGC の断面図

TGC の動作中は、ワイヤに 2.9kV の高電圧を印加し、内部には $CO_2/n - pentane(55/45)$ 混合ガスが満たされている。このガスは、紫外線を吸収し放電を起こしにくくする(クエンチ効果)という特性がある。このガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されイオン化される。生成された電子は、アノード・カソード間の電場によって、アノードに向かう。アノード(ワイヤ)近傍の電場は大きいので、移動してきた電子はさらにその周辺のガス分子をイオン化し、電子雪崩を起こし、これが信号として読み出される。同時にカソード面では、塗布された高抵抗のカーボン面に電荷が誘起され、それが外側のストリップにも電荷が誘起され信号として読み出される。

実際の ATLAS 実験では、TGC は 1層 (singlet) では用いず、図 4.4 で示すように、2層 (Doublet) か 3層 (Triplet) 重ねたモジュール構造にする。doublet の場合は 2層のワイヤ面と 2層のストリップ面から読み出しが行なわれる。Triplet では、2層目にはストリップがなく、3層のワイヤ面と 2層のストリップ面から読み出しが行なわれる。多層にすることで、各層のコインシデンスを取ってバックグラウンドによるフェイク信号の影響を減らすだけでなく、ワイヤサポートによる不感領域の影響も減らすことが出来る。

TGC はトリガ用のチェンバーなので、25nsec 毎に起こる LHC のバンチ衝突を正しく識別できなくてはならず、そのためには 1回のバンチ衝突による信号は 25nsec 以内の範囲に収まって

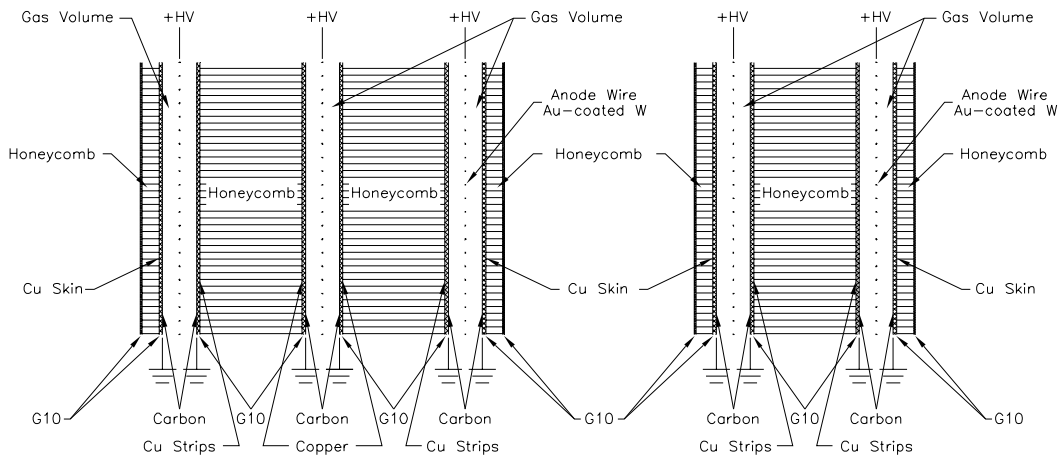


図 4.4: TGC の Triplet(左) と doublet(右) の構造

いなければならない。図 4.5[5] に、粒子が TGC を通過してから信号を出すまでの時間のばらつき (タイムジッター*) が TGC に対する粒子の入射角度によってどのように変化するかを示す。これは 3GeV の π を用いたビームテストの結果である。

約 115nsec で最も早い信号が到達する信号し、ここから 25nsec の間、つまり 140nsec までに到達した信号が同じパンチとして認識される。入射粒子が 0 度 (TGC に垂直に入射) の時、タイムジッターの値は 25nsec になっているが、入射角度の増加に伴い、ジッターは減少し 45 度では 15nsec 以下まで小さくなっている。この垂直入射の場合に見られる到達時間分布の遅いテールは、ワイヤ間の中間近傍付近に生じる電場が小さい領域のみを粒子が通過することから生じている。しかし、実際の実験環境下においては TGC への入射角度は 10 度から 45 度であり、その領域におけるタイムジッターは 25nsec よりも十分に小さい。

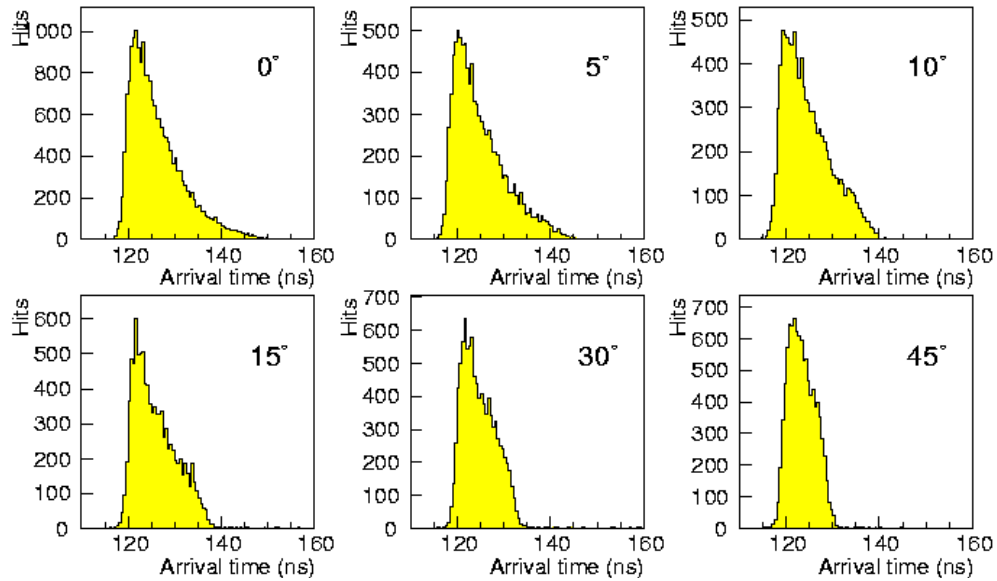


図 4.5: TGC のタイムジッター

* 正確な定義は、信号到達時間分布において、TGC が検出した信号のうち 99% を得られる最小ゲート幅。

4.2 TGCの配置

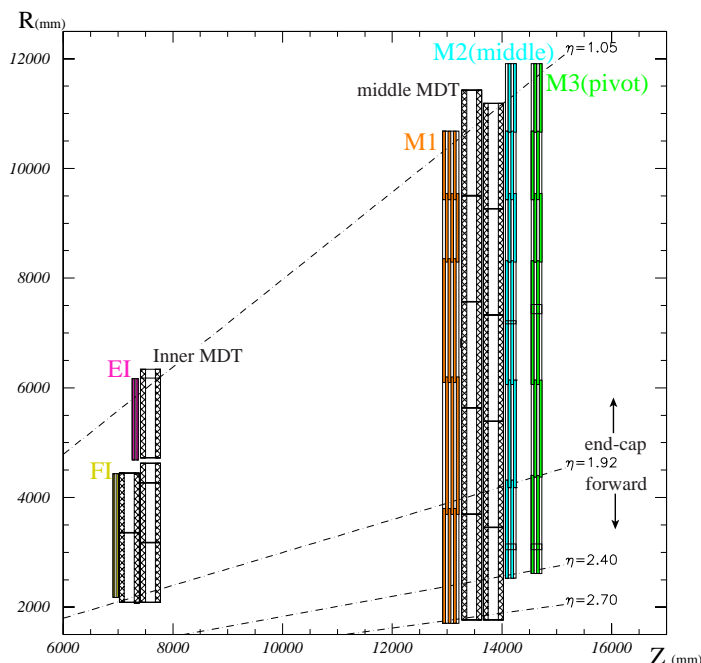


図 4.6: R-Z 断面での TGC のレイアウト

図 4.6 に示すように、TGC システムは M1, M2(middle), M3(pivot) と EI(Endcap Inner), FI(Forward Inner) の 5 つから構成される。M1 は 3 層 (Triplet) のチェンバー、M2, M3 は 2 層 (Doublet) のチェンバーから成り、トリガ判定には主にこの計 7 層が使われる。EI/FI は TGC トリガの補助的な役割を果たす[†]。これら 5 つがそれぞれ、ATLAS の両側のエンドキャップで円盤状に並べられて配置される。図 4.7 に pivot の配置を示す。黒い線で示されているセルが 1 つの TGC を表している。

TGC は 1/12 円 (円形状に配置した TGC を ϕ 方向に 12 等分したもの) が 1 つの大きな単位となっており、データの処理、TGC の建設はこの単位で行なわれる。(図 4.7 の赤い線で示された部分)

レベル 1 トリガに関連する部分では、1/12 はさらにセクタと呼ばれる単位で分割され、図で示すように、エンドキャップを ϕ 方向に 4 等分した領域と、フォワードを ϕ 方向に 2 等分した領域をそれぞれトリガセクターと呼ぶ (図 4.7 の水色の部分)

トリガセクターの ϕ 方向の幅がちょうど TGC1 枚の幅と一致する。さらにトリガセクターはエンドキャップ領域では η 方向に 37 分割、 ϕ 方向に 4 分割され、またフォワード領域では η 方向に 16 分割、 ϕ 方向に 4 分割され、それぞれサブセクターと呼ばれる (図 4.7 の黄色の部分)。サブセクターは 8 ワイヤグループと 8 ストリップに対応しており、これらはトリガ処理の最小単位であり、1 つの RoI(Region of interest) でもある。

[†]現在のトリガに関するシミュレーションでは、EI/FI チェンバーを使わなくても十分な検出効率を得られるとされているが、まだ低エネルギー粒子によるバックグラウンドの影響が懸念されており、これは EI/FI チェンバーによって落とせるとされている。また、EI/FI からの情報は後述する Sector Logic で使われるため、比較的簡単にその設定を変更することが可能である

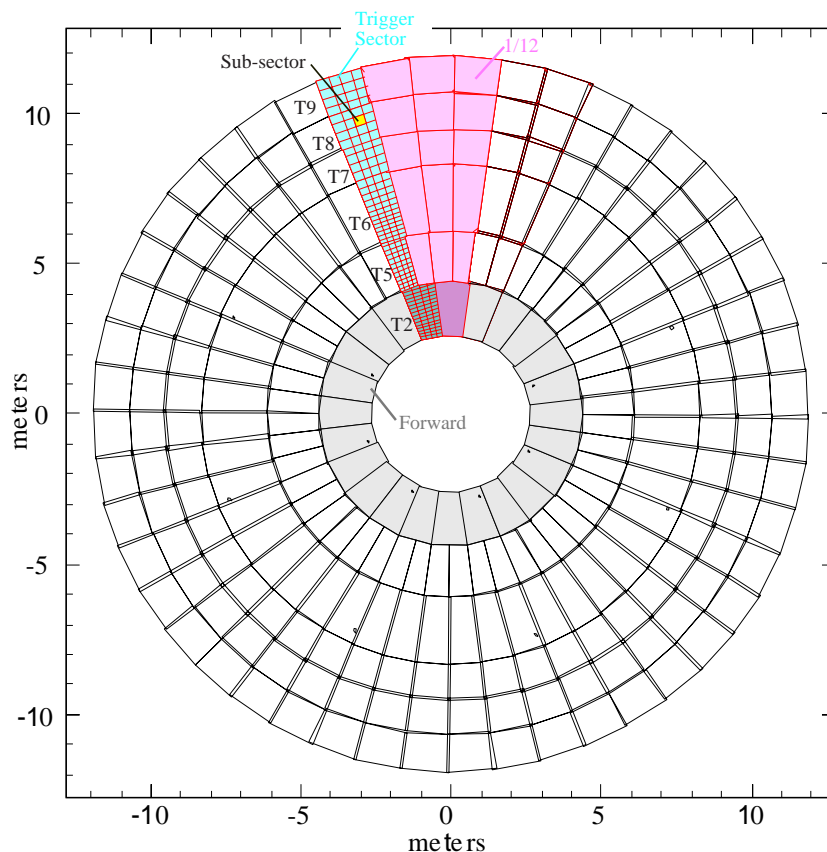


図 4.7: M3(pivot) での TGC の配置と区分

ATLAS 実験に設置される TGC の総数は約 3700 枚で、全チャンネル数は R 方向で約 22 万、 ϕ 方向で約 10 万になる。

4.3 トリガスキーム

図 4.8 に、ミューオンの p_T の求め方を示す。まず、pivot 層でのミューオンの通過位置とビーム衝突点を結ぶ直線 (Infinite Momentum Line) を考える。この直線は、ミューオンの p_T が無限大であると仮定して、磁場の影響を全く受けずに直進してきた場合のトラックである。Doublet 及び Triplet で、ミューオンが通過した位置と Infinite Momentum Line が通る位置の差を、 R 、 ϕ 方向それぞれに検出することで $\delta R, \delta\phi$ の値を求め、ミューオンの p_T を検出する。トロイダル磁場が理想的な ϕ 方向成分のみの磁場であれば、 $\delta\phi = 0$ となるが、実際には磁場は一様でなく R 方向にも存在するので、 ϕ 方向の変位 $\delta\phi$ も考えなければならない。

ミューオントリガシステムでは、Low- p_T と High- p_T と呼ばれる 2 種類の p_T に関する閾値を設けている。閾値の値は、Low- p_T が 6GeV 以上、High- p_T が 20GeV 以上となっている。middle 及び Triplet では、それぞれ δR と $\delta\phi$ の上限が設定されており、上限の δR と $\delta\phi$ で形成される領域をウィンドウと呼ぶ。middle でのウィンドウは、Low- p_T 以上の p_T を持つミューオンが通過できる範囲になっている。同様に、Triplet のウィンドウは high- p_T 以上の p_T を持つミューオンが通過できる範囲になっている。

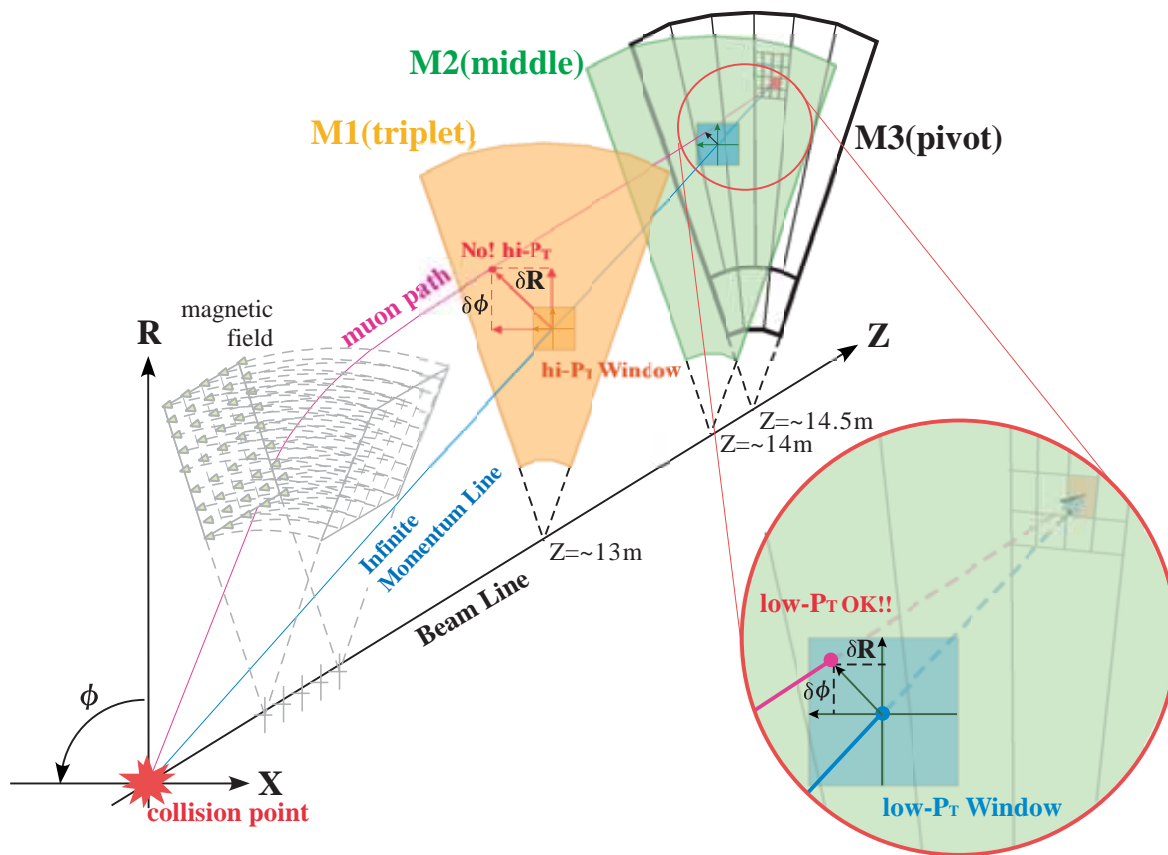


図 4.8: p_T 測定 の 原理

図 4.9 で示すように、TGC では 2 層構造、3 層構造を利用したコインシデンス処理を行なうことで、バックグラウンドによる偶発的なトリガを抑えながら、トリガ判定を行なっている。

Low- p_T のトリガは pivot、middle の 2 つの Doublet を使用して求められる。ワイヤ、ストリップ共に 4 層のうち 3 層以上で、ウィンドウの範囲内にヒットがある (3 out of 4 coincidence) かどうかで Low- p_T 判定を行っている。

また High- p_T のトリガの場合には、Low- p_T の条件に加えて、Triplet にワイヤでは 3 層のうち 2 層以上で (2 out-of 3)、ストリップでは 2 層のうち 1 層以上で (1 out-of 2) ウィンドウの範囲内にヒットがあるか無いかで判定を行う。

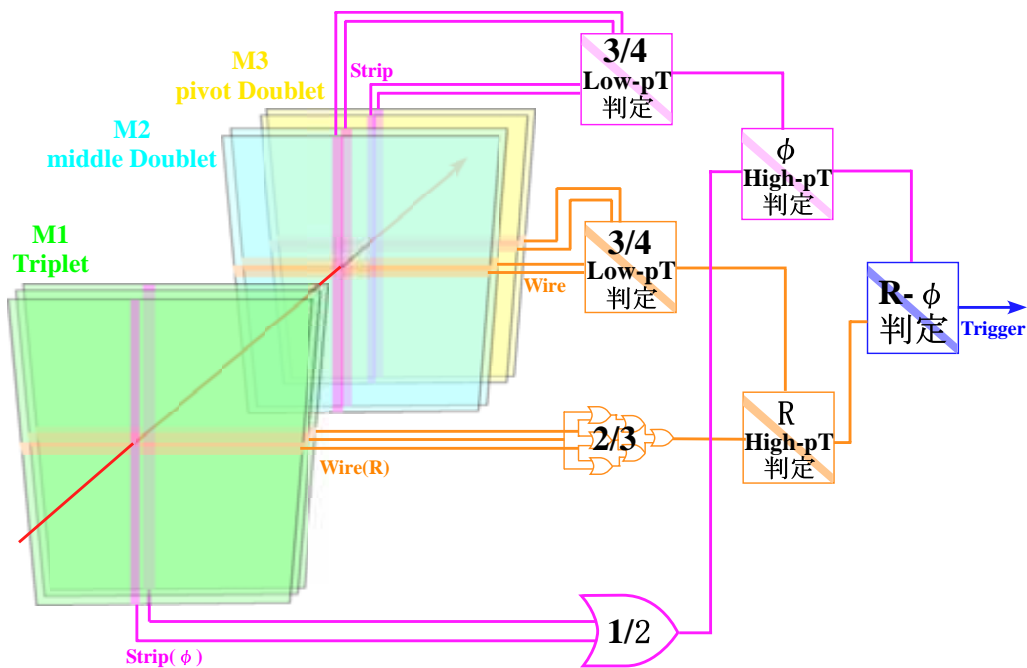


図 4.9: TGCトリガの判定方法

4.4 TGC エレクトロニクス

ここでは、TGC エレクトロニクスについて説明する。まず、システム全体のデータの流について述べる。次に TGC エレクトロニクスで使われる各モジュールとその配置場所について説明し、最後に TGC エレクトロニクスが置かれる放射線環境について述べる。

4.4.1 システム全体

ここまでは主に TGC のトリガ用検出器としての機能について述べてきたが、TGC には

- LVL1 ミューオン・トリガ・システムとしてトリガ判定のための情報を得る
- MDT が測定出来ないユーオンの第 2 座標 (ϕ 方向の座標) の情報を得る

という二つの役割がある。よって、データの流れも大きく分けて、

トリガ系 トリガ判定の為の情報 $25nsec$ 毎に流れている

リードアウト系 TGC 各層でのミューオンの通過位置情報が、L1A が来ると読み出される

コントロール系 TGC エレクトロニクスの各モジュールをコントロールするための情報

の 3 つがある。

TGC エレクトロニクスのデータの流れを図 4.10 し、3 種類のデータの流について簡単に説明する。

トリガ系

トリガ系の流れは、ASD(Amplifier Shaper Discriminator) ボード, PP(Patch Panel ASIC), SLB(Slave Board ASIC)、HPT(High- p_T ボード), SL(Sector Logic) の順に信号が処理される。TGCから出力されるアナログ信号は、ASDボードに送られ、信号の増幅・整形が行われ、LVDS信号でPPへと送られる。PPでは、各チャンネルへ粒子が到達するまでの飛行時間であるTOF(Time of Flight) やケーブル遅延などから生じるタイミングのずれを調整し、バンチ識別(信号をLHCクロックに同期させる)を行なう。SLBでは、PPからの信号を受け取り、4層からなるpivot,middle Doubletからの信号をもとにコインシデンス処理(3 out of 4)が行なわれ、Low- p_T トリガの判定が行なわれる。また Tripletからの信号についてもコインシデンス処理(ワイヤ:3 out-of 4, ストリップ:1 out-of 2)が行なわれる。HPTでは、SLBで測定したDoublet及びTripletのコインシデンス処理の結果を基に、High- p_T トリガの判定が行なわれる。SLでは、それまで独立に扱われていた R/ϕ 方向の情報を統合し、コインシデンス処理が行われ、TGCのトリガ系の最終的な情報として p_T が大きな2つのトラックをセクタ毎に選び出す。SLの結果は、MUCTPI(Muon CTP Interface)に送られ、RPCの情報と合わせて、ミュオンの最終的なトリガ判定が下される。

リードアウト系

次にリードアウト系の流れとしては、PPから送られてきたデータは、SLBの中にあるレベル1バッファに蓄えられ、L1A信号を受けたデータのみがデランダムマイザを通じて、次段のSSW(Star Switch)へと送られる。SSWでは、データの圧縮を行ない、あるフォーマットにデータを変換する。変換されたデータはROD(Readout Driver)に送られ、RODでは最大13個のSSWからの情報を収集し、それらのデータとTTCから送られてくる情報との整合性を確認し、データが正しいものであれば、要求されるフォーマットにデータを変換して、ROB(Readout Buffer)に送られる。

コントロール系

コントロール系はATLAS実験では各検出器の制御と監視を統一的な方法で行なうためにDCS(Detector Control System)が導入され、フロントエンドにはADC(Analog-Digital Converter)やDAC(Digital-Analog Converter)などの機能を持ったeLMB(embedded Local Monitor Box)がPS Board上等に設置される。HPT/SSWが搭載されるVME[‡]クレート(HSCクレート)は実験室外のCCI(Crate Control Interface Board)からHSC(High- p_T Star-switch Controller Board)を介してコントロールされ、PS Board上のPP/SLBの設定はSSWから行う。また、TGCエレクトロニクスでは、DCSはの温度状態管理や供給電源の監視、さらにSSWから行なわれるPP/SLBの設定も、バックアップのためにeLMBから行なえるようにしてある。PS Board上にはJTAGプロトコル(B章参照)のPP/SLBへの経路選択を行なうためにJRC(JTAG Routing Controller)が設置される。

以下にTGCエレクトロニクスシステムを構成する主なモジュールについて簡単に説明する。

[‡]Versa Module Europeの略で、IEEEで規格化された産業用の標準バス。96ピンDINコネクタを実装した32ビット・バスで最大通信速度は50MB/secであり高エネルギー物理の分野でも一般的に用いられている

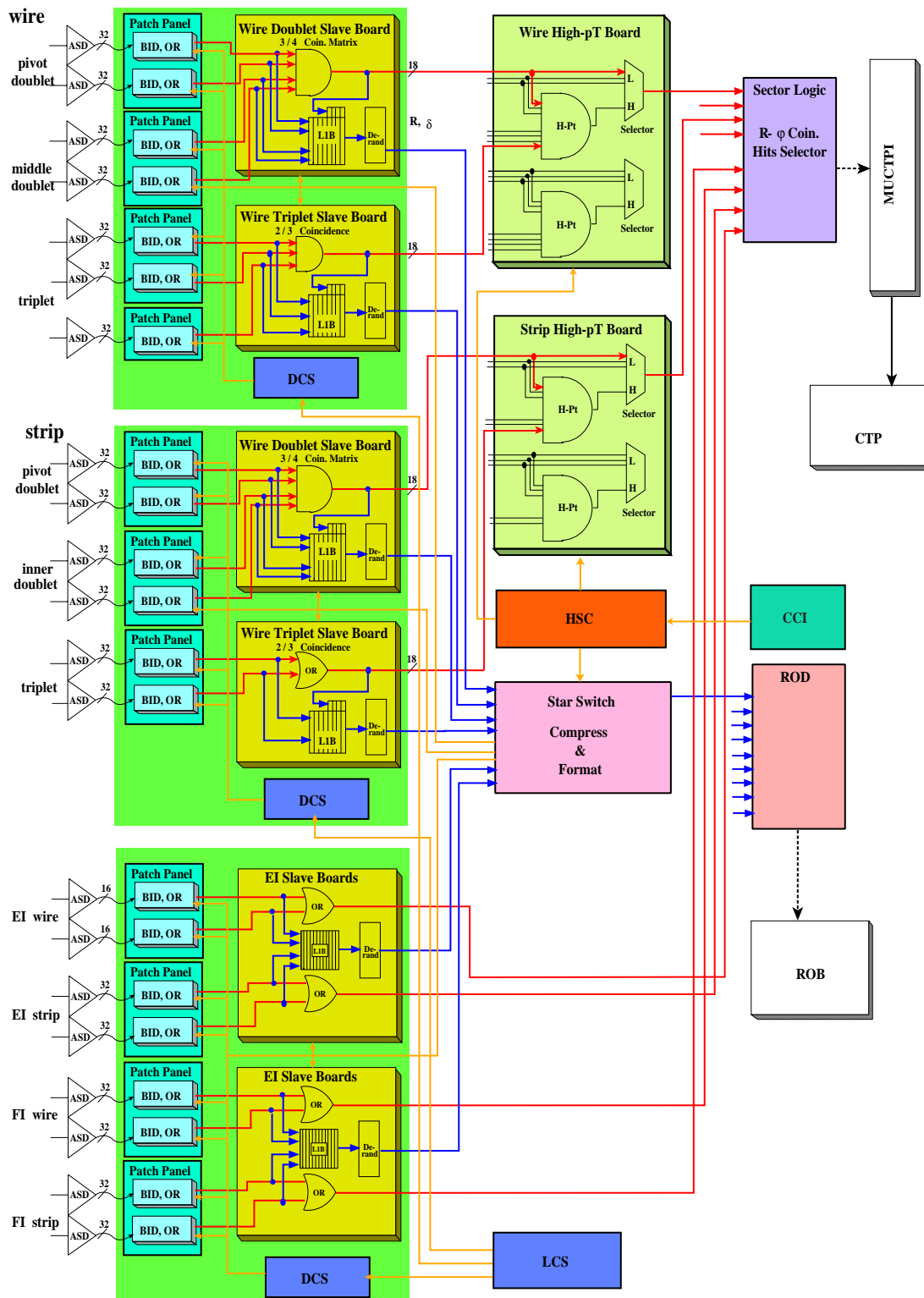


図 4.10: TGC エレクトロニクスのデータの流れ

4.4.2 ASD(Amplifier Shaper Discriminator) Board

ASD Board は TGC の側面に取り付けられ、4 チャンネル分の処理が出来る ASD ASIC が 4 個搭載され、1 つのボードで 16 チャンネルを処理する。ASD ASIC は、TGC からのアナログ信号を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS(Low Voltage Differential Signaling: 低電圧作動信号) レベルの信号で出力する。また、ASD ボード以降のエレクトロニクス診断やタイミング調整のために、トリガ信号を受けて、擬似的な TGC の出力信号 (Test Pulse) を出力する機能も持っている。ASD ボードは、後述する PP ASIC が設置される PS Board とツイストケーブルで接続され、動作電源、閾値電圧、Test Pulse のためのトリガは全て PS Board から供給される。また、ASD Board には 16 チャンネル分のアナログ信号を OR した信号を、モニタできるアナログ出力もついている。図 4.11 は ASD Board の写真である。

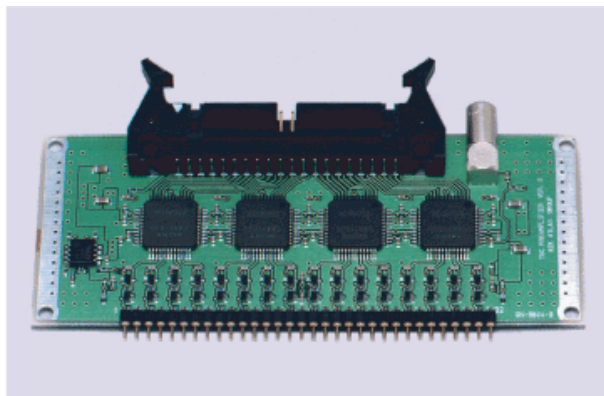


図 4.11: ASD Board

4.4.3 PP(Patch Panel) ASIC

ASD から送られてくる信号は、TOF やケーブル遅延などで到達時間は必ずしも揃わない。そこで、PP ASIC でタイミング調整とバンチ識別を行なう。具体的には、ASD から LVDS 信号を LVDS レシーバーにより、CMOS レベルの信号に変換する。次に variable delay 回路で、各チャンネルにそれぞれ 0~25nsec の範囲でディレイをかけることによりタイミングの調整を行う。このディレイは 0.78nsec 単位で調整が可能になっている。タイミング調整された信号は BCID (バンチクロッシング ID) 回路に入り、TTC から供給される LHC クロックと同期が取られバンチ識別が行われる。最後に TGC の重なった部分のダブルカウントを防ぐため、OR ロジックを通して SLB ASIC に送られる。また PP ASIC は、ASD Board に向けて Test Pulse を発生させるためのトリガを出力する、Test Pulse 回路も搭載している。Test Pulse の振幅、タイミングは可変であり、JTAG プロトコルによって制御出来る。PP ASIC は一つで 32 チャンネル信号を処理できる。

4.4.4 SLB(Slave Board) ASIC

SLBは大きくわけて、トリガ部とリードアウト部からなる。トリガ部はTGCからの入力信号に対して、コインシデンス処理を行ない、6Gev以上のLow- p_T を持つミュオン信号を選別する。SLBの段階では、ワイヤとストリップ、DoubletとTripletは別々に扱うので、設定により5種類のコインシデンス処理(ワイヤ Doublet, ストリップ Doublet, ワイヤ Triplet, ストリップ Triplet, EI/FI)を切替えられるようになっている。Doubletではワイヤ、ストリップ共に middle、pivot からの信号を使い、4層を利用して3 out-of 4のコインシデンスをとる(図4.12参照)そして、pivotを基準にしてmiddle上でのズレによってLow- P_t の判定を行う。TripletではDoubletと独立に処理されるため、pivotの情報がない。従って、 p_T は測定されず、位置のみが求められる。また、Tripletはワイヤとストリップで層の数が違うため、ワイヤでは2 out-of 3、ストリップでは1 out-of 2のコインシデンスがとられる(図4.13、図4.14参照)。EI/FIではミュオンが通過したかどうかのヒット情報のみがとられる(図4.15参照)。またトリガ部には、PP ASICからの信号に1/2クロック単位でディレイをかける機能や、各チャンネルをマスクする機能、連続したチャンネルにヒットがあった時にその中の一つのチャンネルだけから信号を出力させる機能(デクラスタリング:図4.16参照)さらにSLB以降のエレクトロニクス診断やタイミング調整を行うためのTest Pulseを出力する機能も持っている。

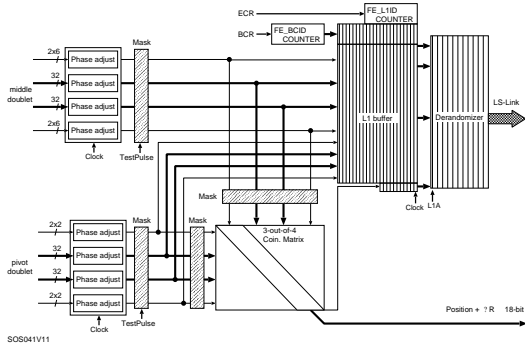


図 4.12: SLB 3 out-of 4 ブロック図

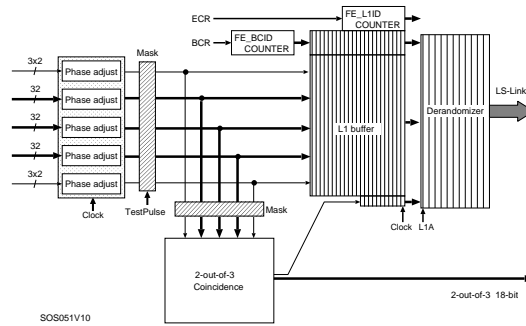


図 4.13: SLB 2 out-of 3 ブロック図

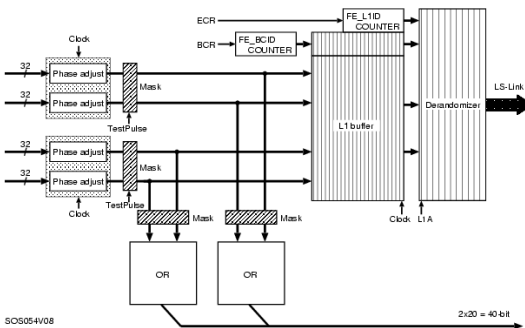


図 4.14: SLB 1 out-of 2 ブロック図

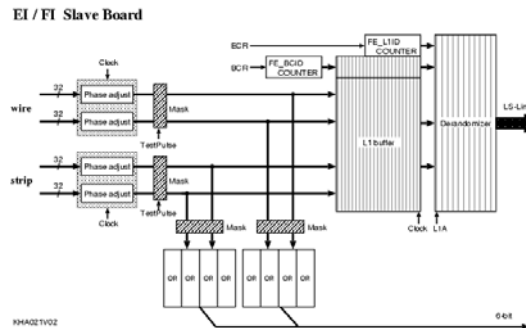


図 4.15: SLB EI/FI ブロック図

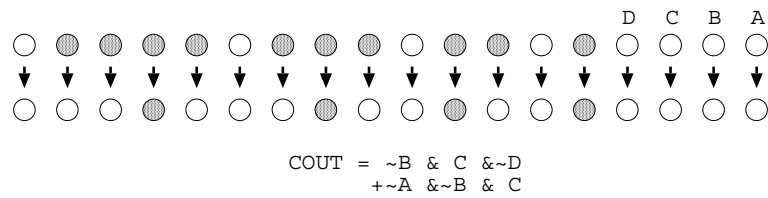


図 4.16: デクラスタリング

リードアウト部は、レベル1トリガの判定を受けたデータの読み出しを行なう部分である。主にレベル1バッファとデランダムマイザにより構成される。データはレベル1バッファと呼ばれる、幅 212bit、深さ 128 段のシフトレジスタに蓄えられる。212bit の内訳は入力データ 160bit、トリガパートの出力 40bit、パンチ・カウンタ値 12bit となっている。このデータは CTP からの L1A が与えられるまでの時間保持され、L1A が与えられると該当するデータとその前後 1 パンチずつの、計 3 パンチ分のデータにそれぞれに、イベント・カウンタの値 (4bit) を付加してデランダムマイザにコピーされる。デランダムマイザにコピーされるとすぐに、3 パンチ分のデータは別々にシリアルに変換し、Start、Stop bit を付加して SSW に LVDS レベルで送られる。

4.4.5 JRC(JTAG Routing Contoroller)

JRC は 2 系統の入力ポートと 7 系統の出力ポート、それらをコントロールするための 2 系統の JTAG ポートを持つスイッチングルータである。それぞれのラインは、 \overline{TRST} , TCK, TMS, TDI, TDO の 5 つの信号から成る。2 系統の入力ポートは SSW と eLMB からのもので、図 4.17 のように CA_JTAG(または CB_JTAG) が JRC 内のスイッチをコントロールすることで、Q1~Q7 のポートのうち 1 つを選択して DA_JTAG(または DB_JTAG) の信号をそのまま出力する。JRC は、PP/SLB にアクセスするためのインターフェイスであり、PP/SLB の設定は JRC を中継して行なわれ。7 系統の出力ポートは、4 つが PP ASIC へのもので、2 つが SLB ASIC へのものである。

JRC は初め ASIC として実装される予定だったが、今年の放射線照射テストで Anti Fuse FPGA (焼き切り型で、一度しか書き込みの出来ない FPGA) の対放射線性が確認されたため、この素子を使って実装されることになった。

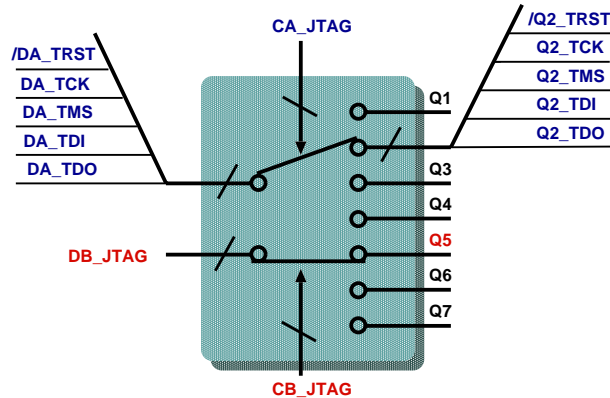


図 4.17: JRC 内部の模式図

4.4.6 eLMB(embedded Local Monitor Box)

eLMBはDCS(Detector Control System)の中でTGCを扱うサブモジュールであり、ADC(Analog-Digital Converter) やDAC(Digital-Analog Converter) が搭載され、センサーからの信号をデジタル化してモニタし、制御用のアナログ信号を作り出せる。具体的には、温度モニタ、エレクトロニクス系の電圧・電流モニタ、TGCのガスの流量・圧力モニタ、TGCのアノードに印加するHV(High Voltage)電源電圧のモニタとコントロール、ASDの閾値電圧の設定などを行う。eLMBはCANバス[§]を通じてデータの読み書きが行なわれる。

4.4.7 PS Board

PSボードには図4.18に示すように、PP ASIC、SLB ASIC、JRC、eLMBが搭載される。PS Boardでは、ASDからのLVDS信号をPP ASICで受け、TGCのオーバーラップ領域でのダブルカウントを防ぐためのOR論理回路を通して、SLB ASICへ送られる。SLB ASICで、トリガ系と読み出し系に分かれ、トリガ用データはHPTへ、読み出し用データはSSWへと、それぞれLVDS信号に変換され、さらにシリアルライズされて送られる。また、SSWあるいはeLMBから送られてくるPP/SLBを制御するためのJTAG信号は、JRCによりPS Boardに設置される各ASICに分配される。さらにPS Boardは、ASD Boardに電源電圧と閾値電圧を供給する役割も果たす。PS Boardは後述するSPPから、TTCによって供給されるLHCクロックや、各種Reset信号、Test Pulseのためのトリガ信号等の信号を受け取る。図4.19にPS Boardの写真を示す。

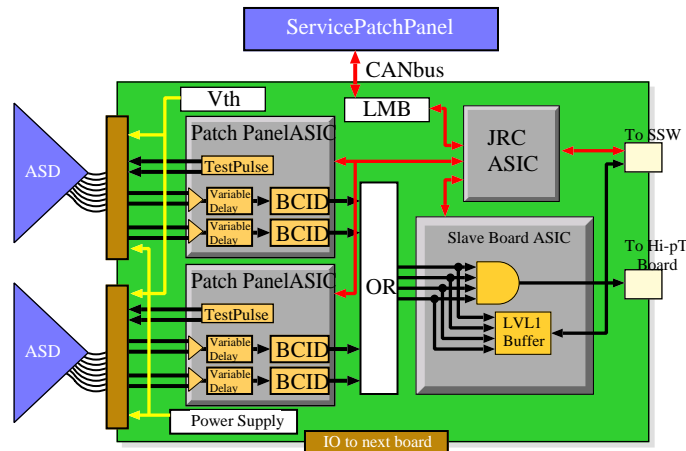


図 4.18: PS Board の構成図

4.4.8 SPP(Service Patch Panel) Board

SPPにはTTCrxが載せられたメザニンボードが載せられ、TTCからLHCクロック、L1A、BCR、ECR、Test Pulseトリガ等の信号を受け取り、それらの信号を10又は17枚のPS Boardに分配する。

[§]CAN(Controller Area Network)はマルチマスターのシリアルバスシステムで、アドレスの概念がなく、送信側は識別子を付けてメッセージを配信し、受信側はその識別子を見てメッセージを受信するかを決めるプロトコル。

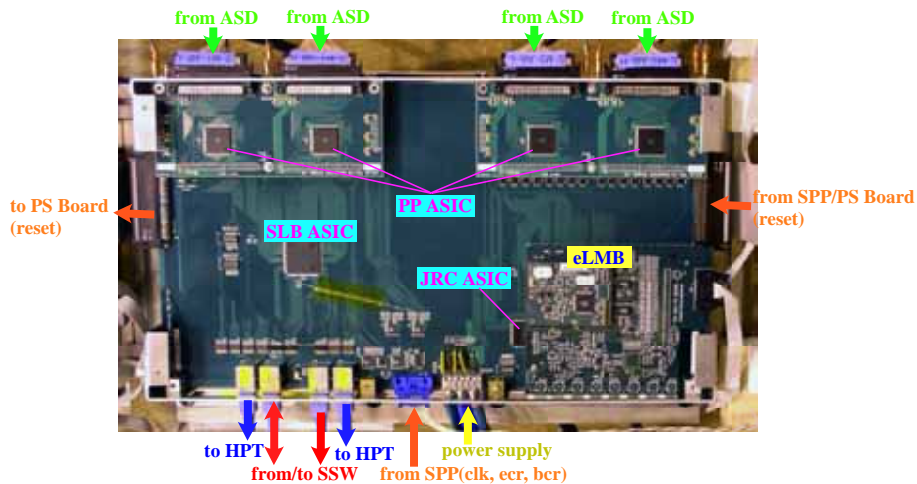


図 4.19: PS Board

SPPは2003年7月に、TTCrxの新しいバージョンであるTTCrqを載せられる新しいものが作られた。新しいSPPには、TTCrxやTTCrqの設定を行うためにI²Cプロトコルを受信する、カテゴリ5ケーブルのポートが搭載されている。また、これまではTTCrxのO/E変換のために必要なDC 5Vを外から供給する必要があったが、新しいものは搭載されたDC/DCコンバータによってDC 3.3Vの電圧を昇圧して内部で5Vを作れるようになった。さらに、TTCrxで受信したTTCviからのクロックをモニタするための端子なども搭載された。図4.20にSPPの新しいプロトタイプの写真を載せる。

4.4.9 PS Pack

PS BoardとSPPは、図4.21に示すようなPS-Packにまとめられ、Tripletの前面、及びDoubletの後面に設置される。PS-Packは1/12毎に2つ設置され、1つのSPPと複数のPS Board(Tripletは10枚、Doubletは17枚)から構成される。



図 4.20: Service Patch Panel

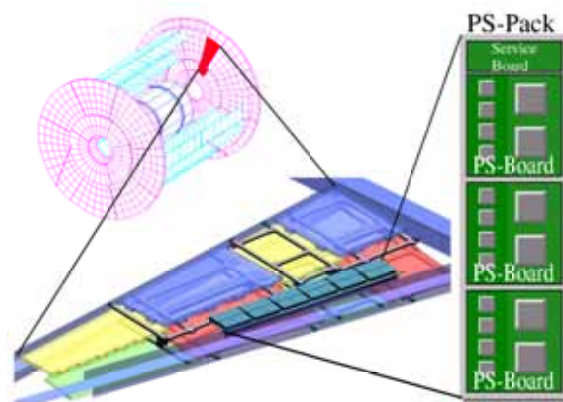


図 4.21: PS-Packの構成と配置

4.4.10 HPT(High-p_T Board)

HPTは20GeV以上のp_Tをもつミュオンを選別するHigh-p_T判定を行う。HPTはまず、PS Boardから送られてきたLVDSレベルのシリアライズされたデータを、パラレルのデータに変換する。HPTでは、SLB ASICまで独立に処理されてきたDoubletとTripletのデータを統合してHigh-p_T判定を行う。Tripletは2つのDoubletよりも内側で、しかもDoublet同士の間隔よりも離れた位置に設置されているため、Tripletを用いることによりトロイダルマグネットによってあまり曲げられることがなかった大きなp_Tをもつミュオン信号を選別できる。HPTではワイヤとストリップは独立に処理が行われる。図4.23にワイヤ、図4.24にストリップのブロック図を載せる。図のように、ワイヤはTripletとmiddleに2つのadjacent(隣接部からの入力)があり、Doublet4つ、Triplet3つの入力からコインシデンスが取られるようになっている。ストリップは、Tripletとmiddleに1つadjacentがあり、Doublet3つ、Triplet3つの入力からコインシデンスが取られるようになっている。データはシリアライズされ、オプティカル信号に変換されて、光ファイバーによって90～100m離れた実験室外のカウンター・ルーム(USA15)にあるSLに送信される。HPTはエンドキャップ領域用のワイヤとストリップ用、フォワード領域用の計3種類作られる。現在あるプロトタイプはフォワード領域のデータを処理するためのものである。HPTはひとつのボードに4つのHPT ASICが搭載され、10個のSLBからの入力を受けられることができる。図4.22にHPT Boardの写真示す。



図 4.22: HPT Board

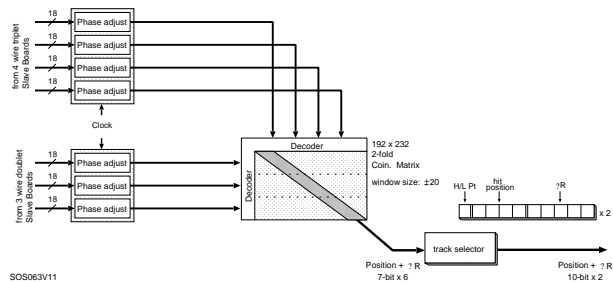


図 4.23: HPT ワイヤ ブロック図

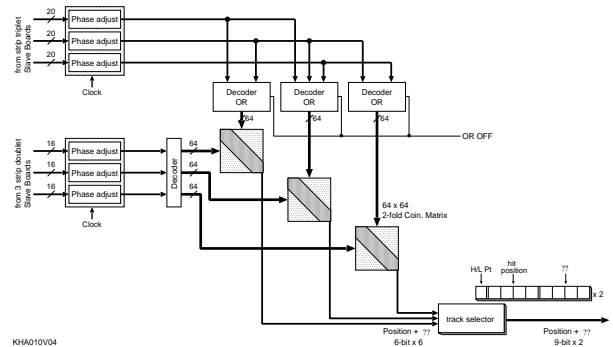


図 4.24: HPT ストリップ ブロック図

4.4.11 SL(Sector Logic)

SLはTGCエレクトロニクスシステムのトリガのデータが最終的に集められるモジュールであり、1トリガセクター分の信号を処理する。SLは主にR- ϕ コインシデンス、プレトラックセクター、ファイナルトラックセクターから構成される。まずSLは、HPTから送られてきたシリアル化されているオプティカル信号を受け取り、電気信号に変換した後平行変換をする。そして、HPT Boardまで独立に処理されていたR方向(ワイヤ)と ϕ 方向(ストリップ)のHPTから両者のコインシデンス(R- ϕ コインシデンス)を取ることで、ミューオンのトラックを構築する。それらのトラックを、ssc(Sub-Sector Cluster:R方向に2つ、 ϕ 方向に4つのSub-Sectorのあつまり)ごとに6段階の P_T の閾値によって分類する。6段階のうち3段階はLow-pT用で、残り3段階がHigh-pT用となっている。はっきりと決まっている閾値はLow-pTの6GeV以上とHigh-pTの20GeV以上という2つのみで、その他は探索する物理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能なLook-Up Table(LUT)によって実装されなければならない。プレトラックセクターは、6段階の p_T 判定のそれぞれに用意され、 p_T の大きい順に2つの選択して、計12トラックがファイナルトラックセクターに送られる。ファイナルトラックセクターでは、プレトラックセクターから送られた1トリガセクター分のトラックから p_T の大きいものを2つ選択して、6段階の p_T 判定と位置情報をMUCTPIに送る。このロジックはFPGA[¶]に書き込まれる。

図4.25にSLの写真、図4.26にブロック図、図4.27にSLでの処理の流れを載せる。

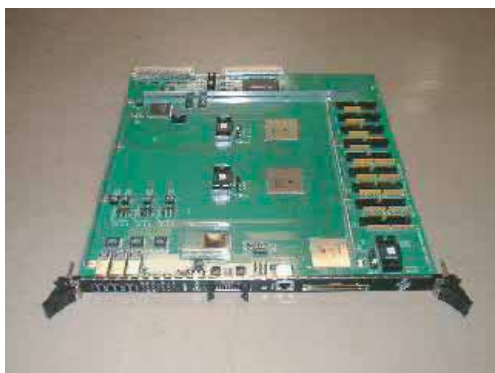


図 4.25: SL

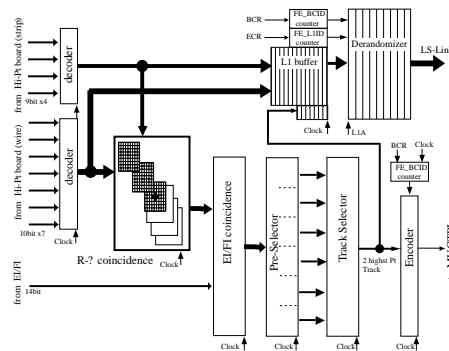


図 4.26: SL ブロック図

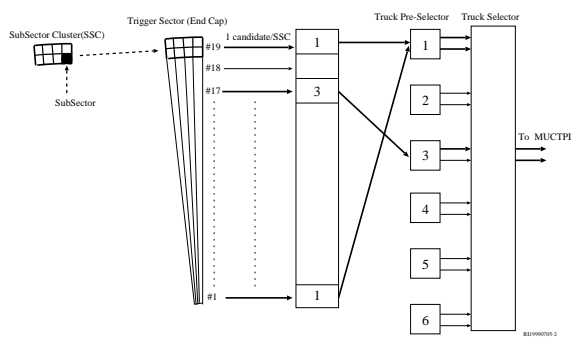


図 4.27: SLでの処理の流れ

[¶]Field Programmable Gate Array の略 CPLD 同様、内部に回路構成用のメモリを持ち、自由に回路構成を行うことができる。CPLD とは内部構造やプログラム素子が異なる。

4.4.12 SSW(Star Switch)

SSWの主な役割は、SLBのリードアウトから送られてくるデータを圧縮し、RODにデータを送る前にデータ量を減らして、効率よい読み出しができるようにすることである。具体的なデータ圧縮は、データを cell と呼ばれる 8bit ごとの塊に分け、各 cell にアドレスを付け、値がゼロでない cell だけをアドレスと共に送る。TGCの全チャンネルのうちムーオンが通過するのはごく一部なので、これによりデータを減らすことが出来る。1つのSSWで最大18個のSLBのデータを受ける。SSWはまず、SLBからのLVDSレベルのシリアル化されたデータを受け取り、それをパラレルのデータに変換する。そのデータはSSW_{Rx}(レシーバー)に送られ、データの圧縮が行われる。その後データは、SSW_{tx}(トランスミッター)に送られ、フォーマットされる。フォーマットされたデータはシリアル化され、オプティカル信号に変換されて90～100mはなれた実験室の外にあるRODに送られる。またSSWは、PS Board上のPP ASIC、SLB ASICにJTAGプロトコルによってレジスタ設定を行う。図4.28にSSWの写真を載せる。



図 4.28: SSW

4.4.13 Read Out Driver Board (ROD)

RODはTGCエレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。RODは複数のSSWからシリアルライズされた圧縮データをオプティカル・ファイバーを通して受け取り、オプティカル信号を電気信号に変換した後パラレル・データに戻し、FIFOメモリに一時格納する。このデータをマイクロコンピュータ(SH-4)が読み出し、トリガ情報を元に同じイベントごとにまとめ、決められたフォーマットにしたがってヘッダー、フッターをつける。まとめられたデータはS-link(Simple Link Interface)というフロントエンドとリードアウトのエレクトロニクスを繋ぐためにCERNで開発された光信号のリンクモジュールによってROB(Read Out Buffer)に送信される。また、ROB以外にVME経由でデータを取り出すことも可能である。

イベントの同定やヘッダー、フッターをつけるためにはTTCからのトリガ情報が必要となるため、RODにはTTCrxが載せられたメザニンボードが搭載され、これによりTTCからの信号を受け取ることができるようになっている。

RODは100kHzでこれらの処理ができるように求められている。

図4.29にRODの写真を載せる。



図 4.29: ROD

4.4.14 High-pT Star-switch Contrller Board (HSC)

HSCはHPT、SSWと同じVMEクレート(HSCクレート)に載せられる、VMEマスターモジュールである。後述するCCIとオプティカルケーブルで結ばれ、CCIからの命令を受け取る。命令を受け取ると、命令に対応した処理を行いその後CCIへ応答を返す。命令はHPTやSSWに対するもので、命令を受け取るとVMEバスを支配しスレーブモジュール(HPT、SSW)に対して命令を伝える。またVMEバス以外にJTAGバスも使用されている。このためHSCには、CCIとの情報のエンコード、デコードのために2種類の機能が用意されている。ひとつはPPE(Primary Protocol Encorder)というJTAG用のもので、リセットやJTAGのコントロールを行う。もう一方はSPE(Secondary Protocol Encorder)というVME用のもので、VMEのコントロールを行う。

図 4.30 に HSC の写真を載せる。

4.4.15 Crate Control Interface Board (CCI)

CCIはローカルホストからの命令を受け取り、命令専用レジスタに格納したあとHSCへと送信する。一方HSCからの応答は、応答専用レジスタに格納されローカルホストが読み出す。これら以外にも状態監視用のレジスタやVME優先割り込み用のレジスタが用意され、これらはVME経由でアクセスすることが可能である。

図 4.31 に CCI の写真を載せる。



図 4.30: HSC



図 4.31: CCI

4.5 タイミング調整

LHCのバンチ衝突頻度は40MHz、周期は $25nsec$ であり、これは光速の飛程に換算すると7.5mになる。またATLAS検出器の全長が47mと大きいことを考えると、あるバンチ衝突により生成された粒子が検出器を通過するよりも前に次のバンチ衝突が起こることになる。このような早いタイミングで起こるバンチ衝突の中、各検出器及び信号処理系のデバイスが各バンチ衝突を正確に見分けながら処理を行う必要がある。また各信号経路には必ず遅延の要素があり、信号処理を行うデバイスはそれらを考慮して開発される必要がある。

TGCトリガ・システムの場合、ミュオンのTOF、TGCのタイムジッター、各部の信号伝播遅延などがあり、さらに各処理の基準になるLHCクロックがデバイスの各部に到着するまでの時間のばらつきも考慮する必要がある。これらのタイミングは30万以上のチャンネルからなる検出器の各チャンネル毎に異なる。TGCトリガ・システムには、これらのタイミング調整を行うために処理系の各部に遅延回路を搭載している。ここではそのタイミング調整に関して述べる。

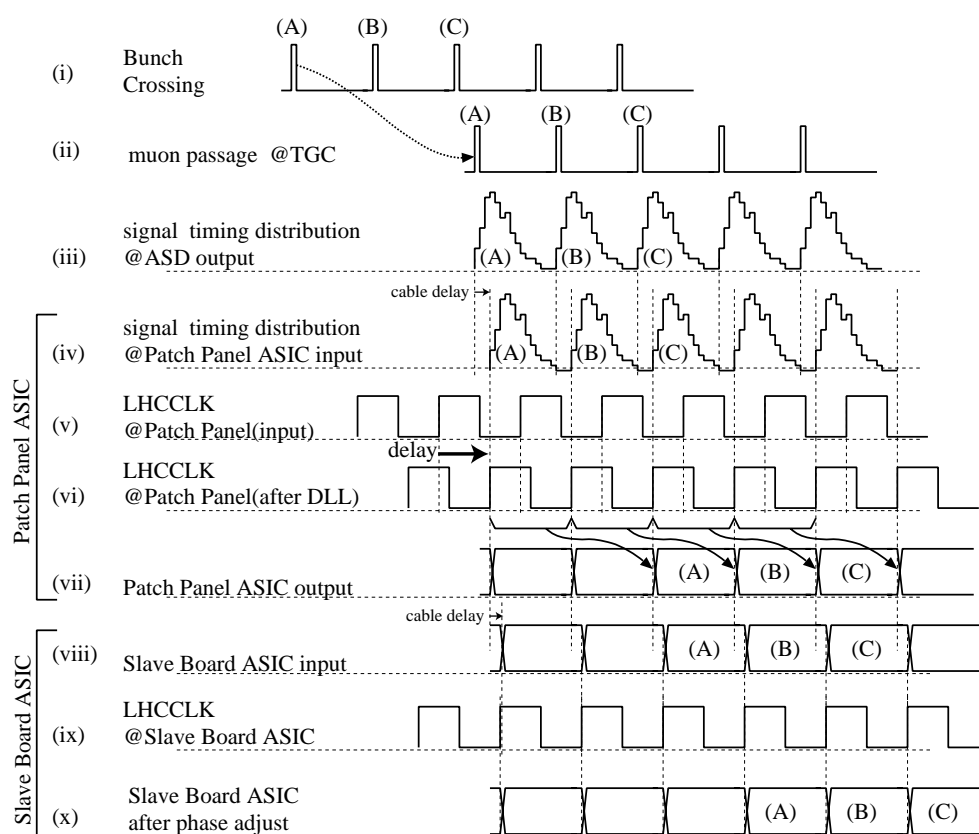


図 4.32: ASD から SLB ASIC までの信号のタイミングチャート

PP ASICでのタイミング調整

PP ASICは、来た信号がどのバンチ衝突から来たものなのかを決定する部分で、高い精度でタイミング調整が必要な部分である。信号がPP ASICに来るまでには以下のような遅延要素が考えられる。

- ミューオンのTOF(Time Of Flight)
- TGCのタイムジッター (TGCがミューオンを受けてから信号を出すまでの時間のばらつき)
- ASD、PP ASIC間の配線遅延

このうち、ミューオンのTOFと配線遅延は、読み出す検出器の位置と配線長が決定すれば、イベント毎のタイミングのズレは無視できるが、TGCのタイムジッターは4.1節でも述べたように20nsec程度あり、それはミューオンの入射位置(この位置はワイヤ間のどの部分かという意味で、どのチャンネルかという意味ではない)、角度によって異なるため、その時間のばらつきはイベント毎に異なる。よって、このバンチの識別はこの20nsecの分布を囲むようなゲートで行う必要があり、このためPP ASICには0.78nsecの精度でディレイを調節できるPLL(Phase Lock Loop)回路が搭載されている。[11]

図4.32の(iv)~(vii)にこのタイミング調整の様子を示す。図の(i)~(iv)は信号到着時間のタイミングの分布を示す(信号の波形ではない)。(iv)のような分布を持ってPP ASICに入ってくる信号を、(v)のようなタイミングのクロックでバンチ認識を行うと、認識を行うクロックの上がりエッジは信号の分布を囲んでいないので、正しくバンチ認識されない。そこでディレイ回路を使って、(v)のクロックを信号の分布を囲む(vi)のタイミングまでずらすことで、正しくバンチ認識を行う。PP ASICの出力は(vii)のようなクロックに同期した信号で、これはSLB ASICへ送られる。

SLB ASIC、High-p_T ASICでのタイミング調整

ここでのタイミング調整の理由の1つは、信号とそれを受け取るクロックのエッジが重なるのを防ぐためである。図4.33に示すように、Inputに対してCLKでラッチするとき、Inputのエッジに対して、CLKのエッジが接近していると、わずかなタイミングの差で、出力のタイミングがことなる場合がある。例えば図のInputをCLK2でラッチすると、出力はOUT2のようになるが、別のチャンネルなどで、わずかにクロックが早く、CLK1のタイミングでラッチすると、出力はOUT1のようになってしまう。これに対処するため、例えばCLKの下がりエッジでラッチをかけるなどの対策が必要である。図4.32の(viii)のタイミングの記号に対して、SLB ASIC上のクロックが(ix)のタイミングである場合、クロックのどのエッジでラッチがかかるか不確定になる。図の(x)の出力は信号を1度クロックの下がりエッジでラッチした後に、上がりエッジのラッチを書けた場合のものである。

タイミング調整のもう1つの理由は、ケーブル遅延により生じる信号到着時間の不一致に対処するためである。SLB ASICの場合、pivot、middleの2つのDoubletチェンバーの距離の差を考慮して、ディレイ時間を1/2クロック単位として、ディレイの幅を0~1.5クロックとした。High-p_T ASICの場合はpivot-middle間よりも長い、Doublet-Triplet間のケーブルの遅延を考慮して、ディレイの幅を0~3.5クロックとした。

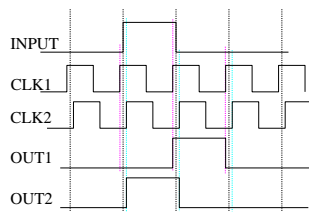


図 4.33: SLB、High-p_T ASIC でのタイミング調整

4.6 TGC エレクトロニクス の設置

TGC エレクトロニクスは大きく 3 つの場所に分けられて設置される。1 つは TGC 上である。ASD は TGC 側面に直付けされている。PS Pack は Triplet 用のものは、図 4.21 の様に Triplet の (衝突点から見て) 前面に、Doublet 用のものは、pivot の裏側に設置される。2 つ目の場所は、TGC を支えるピックウィールという構造体の外縁である。ここには HSC、HPT、SSW が搭載された、HSC クレートと呼ばれる VME クレートがおかれる。HSC クレートは 1 つの 1/12 に 2 台設置される。以上の 2 つの場所は UXA15 と呼ばれる実験ホール内で、ここに設置されるモジュールは強い放射線環境下に置かれるため、放射線耐性が求められる。

3 つ目の場所は実験ホールから 90 ~ 100m 離れた外にある USA15 というコントロールルームで、ここには VME64x クレートが置かれ、CCI、SL、ROD が搭載される。

図 4.35 に設置位置を示す。

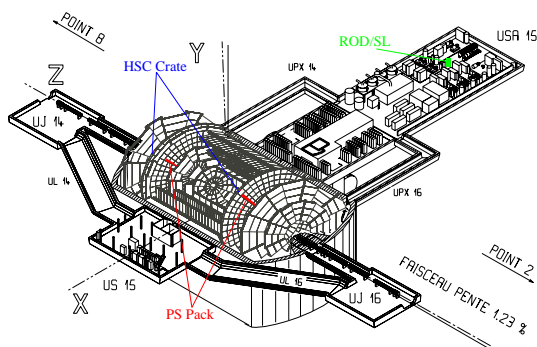


図 4.34: TGC エレクトロニクスの配置

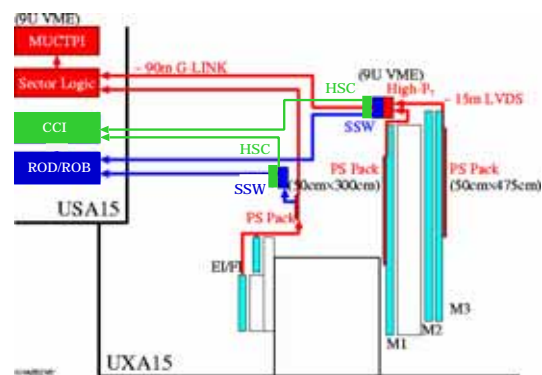


図 4.35: TGC エレクトロニクスの配置 (R-Z 断面)

4.6.1 放射線による影響

ここでは、実際の ATLAS 実験で、TGC エレクトロニクスが設置される放射線環境について述べる。前節で説明した照射室内に置かれるエレクトロニクスは、ビーム衝突点から離れたエンドキャップ部に設置されるとはいえ、 γ 線や中性子などの放射線を大量に浴びることになる。ATLAS 実験は始まってから、少なくとも 10 年間は稼働を予定しており、検出器内部に設置される全ての半導体素子は、この稼働期間中の被曝に耐え得る性能が要求される。放射線が半導体に与える影響には次のようなものがある。

TID (Total Ionising Dose)

入射粒子の積算的な電離エネルギー損失を評価した量を TID と呼び、一般的に放射線の効果を吸収線量 (absorbed dose) で測定する。TID は、主に電子線や陽子線、 γ 線などの放射線によって引き起こされる。線は、半導体プロセス中のゲート部分に用いられる酸化膜中に入射すると、電子と正孔のペアが生成する。このうち正孔は移動度が遅いため取り残され、これが酸化膜中の欠陥に捕獲される (正電荷捕獲) とこれ以上移動しなくなる。その結果、ゲート電圧の閾値の変化を引き起こし、ゲート電圧 (V_{gs}) に電圧を供給してなくてもゲートに + の電圧を印加した状態になってしまう。このため、nMOS トランジスタの場合は、 $V_{gs} = 0V$ でもゲート電流が流れてしまい、逆に pMOS トランジスタでは、 V_{gs} に規定の電圧を印加してもドレイン電流が流れなくなってしまう。しかしこの現象は、時間の経過に伴って電離状態が消滅する性質 (アニール効果) がある。

NIEL (Non Ionising Energy Loss)

NIEL は、入射粒子の非電離エネルギー損失による積算的評価のことで、一般的に等価フルエンスを用いて評価する。等価フルエンスとは、入射粒子のエネルギーや種類に依らず、それらを 1 つの標準的な粒子とエネルギーに統一するための量で、半導体素子の場合、バルク損傷が非電離エネルギーの格子への転移により生成するという仮定に基づき、あらゆる粒子のフルエンスは等価 1MeV の中性子に帰着される。

SEE (Single Event Effect)

この現象は積算吸収量には依存せず、単発の高エネルギーのハドロン粒子の通過によって、引き起こされる現象である。SEE には、半導体デバイスが一時的に誤動作するもの (SEU) と半導体デバイスが永久的に故障してしまうもの (SEL/SEB) の 2 種類の現象がある。SEU (single Event Upset) は、エネルギー粒子の通過によって生じる電荷によりメモリ内の情報が反転される現象である。SEE (Single Event Latch-up) は発生メカニズムは SEU と同じであるが、メモリセル以外の部分でも起こりうる。SEB (Single Event Burnout) はパワー MOSFET で起こる現象で、電離によって形成される電子-正孔のうち、移動の遅い正孔が原因で引き起こされる現象である。

ATLAS 実験における放射線基準のレベル (SRL: Standard Radiation Level) は、RHA (Radiation Hard Assurance) working group^{||}が計算したシミュレーション結果によって与えられている。

RHA によって与えられる、TGC エレクトロニクスが設置される環境 (Triplet (Z,R)=1280~1290, 715~1180cm Doublet (Z,R)=1470~1480, 680~1180cm) での放射線基準レベル SRL の値は、表 4.1 のようになっている。

	SRL _{TDI} [Gy]	SRL _{NIEL} [cm ⁻²]	SRL _{SEE} [cm ⁻²]
Triplet	2.27	2.58×10^{10}	6.54×10^9
Doublet	2.49	1.42×10^{10}	4.53×10^9

表 4.1: RHA のシミュレーションによる放射線量の見積もり

SRL の値には表 4.2 のような安全係数も、一緒に提供されている。

^{||} ATLAS 実験に置いて使用されるエレクトロニクスや従事している人々に対し、その安全性の確保を目的として活動している。ATLAS が 10 年間運転する際の放射線量を見積もり、エレクトロニクスなどが安定して動作する基準を設けている。

安全係数	安全係数の意味	TID	NIEL	SEE
SF _{sim}	SRL のシミュレーションの誤差	3.5	5	5
SF _{ldr}	低線量率 (Low Dose Rate) での長時間照射の効果	5	1	1
SF _{lot}	チップ製造時のロット間のばらつき	4	2	2

表 4.2: RHA のシミュレーションの安全係数

SRL にこれらの値をかけたものが RTC (Radiation Tolerance Criteria: 耐放射線基準値) と呼ばれるもので、各デバイスはこれらの照射に対して安定して動作することが求められる。ATLAS における TGC エレクトロニクスの RTC は表 4.3 のようになる。

	TDI [Gy]	NIEL [cm ⁻²]	SEE [cm ⁻²]
RTC	~ 2 × 10 ²	~ 3 × 10 ¹¹	~ 7 × 10 ¹⁰

表 4.3: TGC エレクトロニクスの置かれる環境での RTC

TID の約 200Gy という値は、耐放射線用ではない ASIC や FPGA でも耐えられる程度の値となっている。しかし、SEE の一種である SEU に関してだけは絶対的な基準がなく、シミュレーションにフルエンスが与えられているだけである。ここで、TGC エレクトロニクスが前述した放射線環境下でどの程度の SEU 頻度を持つか見積もってみる。SEU の発生頻度 (SEU_p) は、ハドロンフルエンス Φ と半導体デバイスの SEU 断面積 σ が分かれば、以下の式のように計算できる。T には ATLAS の稼働時間 10 年つまり、 $10 \times 10^8 \text{ sec}$ が入る。

$$SEU_p = \frac{\Phi \sigma}{T}$$

SEU 断面積は 20MeV 以上のハドロンに対してはその断面先が一定となり、およそ $10^{-15} \sim 10^{-13} [\text{cm}^2/\text{bit}]$ であることが分かっている。[9] SEU が問題となるのは LSI の設定に用いられているレジスタである。例えば PP ASIC の場合は 67 ビットのレジスタが存在し、フロントエンドには約 1 万個の PP ASIC が設置されるため、仮に SEU 断面積の値を 1.0×10^{-13} とすると、SEU の発生率は以下ようになる。

$$\begin{aligned}
 SEU_{rate} &= \frac{\sigma_{SEU} [\text{cm}^2/\text{bit}] \times RTC [\text{cm}^2/10\text{years}]}{ATLAS \text{ の } 10 \text{ 年分の稼働時間 } [s]} \times \text{全ビット数 } [bit] \times \text{使用チップ数} \\
 &= \frac{1.0 \times 10^{-13} \times 7.0 \times 10^{10}}{10^8} \times 67 [bit] \times 1.0 \times 10^4 \\
 &\simeq 5 \times 10^{-5} [SEU/\text{sec}/TGC_All_System] \\
 &\simeq 5 [SEU/\text{day}/TGC_All_System]
 \end{aligned}$$

以上の見積もりから、TGC エレクトロニクスで使われる設定レジスタには、SEU 対策が必要であることがわかる。そこで TGC エレクトロニクスでは、ASIC に搭載される各設定レジスタには、図 4.36 のような多数決論理回路を実装して、SEU による IC の誤動作を防止する設計を行なっている。多数決回路では、1bit を記憶するのに 3 つのレジスタを使用し、それらの多数決を取ることで 2 つのレジスタで SEU が発生しない限り、影響が無いようになっている。

1つのレジスタが反転する確率を P とすると、多数決回路の2つのレジスタが反転する確率は $P \times P \times {}_3C_2 = 3P^2$ となる。SEU 断面積 σ は $10^{-15} \sim 10^{-13} [\text{cm}^2/\text{bit}]$ であり、 $P \propto \sigma$ だと考えると、多数決回路全体の断面積の2乗となり、出力が反転する確率は非常に小さくなる。また、多数決回路には3bitのうちどれかのbitでSEUが起きたことを検知して読み出す機能も付いている。

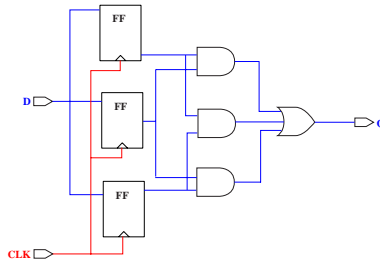


図 4.36: 多数決回路

第5章 統合テスト

2002年までにTGCエレクトロニクス・グループで開発を行ってきた全てのASICおよび、モジュールでプロトタイプ、または完成版が出来上がっている。そして、それらの単体でのテストも行われ、バグの修正が行われてきた。そして、次の段階として、全てのエレクトロニクスを本実験に近い状態で接続し、TGCエレクトロニクス全体での動作検証を行うのが統合テストである。昨年度より、トリガ系の統合テストが始まり、ソフトウェアの整備などが行われた。そして10,000パターンを入力パターンを入れた結果、SLまで全て正しいトリガ出力が出ること、レイテンシーが要求を満たしていることが確認された。[12]

それを引き継ぎ、今年度のトリガ系統合テストは、PP ASICとPSボードの新しいプロトタイプが完成したので、それらのテスト、次節で述べるビームテストでの安定した動作を目的に行われた。また、SSWモジュールのプロトタイプが完成したので、リードアウト系についても統合テストを行った。

5.1 トリガ系統合テスト

初めに、トリガ系の統合テストについて述べる。昨年度の終わりに、32チャンネルのPP ASICとJRC ASICのプロトタイプ*が完成し、それらを実装するためにPS Boardの新しいプロトタイプが作られた。トリガ系統合テストの目的は、これらの新しいモジュールの動作を確認することと、CERNで行われるビームテストで安定した動作が出来ることを確認することである。

5.1.1 テストの方法

トリガ系のテスト方法を述べる。初めにトリガ・シミュレーションを用いて、ASDから出力されPP ASICへ入力されるべき信号(テストベクタと呼ぶ)を作成し、更に各モジュールのシミュレーションによって各モジュールから出力されるであろう信号を求めておく。次に、PS Board(PP ASIC)にテストベクタを入力して、PS Boardの出力とシミュレーションで求めたそれを比較する。比較の結果全てが一致していれば、PS BoardとHPTボードを接続してPS Boardの時と同様に、その出力とシミュレーションの結果を比較する。SLについても同様に行う。ハードウェアの出力と、シミュレーションの結果が食い違った場合には、基本的にどちらが正しいのか分からないため、双方で検証を行いその正当性を確認する。このトリガ系統合テストをスライス・テストとも呼ぶ。図5.1にスライス・テストの流れを示す。

5.1.2 トリガシミュレーション

スライス・テストで用いられるトリガ・シミュレーションは、次の様な目的で開発されている。

*これまでは、FPGAで実装されていた

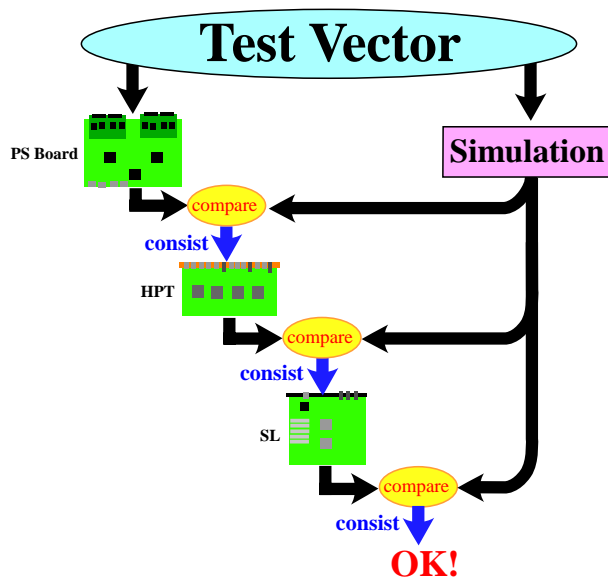


図 5.1: スライス・テストの流れ

1. テストベクタを作成する
2. 各モジュールの動作、設計の妥当性を検証する
3. SL の R- ϕ Coincidence Map を作る
4. トリガ効率の評価

シミュレーションは大きく次の 3 つの部分からなる。

- **Geant3 DICE**

Geant3 は KeV~TeV 領域での高エネルギー粒子と検出器の相互作用をシミュレートし、検出器の性能評価を行うものである。

DICE は Geant3 をベースにしており、陽子衝突か TGC に到着するまでのシミュレーションを行う。このシミュレーションで、ミュオンが TGC を通過した位置情報を次の Digitize に渡す。

- **Digitize**

DICE の出力は位置座標になっているため、これを TGC のチャンネル情報に変換する。TGC の構造などの情報は、この部分に置かれる。ワイヤ・サポート等の不感領域の情報なども、ここに取り入れられる予定である。Digitize の出力は、ASD の出力である。

- **T1ME(Trigger Level1 Muon Endcap)**

Digitize で得られたデータをもとに PP ASIC、SLB ASIC、High-p_T、SL のシミュレーションを行い、各モジュールのインプットとアウトプットを出力する。

5.1.3 セットアップ

図 5.2 にトリガ系統合テストのセットアップを示し(クロック・ラインは省略してある) 各モジュールについて簡単に説明する。

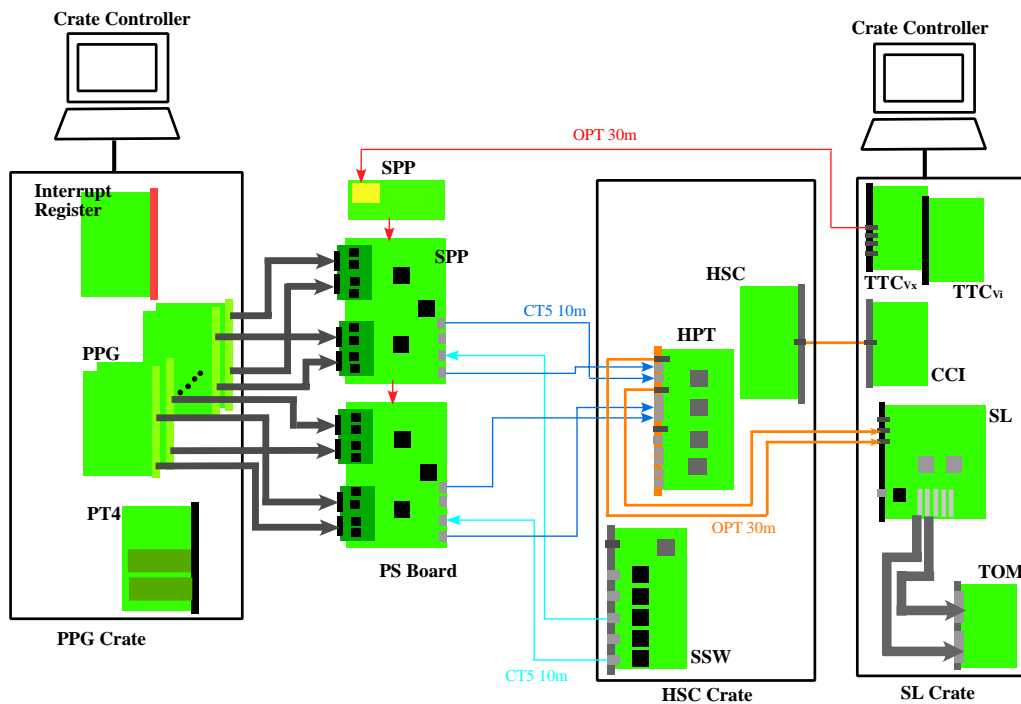


図 5.2: トリガ系統合テストのセットアップ

- Clock Generator
システム全体に供給する 40.08MHz のクロックは NIM[†]モジュールのクロック・ジェネレータで供給している。
- PPG (pulse pattern Generator)
PPG は幅 32bit、深さ 64k のメモリを持ち、32 チャンネルの出力を持つ VME モジュールである。このメモリはユーザーが自由にデータを記述でき、また必要とするデータの長さを 256 の倍数で最大 65536 まで指定できる。さらにこのデータを繰り返し出力させるリピートモードと一度だけ出力させるシングルモードが選択できる。また出力はメザニンボードにより LVDS レベルと TTL レベルを選択することが可能である。
統合テストでは、14 台 (WT 4 台、WD 4 台、ST 2 台、SD 4 台) の PPG にテストベクタを書き込み、LVDS 出力を用いることで、チェンパー (ASD) からの信号の代わりとしている。14 台の PPG に 40.08MHz のクロックを供給し、そのクロックに同期してメモリ内容を出力させることで、LHC でのバンチ・クロッシングごとのデータをエミュレートしている。動作モードの設定、メモリへの書き込みは、Bit3 という VME-PCI interface を経由して PC とのから行った。
- Interrupt Register
PPG はトリガ信号を受けて出力を開始する。14 台の PPG を同期して動作させるために、Interrupt Register からトリガを出力し、それを NIM モジュールで Fun Out して PPG に配っている。Interrupt Register は VME からアクセスすることで、8 チャンネルの出力の任意のチャンネルにトリガを出力することができる。

[†]Nuclear Instrument Module の略。原子核関連分野での計測システムの国際的規格。

- PS Board
ワイヤ、ストリップとも新しく出来た 32 チャンネルの PP ASIC を Doublet 側 4 つ、Triplet 側 4 つの計 8 つ搭載し、JRC も新たに ASIC 化されたものを搭載している。これに伴って、SP Board の配線もやり直され基盤自体も新しくなっている。また Doublet 用 Triplet 用の SLB ASIC が 2 つと JRC が 1 つ搭載されている。
PPG とは X m のフラットケーブルで、後段の HPT とは 10m のカテゴリ 5 ケーブルで繋がれる。さらに、Jtag プロトコルで PS Board の設定をするために、同じく 10m のカテゴリ 5 ケーブルで SSW と繋がれる。クロックや Reset の信号は、SPP から受けとる。
- SSW
SSW のプロトタイプハードウェアは 2002 年に出来ていたが、搭載されている FPGA に書き込むファームウェアが 2003 年半ばに完成した。SSW にはリードアウトのデータを圧縮、フォーマットする機能と、JTAG プロトコルで PS Board に搭載されている ASIC の設定をする機能があるが、トリガ系統合テストには後者送だけを利用している[‡]。SSW は HSC クレートに置かれ、HSC-CCI によって、Bit3 を通してコントロールされる SL クレートから遠隔操作される。今回のテストでは、SSW のクロックは HSC から VME のバックプレーンに供給されている TTC からのクロックを利用した。
- TTCvi、TTCvx
TTCvi はクロック、L1A、BCR(Banch Counter Reset)、ECR(Event Counter Reset)、そしてユーザーが自由に使える 2 つのコマンドを外部から入力、または内部で生成して、調整し TTCVx に渡す。TTCvx はその信号を E/O (電気/光) 変換して、Fan Out する。TGC ではユーザー定義の 2 つのコマンドを、PS Board 上の ASIC を Reset する信号と、Test Pulse Trigger に使っているが、トリガ系の統合テストでは、Reset 信号のみを使用する。Test Pulse Trigger については 5.2.1 で述べる。
本実験では、TTCvi、TTCrx 共に SL クレートに置かれ、NIM モジュールからの 40.08MHz のクロックを TTCvi に入力し、SPP、SL に供給した。リセット信号は、Bit3 を通して PC から VME 経由で出力させることが出来る。
- SPP (Service Patch Panel)
SPP は TTCrx を 1 つ搭載し、TTCvx から送られる光信号を O/E 変換し、クロック、BCR、ECR、Reset、Test Pulse Trigger 等にデコードして複数の PS ボードに分配する。SPP から PS Board への信号の経路は 2 つあり、Reset 以外の信号は、各 PS Board に同期して入る必要があるため等長配線で配られる。Reset 信号は、各 PS Board に届くのに多少の時間差があっても構わないので、PS Board を数珠繋ぎにしその一端に SPP を繋げることで配られる。今年度半ばに、TTCrx の新しいバージョンである TTCrq に対応した新しい SPP が作られ、その後はそちらを利用した。
- PT4
PT4 は搭載した 3 つの FPGA の書き換えと、パラレル LVDS、シリアル LVDS、光リンク (G-Link) の入出力が可能なメザニンカードによって汎用の目的に使える VME モジュールである。FPGA に FIFO を書き込み、SP Board からの LVDS シリアル信号や、HPT からの光信号用にそれぞれのメザニンカードを取り付け、受信することで、その出

[‡]昨年度までは、PS Board の設定には PT4 という汎用モジュールを用いて行っていた

力を FIFO に取り込んで、VME 経由で読み出した。。PT4 の FPGA 上に作れる FIFO は、32bit 幅で 4096 段程度の大きさのものが作れるが、この大きさでは数百イベント分のデータしか取れないため、PS Board と HPT 出力のチェックはあくまで正常動作しているかどうかの確認程度として行われた。

今回の実験では、PT4 は PPG クレートまたは SL クレートに置かれ、FPGA への書き込み、データの読み出しは Bit3 を通して PC から行った。

- HSC/CCI

CCI は SL クレートに置かれ、Bit3 通して PC から SSW、HPT への命令を受けて HSC へ送る。HSC/CCI 間は 30m の光ファイバーで繋がれ、HSC は SSW、HPT に CCI からの命令を送る。また、HSC は SPP から TTC クロックを受け取り、VME のバックプレーンを使って SSW、HPT にクロックを供給している。SPP と HSC の間は 10m のカテゴリ 5 ケーブルで繋いだ。

- HPT

Forward 用に作られたボードを用いた。このモジュールも HSC クレートに置かれ、HSC-CCI 経由で Bit3 でつながれた SL クレートからコントロールする。PS Board とはカテゴリ 5 ケーブルで、SL とは 30m の光ファイバーで繋いだ。今回のテストでは、HPT のクロックは HSC から VME のバックプレーンに供給されている TTC からのクロックを利用した。

- SL

SL は 2001 年 6 月に作られたプロトタイプを使用した。入力は HPT からの光ファイバーが繋がられる。SL のフロントパネルのトリガ出力には、MuonCTPI への平行 LVDS の出力があるが、スライステストではボード上のピンから SL の結果を TTL レベルで出力させ、TOM モジュールへ 1m のフラットケーブルで繋いでいる。

SL のクロックは、TTCvx からの光信号を、TTCrx を搭載した TTC Fun Out という VME モジュールで O/E 変換して、フラットケーブルで受け取っている。

- TOM

32bit 幅、深さ 64k の FIFO メモリを搭載した VME モジュールである。SL からの出力はこのモジュールで読み取られ、VME 経由で読み出される。

今回のテストでは、TOM は SL クレートに置かれ Bit3 を通して PC からコントロールした。クロックは、NIM モジュールで Fun Out したジェネレータからのクロックを用いた。

ソフトウェア

使用した、ソフトウェアを表 5.1 に示し、昨年より改良したものは変更点も記す。

昨年度は、online controller と呼ばれる 1 つのコントローラから全てのモジュールを管理できるようにした。[12] これによって、各モジュールの設定、PPG への書き込み、トリガの出力、SL から TOM への読み込み、SL 出力とシミュレーションの比較を簡単に行えるようになった。

しかし、統合テスト中の様々な状況に対応するため、今年度は online controller の機能を個別に実行できるように、PPG 書き込み、トリガ出力等の部分を stand-alone にした。また、PPG への書き込みが失敗することがあるため、テストベクタを書き込むプログラムでは、書き込んだ値を読み出して、正しく書き込めたかチェックする機能を付け加えた。さらに、JTAG プロトコルによるレジスタへの書き込みも失敗することがあり、同様のチェックを行うようにした。

ソフトウェア	機能	昨年からの変更点
テストベクタ変換プログラム	シミュレーション出力をPPGに書き込む形式に変換	バグを修正
PPGプログラム	PPGにテストベクタを書き込むプログラム	stand-alone化 書き込み後のチェック
PS Board用レジスタ設定用プログラム	PP ASIC、SLB ASICのレジスタ設定	SSWから行えるようにしたJTAGチェックの強化
PS Board Reset用プログラム	TTCからReset信号を出力する	
PT4プログラム	PT4のFPGAにFIFO等を実装するプログラム	
FIFOプログラム(LVDS or Optical)	PT4のFIFOからVME経由でデータをファイルに出力	
TOMプログラム	TOMでのデータ読み出しとVME経由でのファイル出力	
HPTプログラム	HPTのレジスタ設定	
HW出力比較プログラム(PS Bord,HPT,SL用)	出力データのフォーマットを変換し、シミュレーションと比較	

表 5.1: トリガ系統合テスト用ソフトウェア

5.1.4 結果

昨年度からのトリガ系統合テストのセットアップに、新しいPS Boardを繋げてその出力をPT4で確かめた。しかし、ワイヤ側のPS Boardのいくつかの正しいLow- p_T トリガが得られなかった。ここで用いた、テストベクタは昨年度のスライス・テストでも使われ、全てのパターンでシミュレーションとの一致が確かめられているものなので、この不一致は新しいワイヤPS Boardによるものである。結果が正しくないパターンで共通して使っているSLBの入力ピンを調べると、通常は図 5.3 のような入力波形が、図 5.4 の用に崩れていることが分かった。

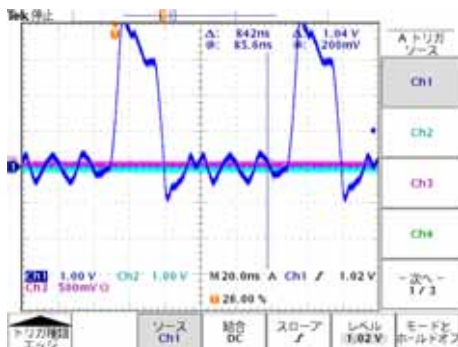


図 5.3: 通常の SLB ASIC 入力波形

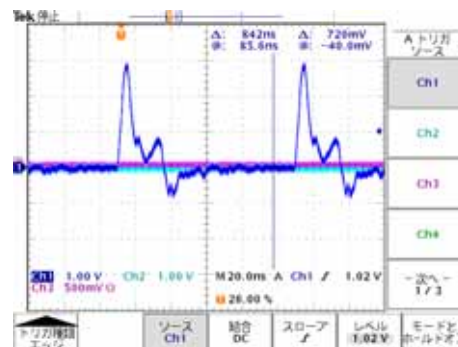


図 5.4: 見つかった SLB 入力波形の異常

SLB ASIC では、処理すべき対象の 32 チャンネル以外に隣接したチャンネルからの入力 (adjacent input) が設けられている。実際の SLB ASIC では、この部分の I/O ピンはコインシデンス処理の種類に応じて、WD、SD、WT では入力、ST、EI/FI では出力と切り替えられるようになっている。しかし、現在のプロトタイプでは製作時のミスでこの部分が出力に固定さ

れてしまっている。よって現在の PS Board では、この部分のピンを基盤から切り離して使用しないことにしている。しかし、新しい基盤ではこの処理を忘れていたため入出力が衝突し、間違った結果が出ていたことが分かった。この部分のピンを切り離した結果、PS Board からの出力 800 パターンがシミュレーションと一致することを確認した。次に、HPT ボードからの出力についても 400 パターンがシミュレーションと一致することを確認した。そして、最終的に SL での出力で表 5.2 に示したような、ミュオンが 1~3 個通過したようなパターン全てについてシミュレーションとの一致を確認した。以上のようなテストをビームテストに行く前に、トリガ系の動作を確認した。

入射ミュオン数	パターン数	エラー数
1	10,000	0
2	10,000	0
3	10,000	0

表 5.2: トリガ系統合テストの結果

5.2 リードアウト部統合テスト

続いて、リードアウト部について述べる。2003 年夏に SSW の FPGA に載せる回路が完成し、リードアウト系に必要なモジュールのプロトタイプが揃った。リードアウト系統合テストの目的は、それらのモジュールを組み合わせて正しく読み出せるかどうか、またバンチ ID、イベント ID を全てのモジュールで揃えられること、を確認することである。また、ビームテストでは Test Pulse 等、様々な設定で測定が行われるため、そのような設定を簡単に行えるようなソフトウェアの開発も行った。

5.2.1 テストの方法

初めに、リードアウト系統合テストで用いる Test Pulse について簡単に説明する。

Test Pulse

Test Pulse は、エレクトロニクス系の診断やタイミング調整のために TGC からの信号をエミュレートする機能である。Test Pulse は TTCvi から出力され、SPP 上の TTCrx を介して各 PS Board に配られる Test Pulse Trigger を受けて、ASD 又は SLB から出力される。

- SLB からの Test Pulse

SLB ASIC の Test Pulse を使う場合は、SLB ASIC の入力部に置かれた Test Pulse パターン・レジスタを設定することで、TGC のどのチャンネルから信号が送られるのかを設定しておく。SPP から Test Pulse Trigger が来ると、パターンに従い信号を出力することで PP ASIC からの信号をエミュレートする。この際、PP ASIC からの信号が入らないように、SLB の入力はマスクしておく。また、SLB には Test Pulse Trigger に delay をかける機能もある。これらの設定は、JTAG プロトコルによって行う。

- ASD からの Test Pulse

ASD からの Test Pulse は、SPP からの Test Pulse Trigger が、SLB、PP ASIC と経由して行くことで出力される。その際、PP ASIC のレジスタを設定することにより、Test Pulse Trigger にサブナノ秒単位でディレイをかけたり、ASD からの Test Pulse の大きさを 16 段階で設定することができる。ASD からの Test Pulse は、SLB と違ってチャンネル毎に出力するか、しないかを設定する機能は無い。そこで、SLB の入力部でチャンネル毎にマスクをかけることで、希望のチャンネルだけ Test Pulse を受けられようになっている。

実際の ATLAS 実験では、TGC から信号が入力され、エレクトロニクスで各コインシデンスを取り、MuonCTPI、CTP と経由して信号入力から一定の間隔 ($< 25\mu\text{sec}$) 後に L1A が来ることになる。よって、リードアウト系統合テストでは、テストベクタの入力と同期して L1A 信号を打つ必要がある。トリガ系統合テストで行った、PPG からテストベクタを流す方法では同期して L1A 信号を出すことが出来ない。そこで SLB の Test Pulse パターンを設定して、TTCvi から Test Pulse を出力し、ある一定の間隔において L1A を出力した。

L1A が受信されるまでの間、入力されたデータはレベル 1 バッファという 128 段のシフトレジスタに入り、約 $3.2\mu\text{sec}$ 保存される。L1A が来たときに、L1A の対象となるイベントがレベル 1 バッファの何段目にあるかを SLB ASIC のレベル 1 バッファ・デプス レジスタに設定することで、正しくデータが読み出せる。そこで、リードアウトの出力を確認しながらレベル 1 バッファ・デプスを変えていき、正しい出力が得られる値を探す。

そして、トリガ系のテストの時と同様に PS Board の出力、SL の出力、SSW の出力、ROD の出力と順番に、入力した通りのパターンが読み出せるかを確かめた。

また、ASD エミュレータを使って、PP から Test Pulse Trigger を出力でき、ASD からの Test Pulse を正しく受信できることを確認した。

5.2.2 セットアップ

図 5.5 にリードアウト系統合テストのセットアップを示す。今回のテストでは、ビームテスト中に TGC 内で全てのデータを読み出せるように、SL の出力も SLB を通して SSW で読み出せることも確認した。よって、PS Board 以降はトリガ系のセットアップはそのままで使用している。

リードアウト系統合テストで新たに用いられるモジュールについて以下に説明する。

- TTCvi

リードアウト系の統合テストでは、ECR、BCR、Test Pulse Triggre、L1A の全てを用いた。TTCvi には LHC の周期である 11.24kHz の orbit を内部で生成する機能がある。その orbit に同期して、ECR、BCR、Test Pulse Trigger、L1A を出力させた。それぞれの信号には、orbit から 25nsec 単位でディレイをかけることが出来る。これらの信号は、TTCvx からクロックと一緒に一本の光ファイバーで送られ、TTCrx でデコードされる。

- SSW

SSW には 5 つの入力があり、一台で WD、WT、SD、ST の PS Board と SL を一台の SSW で読み出せる。各入力には 10m のカテゴリ 5 ケーブルで、ROD への接続は 30m の光ファイバーで繋いだ。

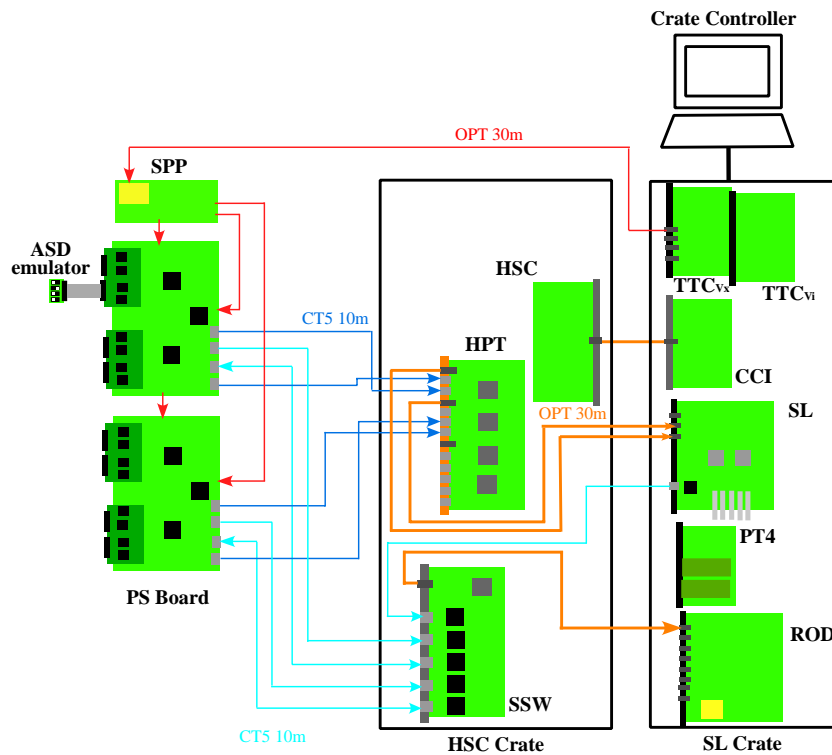


図 5.5: リードアウト系統合テストのセットアップ

- ROD
 ROD は内部にある FIFO と、S-Link という光インターフェースでデータを読み出せるが、今回のテストでは前者を使い、Bit3 経由で PC で読み出した。
- ASD エミュレータ
 ASD からの Test Pulse をエミュレートするもので、ビームテストで TGC と PP ASIC を繋ぐ 10m の 40 芯ツイストケーブルで接続した。図 5.6 に ASD エミュレータの写真を示す。基板上に 16 チャンネル分のディップスイッチが付いており、どのチャンネルから Test Pulse を出力するか設定できるようになっている。



図 5.6: ASD エミュレータ

リードアウト系では、表 5.3 ようなソフトウェアを製作した。

ソフトウェア	機能
TTCvi コントロールプログラム	TTCvi のレジスタを設定し、各信号の出力/停止、外部入力/内部生成等を設定する
Test Pulse パターン設定プログラム	SLB ASIC のレジスタを設定し Test Pulse パターンを書き込む。また SLB の入力部マスク等の設定
レベル 1 バッファ・デプス設定プログラム	レベル 1 バッファ・デプスを変えながら正しい出力が得られる値を探すプログラム
各出力用デコードプログラム	PS Board、SSW、ROD からのデータをデコードして表示するプログラム

表 5.3: リードアウト系統合テスト用ソフトウェア

5.2.3 結果

Test Pulse パターンは、1 パターン毎に JTAG プロトコルで書き込まなければならない。トリガパートのように多くのパターンを流すためのソフトウェアを、ビームテスト前に準備することが出来なかったため、表 5.4 にある 5 個のパターンを書き込むソフトウェアを製作した。TTCvi をコントロールするソフトウェアは、ビームテストでの様々な要求に答えられるように ECR、BCR、Test Pulse Trigger、L1A を自由に出力、または停止できるようにした。次に、レベル 1 バッファ・デプスの値を設定するプログラムを製作し、適当な値を探した。このセットアップでは Test Pulse Trigger に対して L1A を 25 クロック分ディレイさせて出力すると、PS Board 上で両信号が同時に届き、レベル 1 バッファ・デプスの値が 0 で正しく読み出せることが分かった。

そして PS Board、SSW、ROD から読み出したデータのデコードと表示を行うソフトウェアを製作した。

その結果、PS Board、SL、SSW からのデータは PT4 で、ROD のデータは内部の FIFO で読み取り、全てのパターンを正しく読み出せることを確かめた。また、全モジュールで L1ID、BCID を揃えられることを確認した。図 5.7 に、SSW から header パターンを読み出して、デコードしたデータの一例を示す。

さらに、PP ASIC 経由で Test Pulse Trigger を送り、ASD エミュレータで設定した通りのチャンネルから Test Pulse を受け取れることを確認した。

パターン名	説明
all 0	全てのチャンネルで出力
all 1	全てのチャンネルで出力なし
even	偶数番目のチャンネルだけ出力
odd	奇数番目のチャンネルだけ出力
header	特徴ある 2Track のパターン (図 5.7 参照)

表 5.4: テスト・パターン

第6章 ビームテスト

この章では、CERNにあるSPS加速器からの25nsec毎にバンチ化されたミュオン・ビームを用いて行われた、TGCとそのエレクトロニクス、さらには他のミュオン検出器との統合テスト(ビームテスト)について述べる。はじめに、テストの行われた環境について説明し、TGCとそのエレクトロニクスの統合テスト(stand-alone run)について、次にミュオン・スペクトロメーターの他の検出器との統合テスト(combined run)について述べる。

6.1 ビームテスト環境

ビームテストは、CERNにある約半径2kmの加速器SPS(Super Proton Synchrotron)*で450GeVに加速された陽子線の、2次ビームを利用するH8と呼ばれるビームラインで行われた。図6.1にSPSにおけるH8の位置を示す。H8にはATLAS実験の各検出器用の試験場所が決められている。ミュオン・スペクトロメーターはATLASでは一番外側に位置しており、H8でも図6.2のように、ビーム入射方向から見て一番奥がRPC、MDT、TGCのテスト場所となっている。上流では同時にATLASのインナー・ディテクター等のビームテストが行われており、そこでは250GeVのパイオン・ビームが使われていた。最下流のミュオン・スペクトロメーター(TGCも含む)の検出器では、~150GeVのミュオンを利用した。また、TGC等のトリガ系の検出器のテストの際にはLHCと同様に25nsec毎にバンチ化されたビームを利用した。

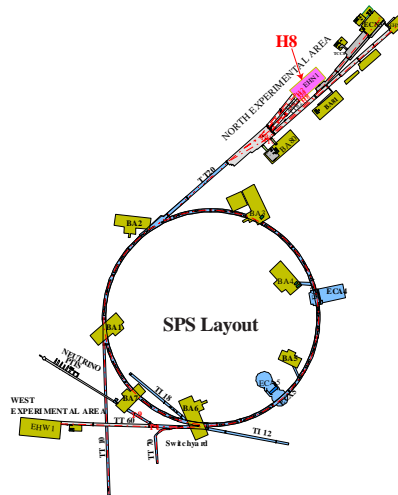


図 6.1: SPS と H8

*SPS は LHC でも、前段階の加速器として用いられる。LHC では PS(Proton Synchrotron) 加速器で 25GeV まで加速された陽子を SPS で 450GeV まで加速し、LHC に入射する

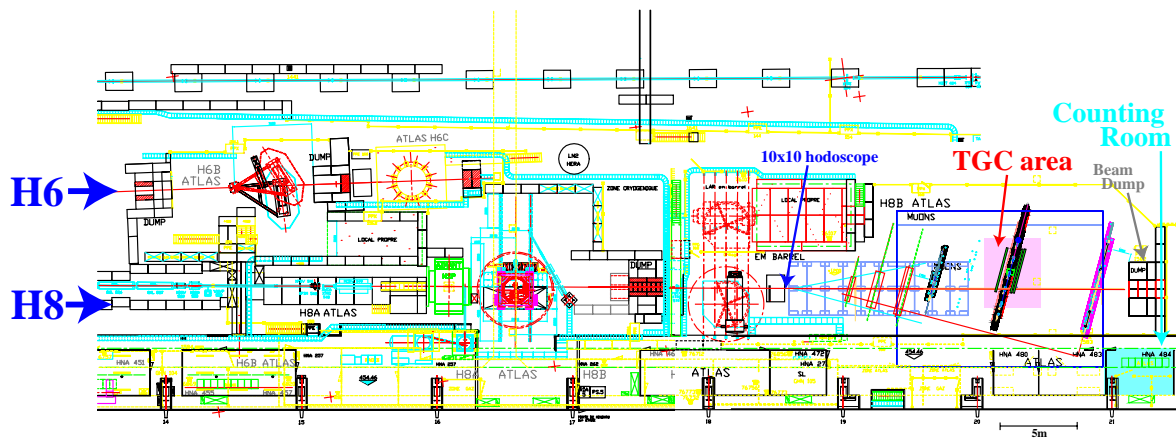


図 6.2: H8 での TGC の位置

6.2 TGC stand-alone run

TGC システム単体で行ったビームテストについて述べる。このテストでは、25nsec 毎にバンチ化されたビームを使い、TGC 及びそのエレクトロニクスが ATLAS 実験での要求を満たしているか、搭載された機能が本物と同様のビームで設計どおり正しく動くかの検証が主な目的である。

6.2.1 セットアップ

H8 に設置された TGC の様子を図 6.3 に示す。TGC は立てて設置するためフレームに取り付けられ、高さ約 2m 程の台に乗せた。この台は脚にキャスターが付いており、TGC を乗せたまま δR 方向へ移動できるようになっている。実際の ATLAS 実験と同様に、ビーム入射方向から M1(Triplet)、Middle の MDT を挟んで、M2(Middle Doublet)、M3(pivot Doublet) が置かれ、ワイヤ (R 方向) が垂直に、ストリップが水平になるように設置した。M2 と M3 は 1 つのフレームに固定されているため、その相対位置がずれることは無い。各 TGC 間の間隔は、M1 - M2 間が 168cm、M2 - と M3 間が 14cm である。また、図 6.4 に示すようにビーム入射方向が、TGC に垂直な方向から 15° の角度が付くように設置した。今回使用した TGC は図 6.5 にあるように、エンドキャップの外側に利用される T8 型で、ストリップは各 TGC で 32 チャンネル、ワイヤは M1 は 24 チャンネル、M2、M3 は 32 チャンネルである。また今回のビームテストでは、誤って M2 にも M3 の TGC を用いてしまい、M2、M3 は全く同じ構造のチェンバーを使用した。

エレクトロニクスは、統合テストで使用したセットアップとほぼ同じであるが、これも ATLAS 実験と同様に 3 か所に分けて設置した。PS Pack は M1 の前面に取り付け、ASD と PS Board の間は 10m の 40 芯ツイストケーブルで繋いだ。HSC、HPT、SSW がおかれる HSC クレートは、M1 を乗せている台の横に設置し、HPT、SSW と PS Board は 10m のカテゴリ 5 のケーブルで繋いだ。また、PS Board と ASD へ電圧を供給するための電源も HSC クレートに設置した。SL、ROD、TTC は TGC から約 10m 程離れた、ビームエリアの外にある計測室のクレートに設置した。HPT と SL、SSW と ROD は 30m の光ファイバーで繋いだ。また、統合テストの時と違い SL からのリードアウト出力も読み出せるように、SL と同じクレートにもう 1 つ SSW を置いた。この SSW は SL のデータを読み出すためだけに使われ、同じクレートにある

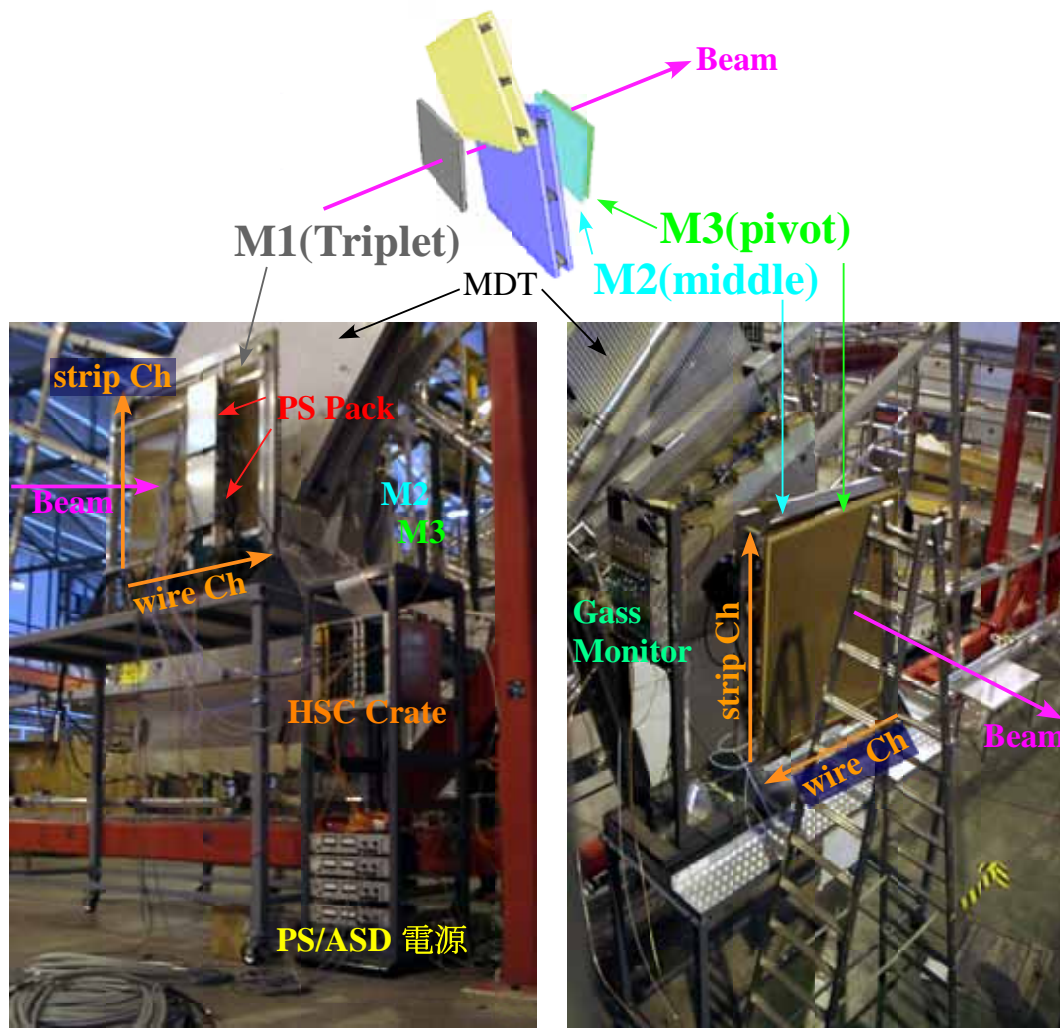


図 6.3: TGC のレイアウト

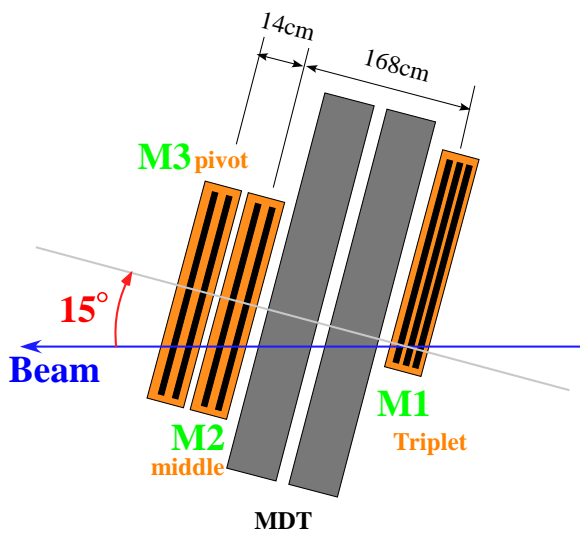


図 6.4: ビームに対する TGC の配置

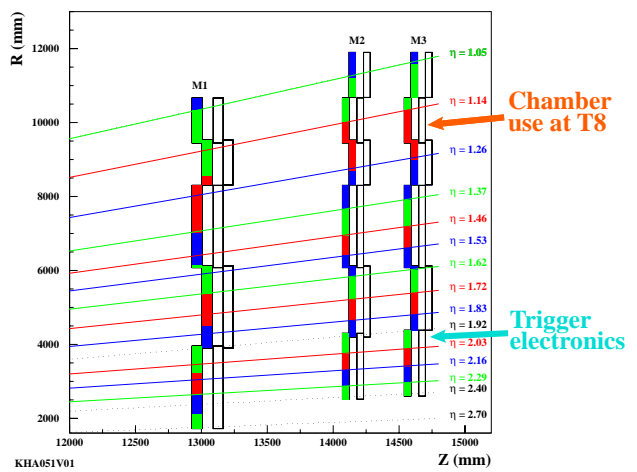


図 6.5: 使用した TGC 及びエレキの Type

RODに光ファイバで繋いである。RODに集められたリードアウトのデータは、S-Link(ROLとも呼ばれる)でPCと繋いであり、PCでROSのエミュレータ・プログラムを動かすことでデータを記録した。また、HPT Board、SLの出力はOptical Funut モジュールでファンアウトされ、PT4という汎用モジュールを用いて読み出し、いつでも確認できるようにした。

TGCのワイヤに印加するHV(High Voltage)電源電圧はDCSによって制御した。本実験でのHV電圧は2.9kV、ASDの閾値電圧はワイヤが50mV、ストリップは70mVに設定した。トリガは、TGCから20mほど上流に置かれた2枚の $10 \times 10\text{cm}^2$ シンチレータ・ホドスコープによってコインシデンスが取られた信号が、CTPを通してL1AとしてTTCで供給された。CTPにはMDTからの要望で、L1Aを出すと100 μsec 間のvetoがかけられた。また40.08MHzのSPSからのクロックも、同様にCTPからTTCへ供給された。BCRは、TTCに供給される43.375kHzのSPSのOrbit(周期)に同期して出ようようにした。ビームのスピル[†]は約20secで、実験中のトリガ・レートは200~1000 /スピルであった。

TGC データ

以上のようなセットアップで、次のようなデータがリードアウトから読み出された。

- SLB 出力

ID 情報 L1ID(L1A ID : イベント ID), BCID(バンチを識別する ID)

Hitmap 各層のヒット チャンネル 情報

Trigger ワイヤ、ストリップ、Doublet、Triplet での coincidence 情報

- SL 出力

ID 情報 L1ID, BCID

Trigger R- ϕ Coincidence 情報

これらの信号は、1回のトリガについてトリガがかけられる対象になるバンチ・クロッシング(This BC)と、その前後のバンチ・クロッシング(Prev BC、Next BC)の3バンチ分が読み出される。

6.2.2 結果

以降にstand-alone runでの結果を述べる。ただし、今回のテストでは色々な機能のチェックの行うことを最大の目的としており、各パラメータにおいて細かい調整をすることは次回以降のビームテストの目的となる。尚これ以後、TGCのTripletの3層と2つのDoubletの4層分を合わせた7層に、ビーム入射方向から順に1~7層という呼び方をして、Triplet、Doubletなどの区別は必要な時だけ言うことにする。

IDの整合性

TGCエレクトロニクスの役割の1つに、データへのID付けがある。TTCシステムによって配られるBER、BCRで正しくBCID、L1ADがリセットされるか、L1ID、BCIDは正しく

[†]加速器で加速された粒子がビームラインに取り出される時間

カウントアップされるか、全てのエレクトロニクスで各 ID を一致させることが出来るか等が重要となる。

- ROD によるチェック ROD は、フロントエンドに配置された SSW のデータを収集し、ROS に転送する。このとき、読み出しデータをリアルタイムでチェックし、そのエラーをイベントヘッダーのステータス部に記録する。ROD は、以下に示すような、入力データのフレームエラーを検出する。また、ROD 内に設置される TTCrx(TTC レシーバー)を使用して、入力データの ID の consistency をチェックする。
 - SLB 出力
 - * SSW が付加するサムチェックによるチェック
 - * ヘッダー、テイラー構造のフレームチェック
 - * フレームのデータ長制限
 - ID エラー
 - * TTCrx の EventID の連続性チェック
 - * SLB、TTCrx 間の EventID チェック
 - * SLB、TTCrx 間の BunchID チェック
 - * SSW 入力待ち、タイムアウト

フレームエラーのチェックは、主として SSW - ROD 間の転送を保証するものである。また、ID エラーのチェックは、ROD で収集される全 SLB データの一貫性を保証するものである。さらに、SSW の出力以前の読み出しを検証するために、SLB のヒットマップのトリガデータとの比較が行なわれた。

- オフラインでのチェックビームテストでは、ROD によるチェックが正しいのかをチェックするためにオフライン（データ取得が終った後）で、以下の内容をチェックした。
 - L1ID の連続性
 - 各 SLB で ID が揃っているか

以上の二つのチェックを、表 6.1 の 3.3×10^5 のデータについて行いエラーの無いことを確認し、TCG エレクトロニクスの ID 付けの機能が正しく機能することを確認した。

トリガ計算の正当性

SLB ASIC、SL によるトリガの計算が妥当である事を以下のように確かめた。まず、リードアウトしたデータに含まれる TGC のヒットチャンネル情報からシミュレーションによって、Low p_T 、High p_T 、 $R-\phi$ コインシデンス、それぞれのトリガ情報を求める。このシミュレーションは統合テストで用いたものと同じものである。そして、リードアウトしたデータに含まれるトリガ情報と、シミュレーションの結果を比較することで、ヒットチャンネルとトリガ情報が一致することを確認する。この、チェックは図 6.6 にデータ検証のソフトウェアによって、オンライン（リアルタイム）とオフラインで行われた。また、データは図 6.7 に示すようなイベントディスプレイ・ソフトウェアでどのようにミュオンが通過したのか確認できるようにした。このチェックにより、表 6.1 に示すように 3.3×10^5 のデータについて TGC エレクトロニクスのトリガ計算が正しいことを確認した。

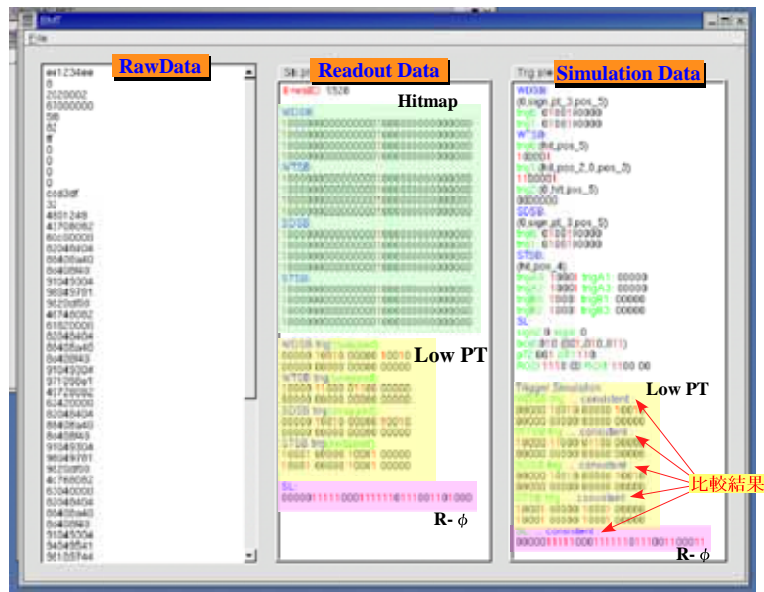


図 6.6: データ検証ソフトウェア

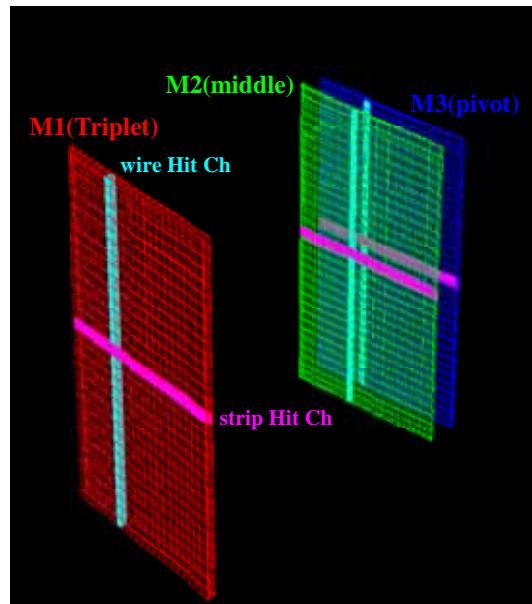
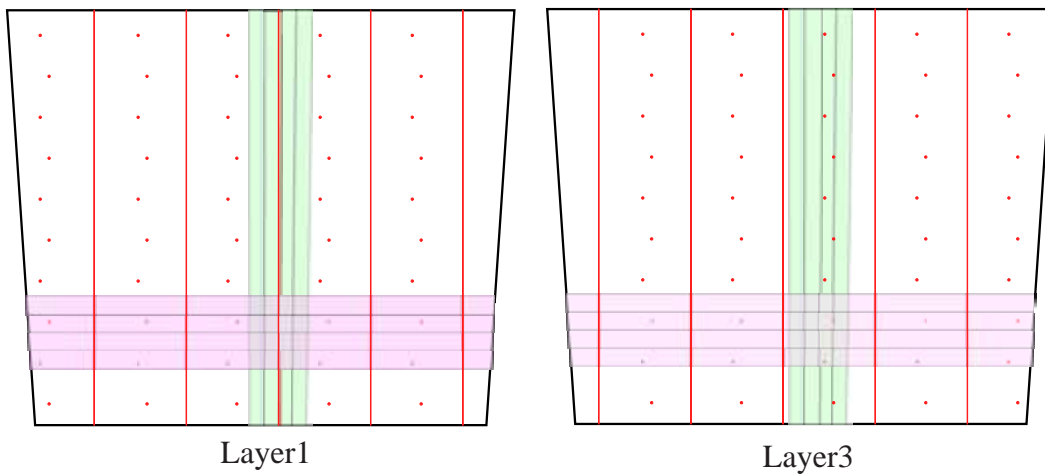
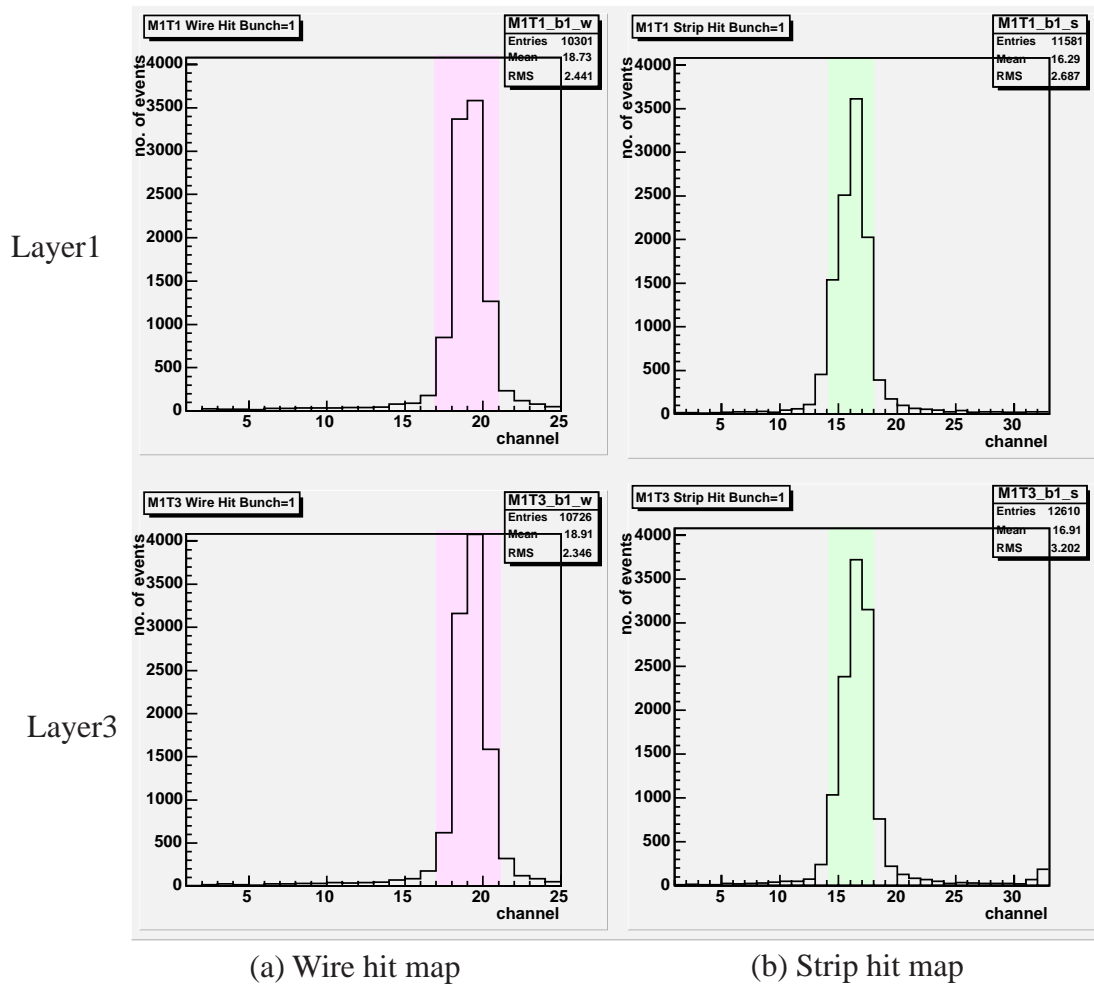


図 6.7: イベントディスプレイ・ソフトウェア

ビームプロファイル

TGC エレクトロニクスが TGC の各チャンネルからの信号を正しく読み出せているかを確認する意味と、ビームの様子を知るためにビームプロファイルを示す。1、3 層目のワイヤ、ストリップ各チャンネルのヒット分布を図 6.8(a)、(b) に、4~7 層目のヒット分布を図 6.9(a)、(b) に示す。横軸は TGC のチャンネル、縦軸は各チャンネルでヒットのあったイベント数である。

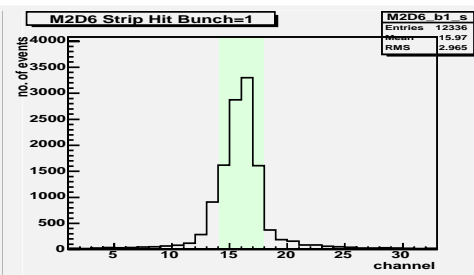
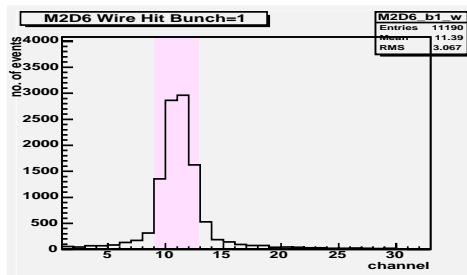
ストリップ ($\delta\phi$) 方向には移動不可であり、図 6.8(b)、図 6.9(b) より全ての層で同じチャンネル (16 チャンネル目) にピークが立っていることが確認出来る。ワイヤ (δR) 方向は TGC に垂直な方向から 15° の角度をもってビームが入るので、各 TGC でピークの位置が異なっている。



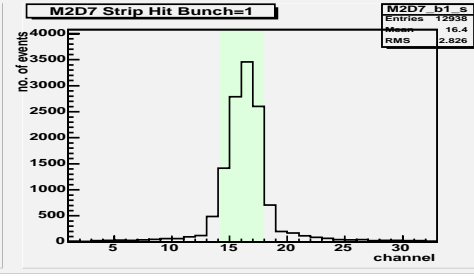
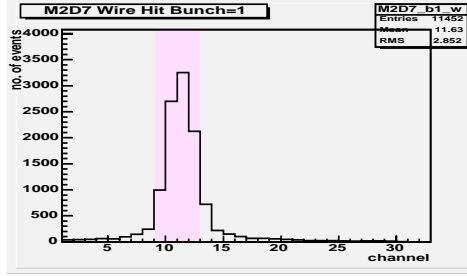
(c) Wire Supportの影響

図 6.8: TGC のヒットマップとワイヤ・サポートの影響 -その 1

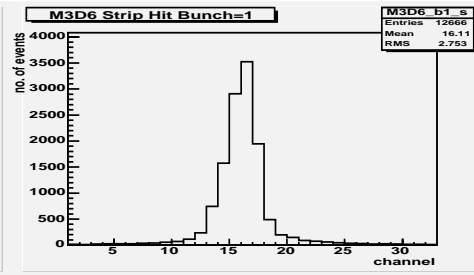
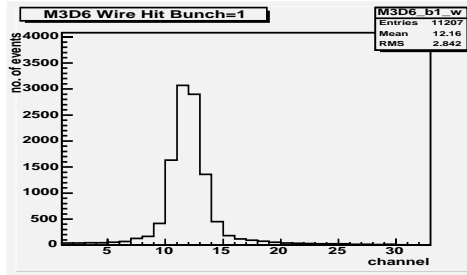
Layer4



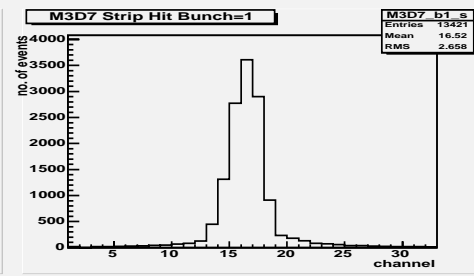
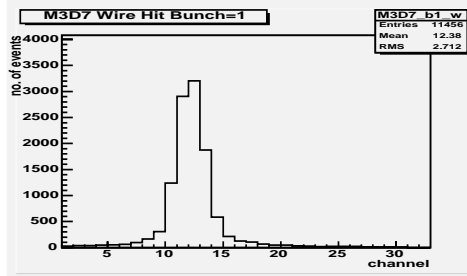
Layer5



Layer6

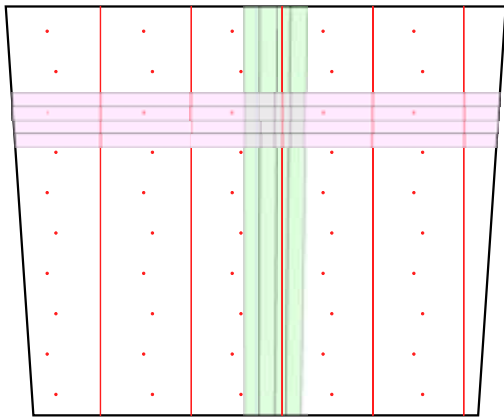


Layer7

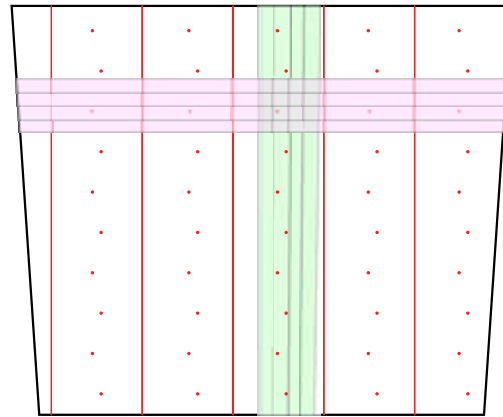


(a) Wire hit map

(b) Strip hit map



Layer4

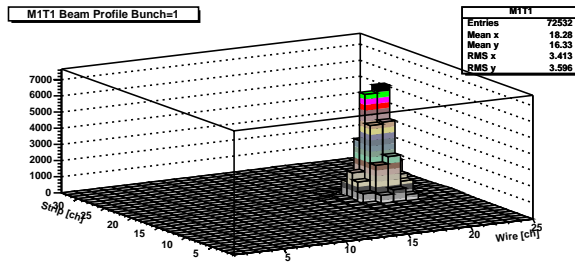


Layer5

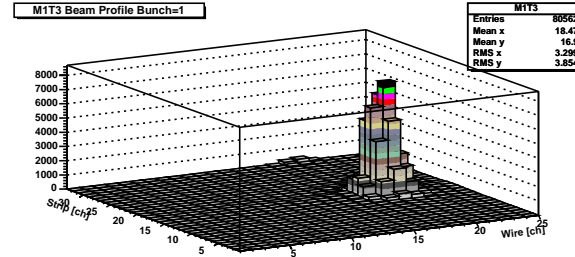
(c) Wire Supportの影響

図 6.9: TGC のヒットマップとワイヤ・サポートの影響 -その2

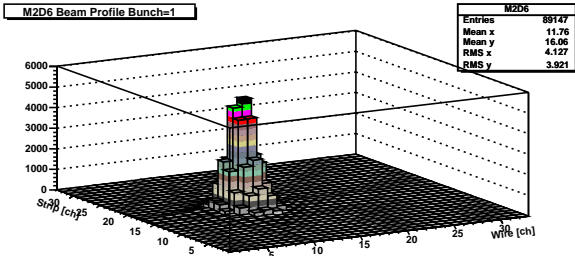
M1
Layer 1



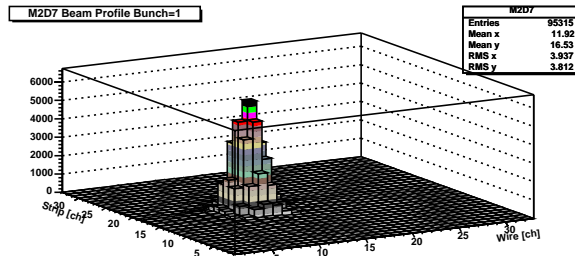
M1
Layer 3



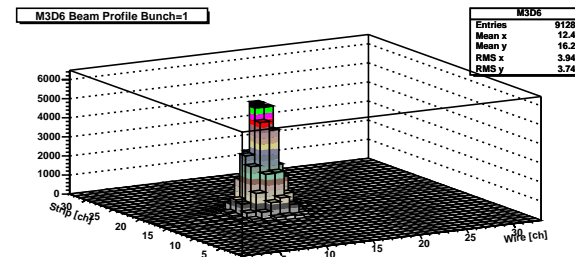
M2
Layer 1



M2
Layer 2



M3
Layer 1



M3
Layer 2

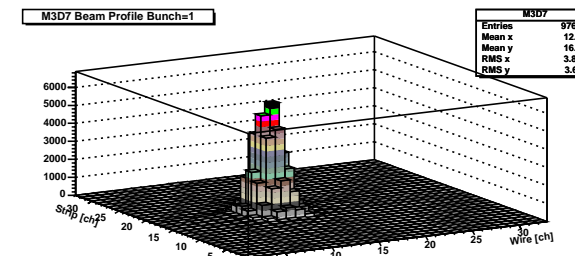


図 6.10: 全層のビームプロファイル

run No.	event 数	Trigger	run の種類	ROD チェック エラー	オフライン ID チェックエラー	トリガ計算 エラー
r38	6,350	10 × 10	stand-alone	0	0	0
r39	14,707	10 × 10	stand-alone	0	0	0
r40	11,339	10 × 10	stand-alone	0	0	0
r41	5,074	10 × 10	stand-alone	0	0	0
4002	4,123	10 × 10	combined	0	0	0
4003	12,147	10 × 10	combined	0	0	0
4004	6,478	10 × 10	combined	0	0	0
4006	85,847	10 × 10	combined	0	0	0
4007	101,621	10 × 10	combined	0	0	0
4009	618	TGC	combined	0	0	0
4010	64	TGC	combined	0	0	0
4013	1,106	TGC	combined	0	0	0
4014	78,406	TGC	combined	0	0	0

表 6.1: データ検証の結果

M2 - M3 の間隔は 14cm あり、その間でのビームのワイヤ方向成分は 3.6cm ある。これによって、M2 より M3 でヒットマップが 1 チャンネル分小さい方へズレていることが図 6.9(a) より分かる。

また、M3(pivot) の中央のチャンネル付近にビームが来るように、かつ MDT がアラインメントに用いているレーザーの光路を邪魔しないように TGC をアラインメントした結果、図 6.8(a) にあるように M1 はチェンバーの端ギリギリにビームがあたることになってしまった。

図より全ての層でヒットのピークは 2~3 チャンネルに分布している。今回使用した TGC の 1 チャンネルの大きさはワイヤで約 5cm、ストリップで約 4.5cm であり、トリガは $10 \times 10 \text{cm}^2$ のシンチレータで与えられているので、この 2~3 チャンネルという領域は妥当である。

ビームの当たっている領域では信号の出ないチャンネル(デッド・チャンネル)は無く、また全チャンネルにおいて信号が出続けているチャンネル(ホット・チャンネル)も無い。よって各層のワイヤとストリップでコインシデンスをとってプロットした、ビームプロファイルを図 6.10 に示す。M1、M2、M3 の全てで予想通りの位置にビームが来ており、 $10 \times 10 \text{cm}^2$ の領域で綺麗にピークが見えている。これより TGC の各チャンネルからの信号を、エレクトロニクスで正しく読み出せることを確認した。

HV Curve

今回のテストで使用した、ワイヤに電圧を印加する HV 電源の電圧値が妥当な値かどうかを確かめるために、HV 電圧と検出効率の関係を調べた。図 6.11 に HV 電源の電圧に対する、TGC の検出効率をしめす。検出効率は、TGC の各層の総ヒット数をシンチレータによるトリガの総数で割ったものとする。ただし、ビームは M1 の端に当たっており取りこぼしているイベントが 1%程度あると考えられる(図 6.8 (a) 参照)。そこで、以後検出効率を求める際には M1 を通過しなかったイベントの影響を無くするため、M1 のワイヤ 3 層、ストリップ 2 層にヒットが無いイベントを除いて検出効率を計算した。2.8kV では、検出効率が大きく落ちており、電圧が

足りずに TGC が正常に動作しなくなっているのが分かる。2.85kV 以上では 95% 以上の検出効率ほぼ一定の値になっており、通常使用している 2.9kV という値が十分に TGC の正常動作電圧の範囲内に収まっていることを確認した。

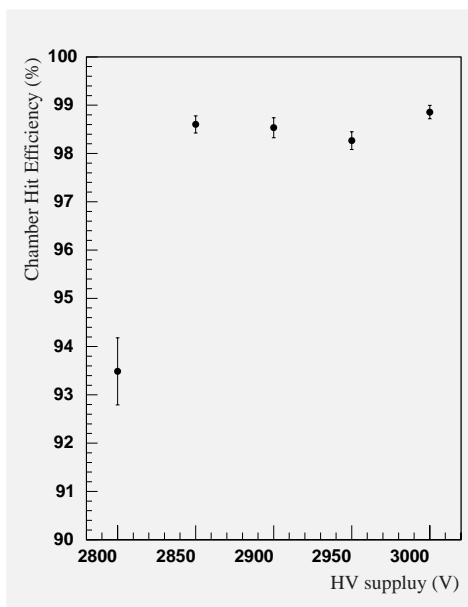


図 6.11: HV 電圧に対する検出効率の変化

PP ASIC の調整

TGC システムで正しい効率を得るためには、TGC からの信号をエレクトロニクスが正しく受け取れることが必要である。信号は TGC のタイムジッターによりある時間分布に従ってエレクトロニクスに来る。また、TOF によって、M1 より M2、M3 ではある遅延時間をもって到達する。この遅延時間を吸収し、時間的に分布した信号をバンチ・クロッシング毎に正しく識別するのが PP ASIC の役割である。4.5 節に示したように、遅延時間の吸収と 25nsec 毎のバンチ・クロッシングを正しく認識するには PP ASIC のディレイとゲート幅を用いる。具体的には、PP ASIC のディレイとゲート幅を調整して、ミュオンが通過した際の信号の全てを This BC のデータとして取れるようにすることである。まず、PP ASIC へ入ってくる信号の時間差を吸収するための、signal delay と呼ばれるディレイを調整した。

図 6.12 にワイヤの 3、5、7 層目での PP ASIC のディレイに対する TGC の検出効率を示す。横軸は PP ASIC のディレイの値で、縦軸は TGC の検出効率である。Prev. BC(赤)、This BC(緑)、Next BC(青) はそれぞれ、3 バンチ分読み出しているリードアウトのどのバンチのデータかを示している。

図 6.13 の (a)~(c) に PP ASIC のディレイを変化させていった時の模式図を示す。この図を使いながら、図 6.12(a) の 3 層目の図について説明する。

図 6.12(a) で、ディレイが小さいとき (4~11nsec) は図 6.13 の (a) に相当する。この場合、ディレイが小さすぎて信号の分布が Prev. BC にかかってイベントが漏れてしまっているため、Prev. BC の効率が上がり、This BC は下がってしまっている。

図 6.12(a) で 12nsec、図 6.13(b) のような状態になり、ほぼ全ての信号が This BC として認識され、検出効率も最大に近くなっている。。このとき、PP ASIC のゲート幅 (Gate width) の

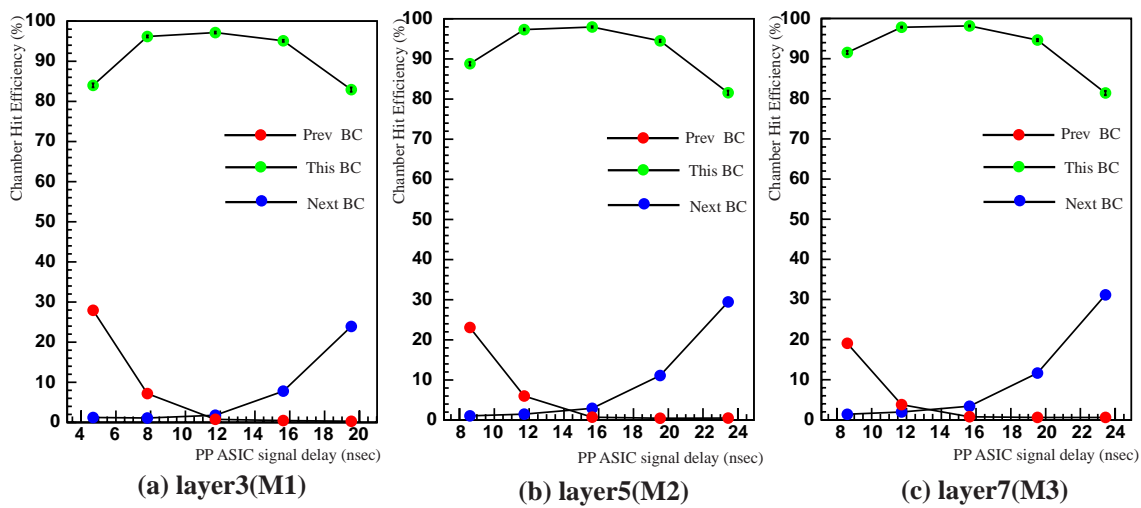


図 6.12: ワイヤ各層での delay curve

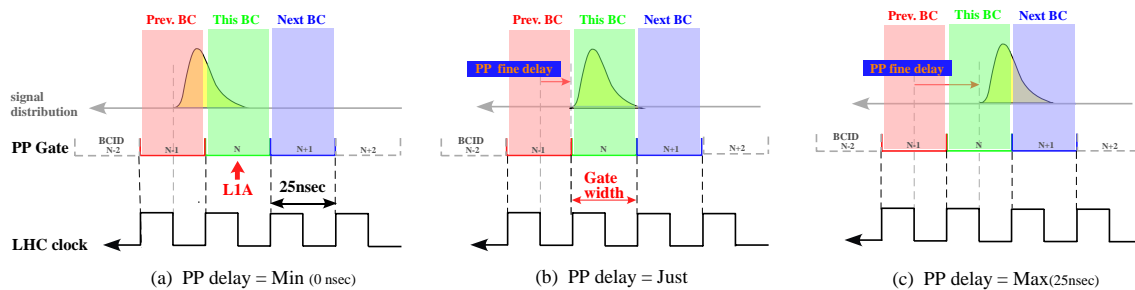


図 6.13: delay curve の原理

値が信号の分布をカバーできる大きさでなくてはならない。

図 6.12(a)12nsec 以上の場合はディレイが大き過ぎ (c) の様な状態になって、Next BC に信号が漏れ出し、検出効率も同時に Next BC に漏れてしまう。

3 層目と、5 層目では最高値を得るディレイに約 5nsec の差がある。また、5nsec の違いでカーブもほぼ同じ形をしているのが分かる。これは、3 層目がある M1 と 7 層目のある M2 の間 (約 1.5m) のミュオンの TOF であると考えられる。ミュオンはほぼ光速で飛んでおり、5nsec の間に約 1.5m 進むので、この TOF はおおよそ正しい値である。今回のテストでは、ディレイの刻み幅が荒かったため M2 と M3 の間に TOF の影響はほとんど見られない。この TOF を吸収し、検出効率が最も高くなる用にディレイ値を決めればよい。今回テストでの PP ASIC のディレイ値は M1 で、11.7nsec、M2 と M3 は 15.6nsec とした。

PP ASIC のディレイの調整を行い値を決定したので、次にゲート幅の調整を行う。ゲート幅は図 6.13 の (b) に示すように、指定した時間幅に来た信号だけがその BC の信号と認識されるような時間幅である。PP ASIC のゲート幅は、信号分布が 25nsec を越えている場合にも対応するため、25nsec 以上の値を取れるようになっている。ゲート幅を 25nsec 以上にすると、2 つの BC にまたがって検出される信号が現れる。最終的には L1A は 1 度出力されると続く 4BC の間は veto されるので、はじめの BC で検出された信号だけが認識されトリガをかけるという意味では大きな問題は無いが、出来れば 1 つの信号は 1 つの BC で認識されるのが望ましい。

PP ASIC のゲート幅を変化させた時の、TGC の各 BC での検出効率の変化を図 6.14 を示

す。図では、ゲート幅が 25nsec の時は、Prev BC で取られるイベントは無いが、信号分布が 25nsec より大きく、Next BC に数%漏れ出している。ゲート幅を広げると、This BC での検出効率は上がるが、Prev BC にも検出されるイベントが増えてゆく。ゲート幅は、この検出効率と Prev BC への漏れ出しを考慮して決める必要がある。今回のテストでは細かい調整を目的とはしていないので、検出効率が少し上がり、rev BC への漏れも数%に留まっている 30nsec というディレイ値をこれ以後使用することにした。設定した PP ASIC のディレイ値、ゲート幅を表 6.2 にまとめる。

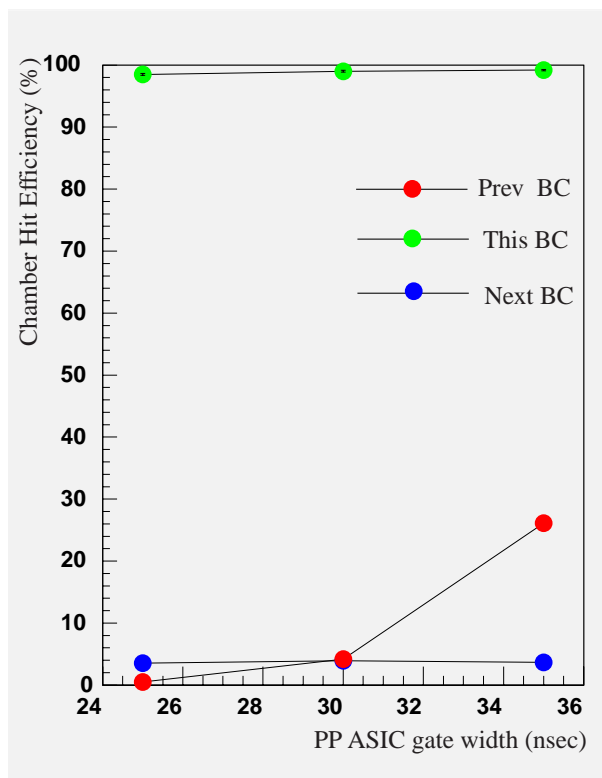


図 6.14: ゲート幅と検出効率の関係

TGC	ゲート幅 (nsec)	ディレイ (nsec)
M1	30	11.7
M2	30	15.6
M3	30	15.6

表 6.2: PP ASIC のディレイ値とゲート幅

検出効率

PP ASIC の調整が終わり正しい検出効率を得られるようになったと考えられるので、次に TGC の検出効率を検証する。図 6.15 にワイヤの、図 6.16 にストリップの検出効率を示す。横軸は、TGC の 1 ~ 7 層を表している。M1 のストリップは、2 層しかないため 2 層目が抜けている。

3、5、6層目では約99%の効率であり、期待した値を満たしている。しかし、ワイヤ、ストリップ共に1、2、4、6層目の検出効率が3、5、7層目に比べて約4%程低くなっている。これはTGCのワイヤ・サポートの不感領域のためである。図6.8(c)、図6.9(c)に今回のテストに使用したT8型TGCの各層のワイヤ・サポートの位置と、ビーム照射領域の関係を示す。図中の赤い線がワイヤ・サポートを、赤点がボタン・サポートを表している。また、緑色の領域がストリップ、ピンク色の領域がワイヤのビームが主に当たっている4チャンネル分を示している。ワイヤ・サポートは7mmの帯状、ボタン・サポートは半径7mmの円形である。図より、効率が低くなっている層では、図(a)、(b)のヒット分布のピークがある2チャンネルとワイヤ・サポートが重なっている。よって、ワイヤ・サポートによる不感領域の影響で検出効率が下がっていると考えられる。ここで、ビームがワイヤ、ストリップ共に4チャンネルの領域にあたっているとして、ビームの当たる領域中にワイヤ・サポートが占める割合を概算すると

$$(7 \times 250) / (250 \times 225) = 0.031$$

となり、4%という値が適当であることが分かる。この不感領域はTGCのデザインに由来するものであり、TGCの検出効率は期待した値を満たすことが確認された。

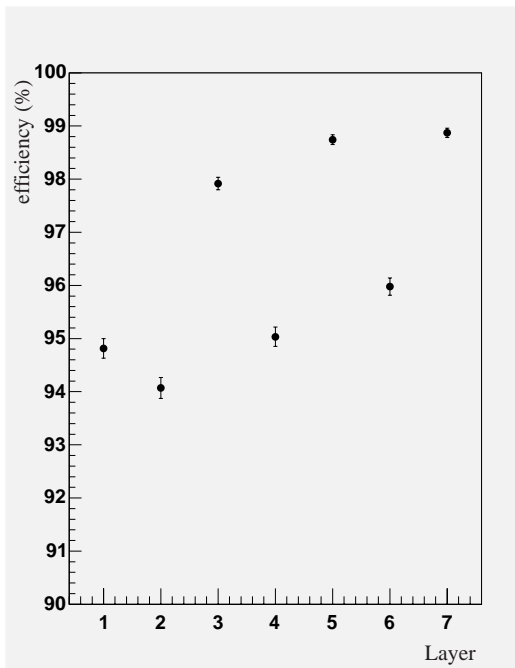


図 6.15: TGC Chamber Efficiency (Wire)

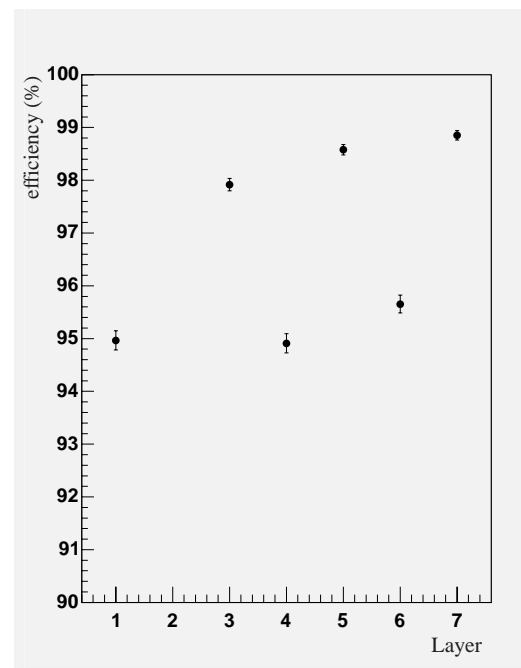


図 6.16: TGC Chamber Efficiency (Strip)

トリガ効率

TGCで望まれる検出効率を達成していることが確認されたので、最期にエレクトロニクスがその信号を受けて正しくトリガを出せているかを検証する。図6.17にTGCエレクトロニクスのLow- p_T トリガの効率を示す。横軸は、Tripletのワイヤとストリップ、Doubletのワイヤとストリップの4つのSLB ASICを表している。縦軸は、それぞれのSLB ASICが出したLow- p_T トリガの効率を示している。トリガの効率は、トリガ数をシンチレータのトリガ数で割ったものである。ただし、検出効率の時と同様にM1をミュオンが通過していないイベントは除いて計算してある。

Triplet では、コインシデンスを取ることによりチェンバーの各層の効率よりも改善されて、設計値どおり [4]99%を越えている。しかし、Doublet では 97%前後と 2%程低くなっている。これは、M2、M3 の 2 枚の Doublet で全く同じ型のものを用いてしまったために、ワイヤ・サポートによる不感領域の位置が重なったためである。6.2.2 節で述べたように、ワイヤ・サポートのため Deoublet の 4 層の内 2 層は検出効率が低くなっている。そのため、不感領域の位置が重なると 3 out-of 4 コインシデンスをとった時に、Low- p_T トリガ確率も一緒に落ちてしまう。Triplet でもワイヤ・サポートの影響で 1、2 層目は検出効率が低い、この不感領域の位置をずらすことで 2 out-of 3 又は 1 out-of 2 コインシデンスをとった時にその影響が打ち消されるようになっている。実際の ATLAS 実験では、M2 と M3 に違う (不感領域の位置が異なっている) 型の Doublet を用いることでその影響を打ち消すことになっている。

Doublet の 97%という値は、ワイヤサポートの不感領域による TGC 検出効率の低下を考えると、妥当な値といえる。

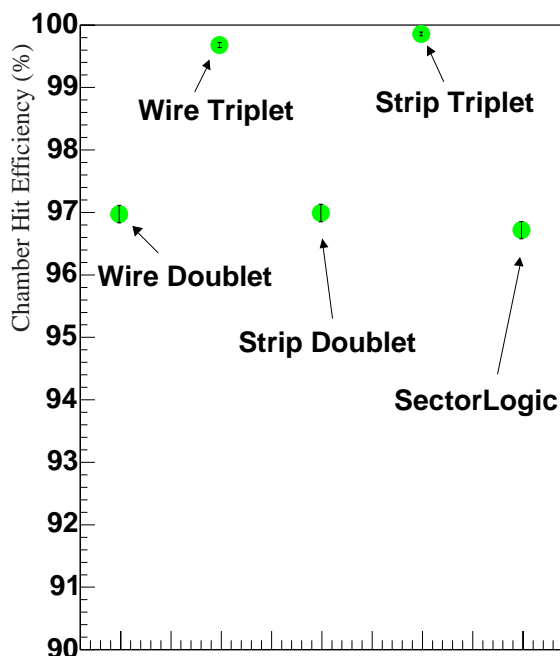


図 6.17: Low- p_T Efficiency

また、SL までコインシデンスを取った TGC の最終的なトリガ効率は 97%となり、Doublet の Low- p_T トリガ効率が低い影響で SL のトリガ効率も落ちてしまっているが、Low- p_T トリガ効率とはほぼ一致した値であり、SLB ASIC 以降のトリガ系が正しく動作していることが確認できた。各 SLB ASIC と SL でのトリガ効率を表 6.3 にまとめた。

また、SL での最終的な p_T の分布を図 6.18 に示す。横軸は SL の判定した 1~6 の p_T の値、縦軸はイベント数である。ビームテストでは、ビームはミュオンが無限の p_T を持っている時の軌跡 (Infinite Momentum Line) を通るようにアラインメントしてある。そして、ミュオンは何にも曲げらずに、真っ直ぐに入射している。よって、殆どのミュオンが一番高い p_T 6 として観測されていることが、確認された。Infinite Momentum Line から M1 で 3 チャンネル

	トリガ効率	誤差 (%)
Triplet Wire	0.997	0.475
Triplet Strip	0.998	0.322
Doublet Wire	0.970	0.142
Doublet Strip	0.970	0.142
SL	0.967	0.148

表 6.3: トリガ効率

ずれると、 p_T は 5 になるので、 p_{T5} のイベントが 0.2%程度存在するのも納得できる結果である。また、 p_{T4} 以下にわずかにあるイベントは宇宙線によるものだと考えられる。

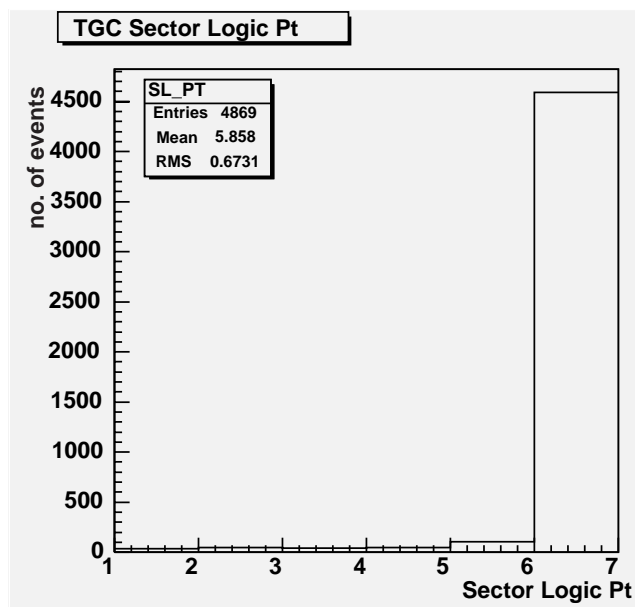


図 6.18: SL 出力の p_T 分布

6.2.3 TGC stand-alone run まとめ

stand-alone run では、TGC とそのエレクトロニクスの性能を確かめた。エレクトロニクスによるデータへの ID 付け、トリガ計算は全ての 3.3×10^5 イベントに対してエラーが無いことを確認した。stand-alone run は $10 \times 10\text{cm}$ のシンチレータでトリガが与えられた。そのトリガを使って TGC でビームの様子をみると、正しい範囲に鋭いビームの形を見ることが出来、それによって TGC からの信号を正しく読み出せていることを確認した。

使用している HV 電源電圧が、TGC が正しく動作する範囲に収まっていることを確認し、PP ASIC の調整を行った。調整の結果、TGC エレクトロニクスは各バンチ・クロッシングを正しく識別でき、TGC からの時間的に分布した信号も正しく取れ、検出効率を最大にすることが出来た。そして、そこで最大にされた TGC の検出効率は設計値である約 99%を得ることが出来た。しかし、2 つの Doublet に同じ型のものを使ってしまったために、ワイヤ・サポートによる不感領域が重なり、Low- p_T コインシデンスを取った時に Doublet でのトリガの効率を下げて

しまった。ただし、Triplet では期待した 99.7%の効率を得られた。また、TGC の不感領域の重なりを考慮すると Doublet で得られた Low- p_T トリガ効率 97%も妥当な値である。また、SL の結果でも Low- p_T の不感領域による効率の低下を考慮すると妥当であり、25nsec 毎のミュオンビームに対して TGC システムは正しくトリガを出力できることを確認した。

6.3 combined run

次に、TGC がミュオンスペクトロメータの他の検出器である MDT、RPC にトリガ (L1A 信号) を与え、それらと同時にデータ取得を行った、combined run について述べる。このテストでは、TGC がトリガ・チェンバーとして正しくトリガを供給できるかの検証が目的となる。

6.3.1 セットアップ

今回のテストでは TGC と共に、MDT、RPC そして、MuCTPI が同時にデータ取得した。TGC のセットアップとしては、stand-alone run と同じであるが、SL の先に MuonCTPI を繋いだ。MuonCTPI のあるクレートは、計測室の SL、ROD のあるクレートの横に置かれている。トリガは $10 \times 10\text{cm}$ のシンチレータ・ホドスコープからのトリガと、TGC から MuCTPI を通して出たトリガのどちらかを選べるようにしてある。今回は RPC は MuonCTPI には接続されず、MuonCTPI からトリガを提供した場合は、100%TGC のトリガとなる。図 6.19 に MDT、RPC の配置を示す。各 MDT のチューブが TGC のワイヤと同じ方向になるように設置してある。

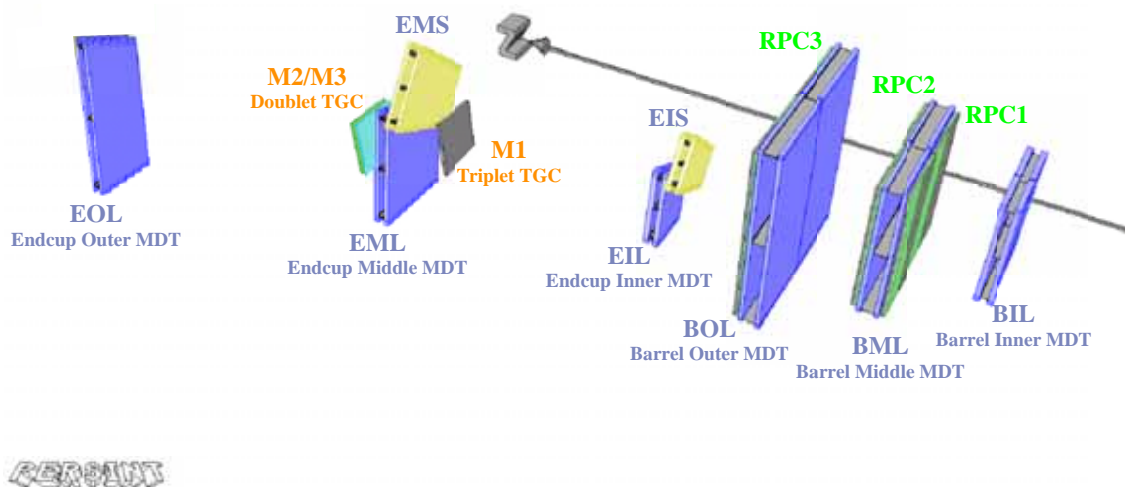


図 6.19: MDT、RPC の layout

全ての検出器と、そのエレクトロニクスはコントロールルームの PC から online controller と呼ばれるソフトウェアによって制御され、データは各検出器から ROS に行き、イベントビルドされて、最終的に SFI レベルのデータとして全検出器のデータが 1 つのファイルに記録された。図 6.20 に online controller の画面を示す。この節での解析は、このファイルから TGC のデータを読み出す、デコードを作成し行った。

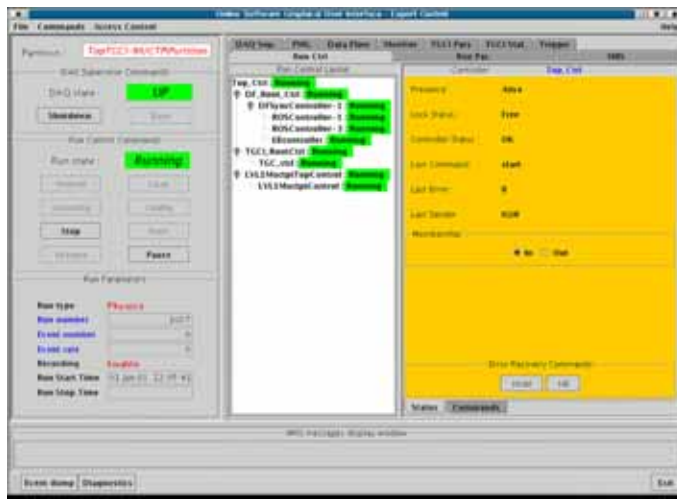


図 6.20: online controller

分類	データ名	説明
Data	p _T	6 段階に分類されたミュオンの運動量
	ROI	ミュオンの通過したサブセクターの番号
ID	L1ID	イベントに付けられた ID
	BCID	イベントがどのバンチ衝突によるものかを示す ID

表 6.4: SL Data の内容

6.3.2 結果

combined run では、TGC から出したトリガを正しく L1A として供給できるかが重要である。そして、その為に TGC エレクトロニクスとしては SL から MuonCTPI に正しくデータが渡す所まで責任がある。統合テストや、データ検証ソフトウェアでのチェックから、SL までのトリガの結果は正しく出力されていることが分かっている。残りは、SL から MuonCTPI へのデータの受け渡しをチェックしなければならない。その為に、combined run でのデータから MuonCTPI のリードアウト・データを読み出して、TGC データの中の SL データと比較して一致しているかを調べた。

SL のデータは表 6.4 に示すような情報を含んでいる。これらの情報に関して、SL のデータと、MuonCTPI の ROD から読み出されたデータとを比較する。その結果、表 6.5 に示すような不一致が見つかった。

type1 のエラーは、SL のトラックのデータと MuonCTPI のトラック候補のデータが一致していないというエラーである。type2 のエラーは、SL では $n(1 \leq n \leq 2)$ 本のトラック候補があると言っているが、MuonCTPI のトラック候補は n より少ないというものである。type3 のエラーは、SL と MuonCTPI で BCID がズレるというもので、あるイベントで MuonCTPI の BCID が TGC と 1 つズレ、次のイベントでは元に戻るというズレ方である。

解析の結果、以下のようなことが分かった。

- type1 の時は BCID がズレており (type3 のエラーも同時に起きている) MuonCTPI のトラック候補は SL の Prev. BC のトラック候補と一致している

Run No.	イベント数	トリガ	Err. type1 SL≠MuCTPI	Err. type2 SL > MuCTPI	Err. type3 BCID 不一致
4002	4,123	10 × 10	2	0	5
4003	12,147	10 × 10	3	2	12
4004	6,478	10 × 10	4	1	7
4006	85,847	10 × 10	71	300	410
4007	101,621	10 × 10	59	94	183
4009	618	TGC	0	0	4
4010	64	TGC	0	0	0
4013	1,106	TGC	0	0	0
4014	78,406	TGC	0	0	58

表 6.5: SL と MuonCTPI の Data 比較結果

- type2 の時は BCID がズレており、SL の Prev. BC にはトラック候補は無い(つまり、type1 と同じことが起きている)
- type3 だけが起きる時は、SL、MuonCTPI 共にトラック候補無しである

以上のことより、L1A のタイミングが 2 つの TTC パーティションでずれたために、L1A や BCID カウントのタイミングがズレこのような結果になったと考えられる。本来 MuonCTPI は L1A のイベントの前後 2 バンチ分を含む、計 5 バンチを読みだす機能があるが、今回のテストでは L1A の来た 1 バンチ分のデータのみを読み出していた。MuonCTPI で 5 バンチ分のデータを取得すれば、もう少し状況が分かるはずである。また、TGC でトリガをかけた時は type1、type2 のエラーは起きておらず、TGC のトリガが正しく L1A として提供されていることが確かめられた。

SL と MuonCTPI の R_T の相関を図 6.21 に、ROI の相関を図 6.22 に示す。横軸は、SL、MuonCTPI の R_T または ROI で、高さはイベント数である。SL と MuonCTPI ではデータが一致するはずなので、図の対角線上にだけイベントがあるはずである。図 6.21 から、SL と MuonCTPI で R_T データが一致していることが分かる。図 6.22 からは、SL と MuonCTPI で ROI データが一致していること、主に 2 つ ROI にトラックがあることが分かる。ROI の大きさはサブセクタのそれであり、ワイヤ、ストリップとも 8 チャンネル分である。

6.3.3 ATHENA Framework による解析

ATLAS 実験の標準的な解析ソフトウェアフレームワークは ATHENA Framework と呼ばれており、すべての作業は ATHENA 枠内で出来るように開発が進められている。ATHENA には、それぞれの検出器を担当するグループからデータをデコードするパッケージや、その他のパッケージが提供されており、それらを使うことで combined run で取ったデータから他の検出器のデータ読み出したり出来る。今回のビームテストでは、combined run でとった SFI レベルのデータファイルに含まれる TGC のデータを読み出すためのパッケージを製作し、ATHENA Framework で TGC のデータを利用できるようにした。これによって、TGC のデータ解析をするときに他の検出器のデータを使用したり、TGC グループ以外の人に TGC のデータを使ってもらうことが可能になった。今回はその一例として、combined run で一緒にデータ取得し

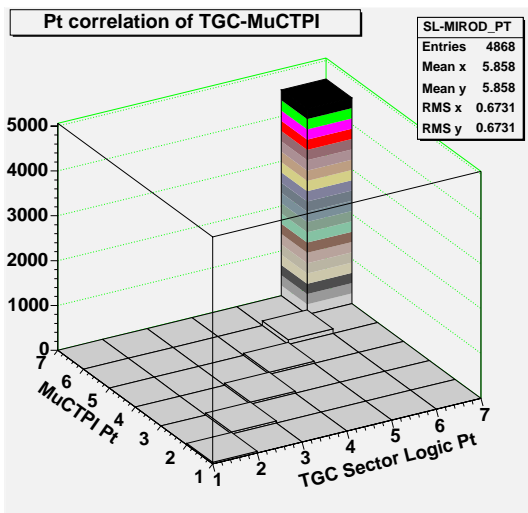


図 6.21: SL と MuonCTPI の p_T の相関

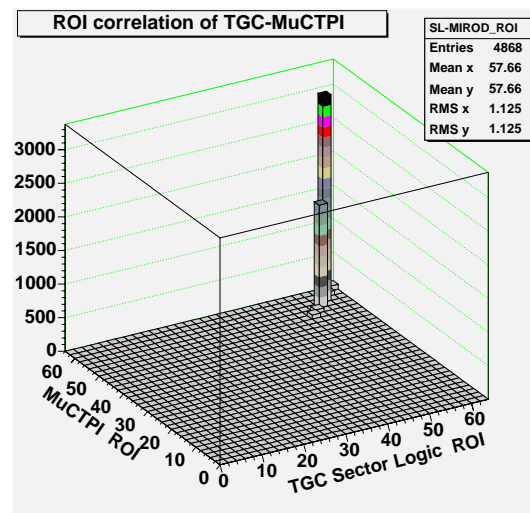


図 6.22: SL と MuonCTPI の ROI の相関

た MDT のデータから、ミュオンが TGC のどのチャンネルを通過するかを外挿し、TGC のデータとの相関を見た。

ATHENA Framework

ATHENA は ATLAS の解析を行う際に各アルゴリズムの独立性を保ち、データの受け渡を行えるようにしたフレームワークである。ATLAS として標準のアルゴリズムが多数用意されており、必要なものを選択してロードし、オプションを設定することで大部分の解析が出来るようになっている。さらに、それらの一部を継承して自分専用のアルゴリズムを開発することが可能である。そうして、あらかじめ与えられた枠組み (フレームワーク) に自分のほしい部品を Algorithm やサービスという、規定されたプログラムとして組み込み欲しい機能を実現出来るようになっている。

図 6.23 に Athea の仕組みを表したオブジェクト図を示す。実際に仕事をするのは”Algorithm”と呼ばれるプログラムだが、その Algorithm から、データのやり取り、スクリプト処理やメッセージ出力、ヒストグラム等の様々なサービスを利用することが出来るようになっている。また、ユーザがサービスを追加する仕組みも用意されている。個々の Algorithm は独立しており、Application Manager によって全体がコントロールされ初期化、イベントループ、終了化のその都度必要な Algorithm を呼び出される。

図 6.24 に ATHENA でのデータの流れをしめす。トランジェントデータストアが実際のデータの記憶場所である。論理的には白抜き矢印が示すように、いくつかの Algorithm 間をデータが流れていくが、実際には各 Algorithm は黒矢印のようにトランジェントイベントストアとやりとりをする。これらは StoreGate Svc というサービスを通して行われ、この仕組みによって各 Algorithm は自分以外の Algorithm がどのようになっているのか知る必要がなく、独立性を保つことが出来る。

ATHENA Framework は現在開発段階であり、各パッケージは日々追加され、ATHENA Framework 自体のバージョンも頻繁に更新されている。

Athena-Gaudi Object Diagram

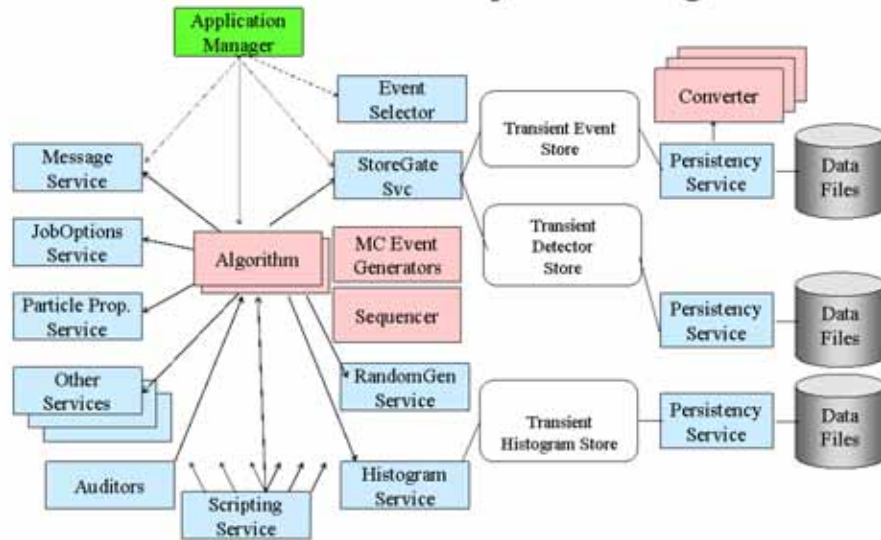


図 6.23: ATHENA Framework のオブジェクト図

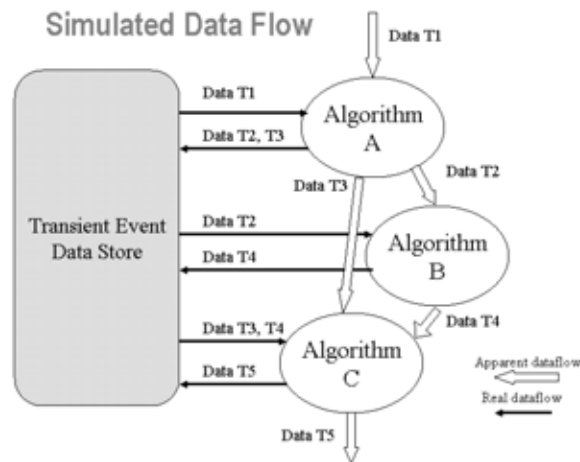


図 6.24: ATHENA の Data の流れ

6.3.4 ATHENA からの TGC Data の読み出し

combined run で取ったデータは、イベントビルドされ SFI レベルのデータとして記録されているが、ATHENA ではそのデータからイベントごとに TGC の部分を塊として渡してくれるサービスが組み込まれている。よって、データの塊を受け取ってから、デコードする Bytestream というパッケージを開発して組み込んだ。また、TGC の独自のチャンネルを座標に変換、またはその逆変換を行う Cabling Service というパッケージも開発した。その結果、combined run でのデータを ATHENA 上で読めるようになった。

6.3.5 MDT Dataからの TGC ヒットチャンネルの外挿

ATHENA から TGC データを読み出せるようになったので、combined run で TGC のトリガを使って同時にデータ取得した、他の検出器のデータと一緒に解析が出来るようになった。よって、高精度のミュオン・トラック測定用の検出器である MDT(Muon Drift Tube : 2.3.3 節参照) のデータから、ミュオンが TGC に入射する位置外挿し、TGC のデータと比較した。

MDT はエンドキャップ、バレルにそれぞれ Inner、Middle、Outer の 3 層が置かれる。各 MDT は、直径 30mm のチューブを並べ、それを 3~4 層重ねたものを間隔を空けて二つ置いた構造をしている(図 2.14 参照)。バレル MDT でのトラック再構築の様子を図 6.25 に示す。トラック再構築は以下のような方法で行われる。

1. 各チューブでドリフト時間を測定し、それをチューブ中心からのミュオン通過位置への距離に変換する
2. 各チューブで求めた距離を半径とする、円に接する様な直線を求める
3. 各 MDT の中でそれらの直線を結びトラック候補 (セグメント) を決める
4. 3 つの MDT のセグメントを繋ぎトラックを求める

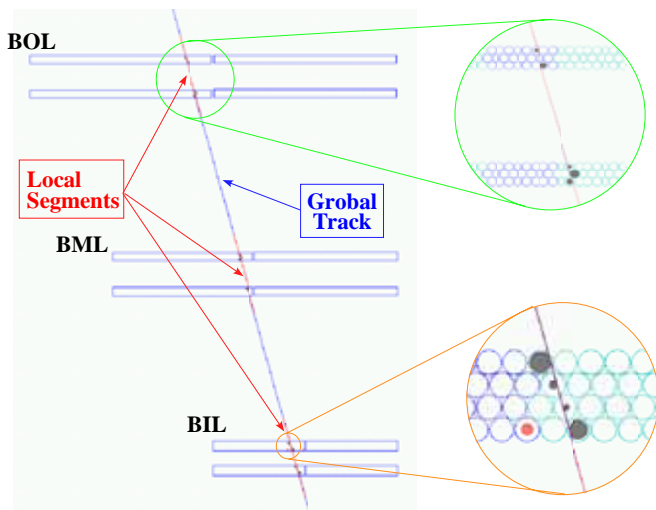


図 6.25: Barrel MDT の Tracjing

ATHENA には、MDT グループが開発した MOORE(Muon Object Oriented Reconstruction) というトラック構築パッケージが組み込まれており、これを用いることで簡単にミュオンのトラックを求めることが出来る。combined run のデータから求めた、各 MDT でのセグメントの総数を図 6.26 に示す。横軸は、各 MDT(図 6.19 参照) の 1 イベント毎のセグメント数であり、それぞれの縦軸はイベント数である。図より現在の所、ビームテストで TGC の近くに置かれていたエンドキャップ MDT(EIL、EML、EOL) は上手くセグメントを求められておらず、ほとんどのイベントでセグメント 0 本である。よって、TGC の近くにあったエンドキャップ MDT からの外挿は行えない。バレル MDT の BIL、BOL は、半数以上のイベントで、BML でも 1/3 のイベントで 1~2 本のトラックが求められていることが分かる。よって、バレル MDT のセグメントから外挿することにした。

各バレル MDT から外挿した TGC の 1 層目での位置が、BIL と BML、BOL と BML の間

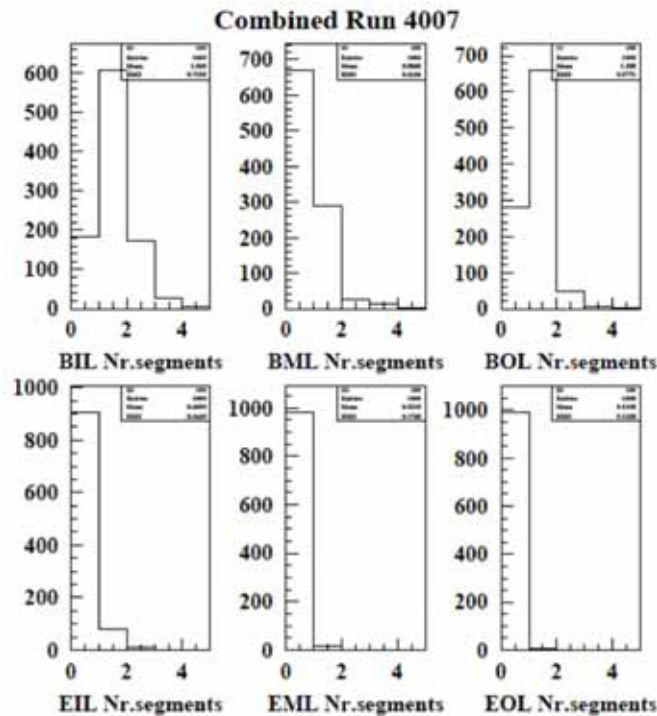


図 6.26: 各 MDT での segment 数

でどの位のズレがあるかを図 6.27 に示す。横軸は各イベントごとに BIL、BML、BOL のそれぞれのセグメントを TGC の 1 層目まで延ばしたときの TGC ワイヤ・チャンネル (δR) 方向座標の差で、BOL と BML、または BML と BIL を比較して示している。図から、BIL は他の二つの MDT に比べ常に 40mm ほどずれて外挿しているが、それぞれバラつきは 1cm 程度で、その精度で TGC1 層目でのミュオンの通過位置を外挿できている。

BIL、BML、BOL の各バレル MDT から外挿した TGC の 1 層目での位置と、TGC データから読み出したチャンネルを図 6.28 に示す。MDT のチューブは、TGC のワイヤと同じ方向に並んでおり、TGC のワイヤチャンネルを外挿できる。横軸は、TGC のワイヤ・チャンネルであり、データが TGC システムでどのチャンネルから読み出されたのかを示している。縦軸は、MDT から外挿した TGC の 1 層目でのワイヤ・チャンネル (δR) 方向の座標である。また図中の黒い線は、ビームテストのセットアップを測量した結果から見積った、TGC の各ワイヤ・チャンネルの両端の座標を示している。図中の赤い点が BIL から、緑の点が BML、青い点が BOL からの外挿である。

BIL はやはり、BML、BOL から 3cm ほどズレている。が、11~13 チャンネルで相関が見える。BML、BOL で -1cm ほど、BIL で -3cm ほど TGC チャンネル (黒い線) からオフセットが見られるが、次の 2 つの原因によると考えられる。

- TGC を乗せている台が動きやすく、様々な作業を行う間に動いて、データ取得時取と、測量時でその位置がズレた
- MDT のキャリブレーションが不十分で、BIL だけでなく BML、BOL もあるオフセットをもっている

また、10~13 チャンネル目を見ると、チャンネルが大きくなる毎に外挿座標の TGC チャンネルからのズレと、そのバラつきが大きくなりまるで角度を持ってミュオンが入っているよう

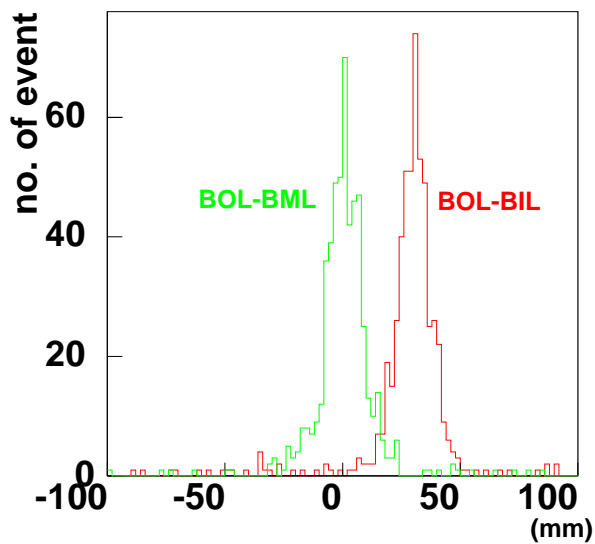


図 6.27: MDT 間の外挿のズレ

に見える。ビームとは、TGC に垂直な方向から 15° 傾けているだけであり、4チャンネルの範囲でこのような変化が見えることは無い。この傾きの原因は、現在調査中である。

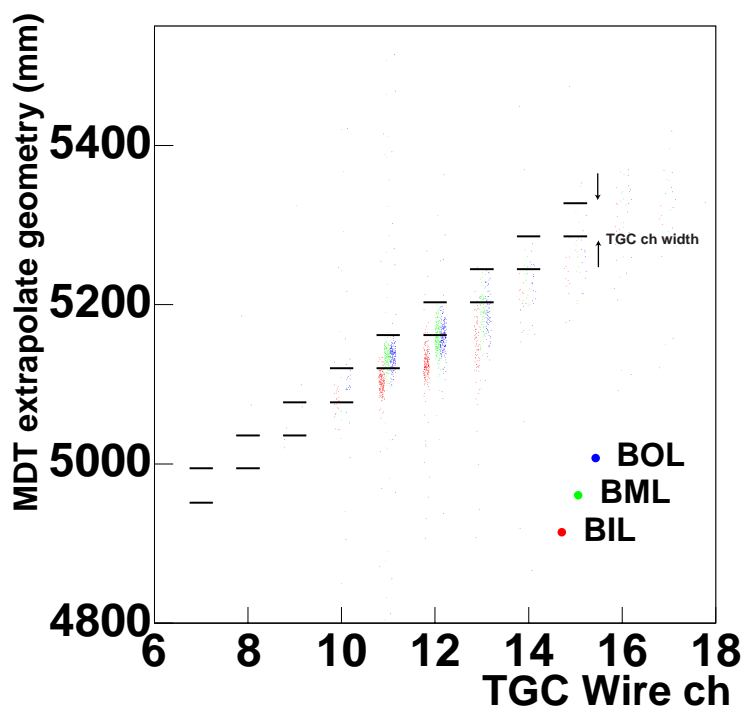


図 6.28: バレルMDTからのTGCワイヤヒット・チャンネルの外挿

6.3.6 combined run まとめ

stand-alone run ではシンチレータからのトリガによってデータ取得を行ったが、combined run では TGC がトリガを出し、他のミュオン検出器に提供することで、他の検出器と同時にデータ取得を行うことに成功した。その際に、TGC と CTP の間でトリガ信号の調整を行う MuonCTPI にデータが正しく渡せることを検証した。その結果、TTC システムの調整不足でタイミングがずれる問題があったが、データは正しく渡せていることを確認した。

また、ATLAS 実験で標準の解析の枠組みである ATHENA Framework で combined run のデータを扱えるようにした。そして、ATHENA 上で MDT のデータと一緒に解析を行う例として、MDT データからの TGC ヒット・チャンネルの外挿を行い、両データの間に関係があることを確認した。

第7章 まとめ

ATLAS 実験では 40.08MHz という高レートでイベントが発生し、Level1 トリガのエレクトロニクスは高い処理能力と正確なトリガ処理が必要とされる。我々は、この Level1 トリガの一部である TGC エレクトロニクスの研究開発を行ってきた。数種類の ASIC の開発が行われ、試作、試験を繰り返して、ほぼすべての ASIC でプロトタイプが完成した。また、これらの ASIC を搭載したモジュールのプロトタイプも試作され、単体テストが行われてきた。そして昨年度より、これらのプロトタイプモジュールを接続し、実際の実験を想定しての統合テストを行ってきた。昨年度は、TGC システムがミュオン通過を知らせるトリガを出すための処理を行う、トリガ系について統合テストを行った。今年度はそれを引き継ぐと共に、TGC 自身のデータを読み出すリードアウト系についても統合テストを行った。さらに、CERN の SPS 加速器からのミュオン・ビームを利用して、TGC とそのエレクトロニクス、さらに他のミュオン検出器との統合テストであるビームテストを行った。

トリガ系統合テストの環境は昨年度で一通り構築されており、今年度は新たに新しいプロトタイプを組み込んだテストを行い、モジュールのバグを発見、修正し、3 万パターンの入力に対して正しい動作を確認した。また、昨年度は online controller という 1 つのコントローラから全てを制御できるようなソフトウェアで統合テストが行われていたが、ビームテストでの様々な要求に答えられるように各機能を分離して stand-alone 版を製作し、細部で改良を行った。

リードアウト系統合テストは今年度より行われ、ASIC 内のレジスタをセットし Test Pulse 信号という擬似的な入力を用いて行った。1 つの入力パターン毎にレジスタの値をセットしなければならず、ビームテスト前に多くのパターンを試すソフトウェアの開発は間に合わなかったが、5 つのパターンについて正しく正しく読み出せることを確認した。また、TTCvi という様々なタイミングコントロールを行うモジュール等をコントロールするソフトウェアを製作した。

TGC エレクトロニクスでは来年度も、最終デザインをチェックするためのプロトタイプが完成する予定のため、引き続き統合テストは行われる。そして今後、各 ASIC やモジュールの量産が行われ、その際には統一的な動作チェック方法を確立する必要がある。また、インストールに向けての準備などで、TGC エレクトロニクス・グループ以外の人々が TGC のエレクトロニクスの動作を確かめる必要性も出てくる。そのために、今回製作したソフトウェアやテスト方法などをさらに改良し、簡単に、かつ様々な機能をチェックできるシステムを作っていくことが重要である。また、今回は online controller から各機能を分離して改良したが、online controller は本実験や、ビームテストの combined run で使われるコントローラの雛形であり、それら改良点を再び還元して双方で改良を行う必要がある。

ビームテストでは、TGC とエレクトロニクスだけで動作検証を行う stand-alone run と、ATLAS 実験での他のミュオン検出器と統合して動作検証を行う combined run を行った。stand-alone run の目的は TGC とそのエレクトロニクスが正しく動作するか、その使用が実験での要求を満たしているかという検証が行われた。TGC は望まれる検出効率を満たしていることが確認され、エレクトロニクスでは各機能が正しく機能して、25nsec 毎来りにミュオン

の信号を正しく識別できることを確認した。2枚のTGCに誤って同じ型を使用してしまい不感領域が重なったために、TGCシステムとしてのトリガの効率は低くなってしまったが、それらの影響を考慮すると妥当なトリガ効率である97%を得た。また、リードアウト系も正しく動作しTGCシステムとして全ての機能が正しく動作することを確認した。次回のビームテストでは、これらの動作チェックの上で各パラメータを細かく調整し、TGCとして最高のパフォーマンスを出せるようにしなくてはならない。また、新たに作られる完成版のモジュールでのテストも重要である。

combined run ではトリガ・チェンバーであるTGCがトリガ信号を他の検出器に配り、同時にデータ取得を行った。この際、TGCシステムからのトリガ候補の情報を受けてトリガの調整を行うMuonCTPIというモジュールと、TGCエレクトロニクスでデータの受け渡しが正しく行われることを検証し、TGCが正しくトリガを出して他の検出器と一緒にデータ取得を行えることを確認した。今後は、RPCを加えたLevel1 ミューオントリガシステムとしての動作、さらにはカロリメータも加えたLevel1 トリガシステム全体へのテストと進んで行かなくてはならない。

さらに、ビームテストで得たデータをATLAS実験での標準的な解析の枠組みである、ATHENA Frameworkで扱えるようにした。そして、combined run で同時にデータ取得を行ったMDT(Muon Drift Chamber)のデータを用いて、ミューオンがTGCへ入射する際のチャンネルを外挿し、TGCのデータとの相関を調べた。今回はMDTのトラック再構築パッケージを用いての外挿だったが、TGCとしても独自にトラックを再構築出来るパッケージなど、ATHENA Framework上のツールの充実を目指してゆく必要がある。

付録 A 放射線照射試験

ATLAS 実験で使われるデバイスは厳しい放射線環境下に置かれ、そこで少なくとも 10 年間安定して稼働しなければならない。そのために??節で述べた、放射線基準のレベル (SRL) が見積もられており、それにより求められる放射線基準値 (RTC) を照射しても安定して動くことを確かめなければならない。また、レジスタを含むデバイスでは SEU の断面積を調べ、見積もられたフルエンスでの SEU の影響がどれほどか確かめなくてはならない。そのために、我々 TGC エレクトロニクス・グループでは γ 線、及び陽子線の照射試験をを行っており、自作した ASIC の他に、COTS(Commercial Off-The-Shelf: 市販品) の照射試験も行っている。これまでに、LVDS のシリアライザ/デシリアライザ、LVDS のトランスミッタ/レシーバ、G-Link(オプティカル・リンク) のトランスミッタ/レシーバ等のデバイスの試験が行われた。

今回、私は TGC エレクトロニクスで使われている COTS である、Texas Instruments 社の eTBC、ASP というデバイスの照射試験を行った。これらのデバイスの詳細については次節で述べる。表 A.1 に今回の放射線照射試験の内容と目的を示す。

	線源	実験施設	照射対象	主な目的
γ 線照射	^{60}Co	RCNST	eTBC ASP	TID に対する評価
陽子ビーム照射	70MeV 陽子	CYRIC	eTBC ASP	SEE に対する評価 SEU 断面積の測定

表 A.1: 放射線照射テストの内容と目的

A.1 照射対象

照射試験の対象となるデバイスについて説明する。今回照射したデバイスは、Texas Instruments 社の eTBC、ASP と呼ばれるものである。以下にそれぞれを簡単に説明し、照射用のテストボードについても説明する。

- eTBC(embedded Test-Bus Controller)[13]

図 A.1 のように、eTBC は上流の JTAG ホストと下流の JTAG モジュールの間に置かれる。ホストからの、コマンドとデータによって JTAG の各 TAP(Test Access Port) 信号を生成して、下流の JTAG モジュールをコントロールする。具体的には、3bit の Address と 8bit の Data 入力を持ち、Address で eTBC 内部の 8bit 幅のレジスタのどれかを指定し、Data の読み/書きを行う。レジスタには、eTBC の状態を指定するコンフィギュレーション・レジスタ、どのような信号を生成するかを指定するコマンド・レジスタ、下流のモジュールとやり取りするデータが置かれるデータ・レジスタ等がある。コマンドには、目的の TAP ステートへ移動するコマンド、下流のモジュールをデータやり取りするためのコマンドなどがあり、それにより eTBC は TAP シーケンス(図 B.3)を生成する。

- ASP(Adressable Scan Port)[13]

図 A.1 のように、eTBC と下流の JTAG モジュールの間に置かれ、各 TAP 信号の通過/遮断をコントロールする。コントロールには、N 線と呼ばれる Enable 信号を使う方法と、ASP 自体に 10bit のアドレスを割り当て、シャドウ・プロトコルというプロトコルでアドレスを指定する方法の 2 通りがある。

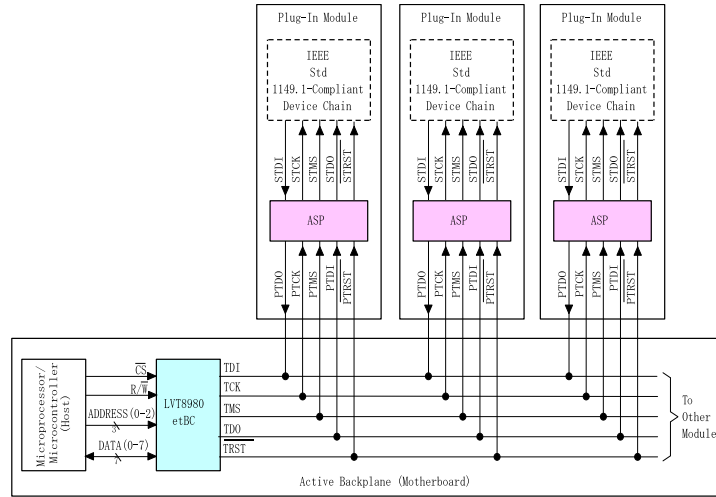


図 A.1: eTBC と ASP

TGC エレクトロニクスでは図 A.2 のように eTBC が HSC に、ASP が SSW に搭載されており、HSC から SSW 上の CPLD をコンフィグレーションするために用いている。ASP のコントロールは N 線によって行っている。[14]

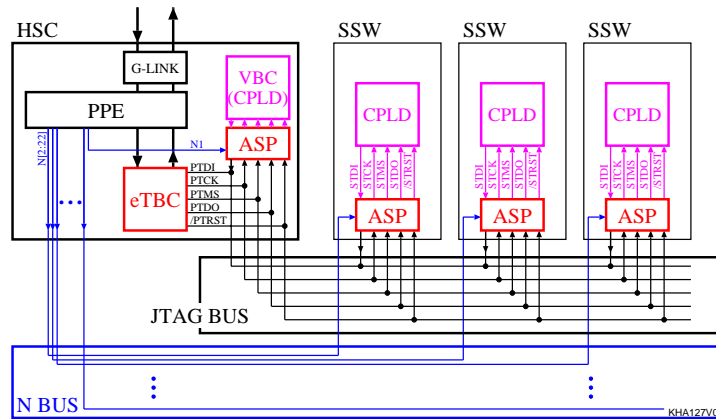


図 A.2: HSC と SSW

A.1.1 照射用ボード

図 A.3 に照射用ボードの写真を、図 A.4 にその構成図を示す。図に示すように、eTBC と ASP は 1 枚のボード上にあるが、回路的には独立している。どちらも、外との信号のやり取り

りは 34pin のフラットケーブルを介して LVDS 信号で行うようになっている。電源も eTBC、ASP、その他の素子で別になっており、TID によるリーク電流を素子ごとに測定出来るようになっている。ASP では、シャドウ・プロトコルのテストも出来るように、10 個のディップ・スイッチによって 10bit のアドレスを指定できるようになっている。

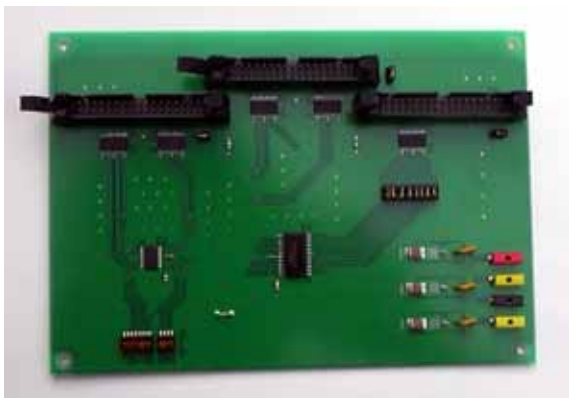


図 A.3: 照射用ボード

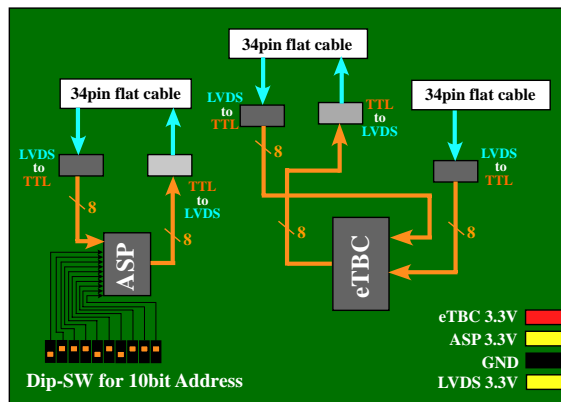


図 A.4: 照射用ボードの構成図

A.2 γ 線照射テスト

RCNST(東京大学原子力総合センター)にて行なった、 ^{60}Co による γ 線照射テストについて述べる。このテストの目的は eTBC、ASP の TID (Total Ionising Dose : 4.6.1 を参照) を調べることである。TGC エレクトロニクスが満たさなければならない耐放射線基準値 RTC は、4.6.1 節で示したように約 100Gy (= 10krad) である。従って、実際の ATLAS 実験で使用出来ることを実証するには、これだけの量の放射線を浴びた後でも、チップが本来持っている機能が正常に動作することを示す必要がある。今回の γ 照射では、実験精度の誤差を考慮して、安全係数をさらに厳しくし、eTBC、ASP とともに 3 チップは 300Gy 以上照射し、さらに各 1 チップは 800Gy まで照射した。測定は各デバイスのリーク電流を測定しながら、30 秒に 1 度正しく動作しているかを確認した。今回の γ 線照射では、eTBC と ASP それぞれ 4 チップずつ、4 枚のボードに照射した。

A.2.1 線照射時のセットアップ

図 A.5 に γ 照射試験のセットアップ図を示す。照射設備は 2 階立てになっており、1 階が照射室で、線源の ^{60}Co は通常 2 階の容器に収納されている。計測室は照射室とは壁で仕切られ、直径 10cm 程の穴を通して照射室内の回路と計測室の測定器を結線した。図 A.6 に示すように、線源は鉛筆型のものが 58 本、円筒容器に密封された状態になっており、照射時のみリモートコントロールによって照射室に下ろされる。線源の最大強度は 22TBq であり、水に対する最大線量率は 1000Gy/h である。 γ 線の強度の値は RCNST から提供されたもので、フリッケ線量計* によって測定された値である。照射率は、照射用ボードと線源の距離を調整することで行ない、また吸収線量の値を水からシリコンに対するものに変換[†]した。図 A.7 に、フリッケ線

* 硫酸鉄 (II) の硫酸性水溶液に放射線を照射し、水の放射線分解物との反応で Fe^{+2} イオンが Fe^{3+} イオンに酸化される。この酸化反応の変化量から吸収線量を求める線量計を鉄線量計またはフリッケ線量計という。

[†] D を吸収線量、Z を分子を構成する全原子番号の和、A を全ての質量数の和とすると、 $D_1 \times A_1 / Z_1 = D_2 \times A_2 / Z_2$ の関係が成り立つ。ここで、1 と 2 はそれぞれ基準とする分子と変換したい分子を表し、Si の場合、 $Z/A = 0.498$

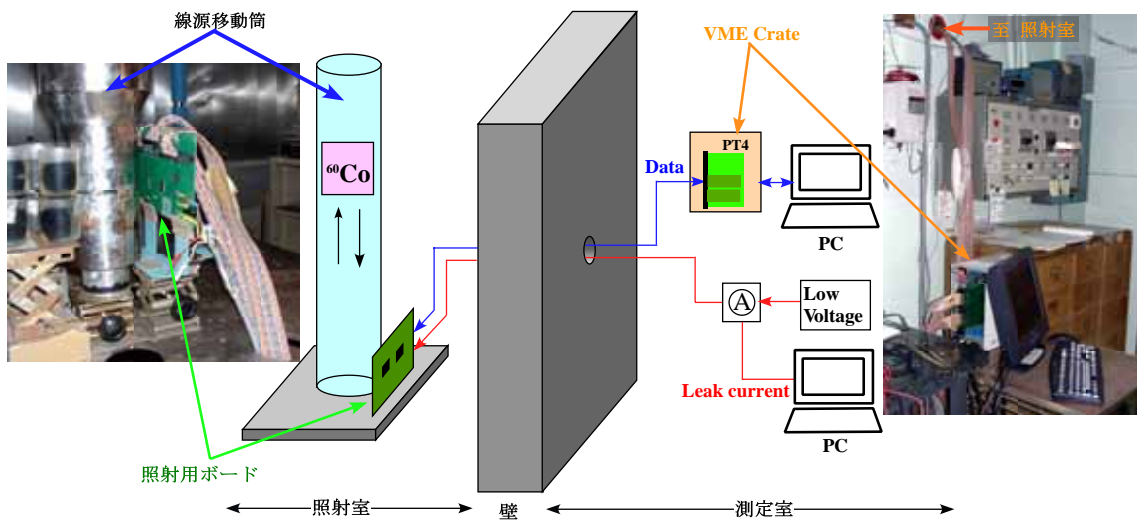


図 A.5: 照射試験セットアップ図

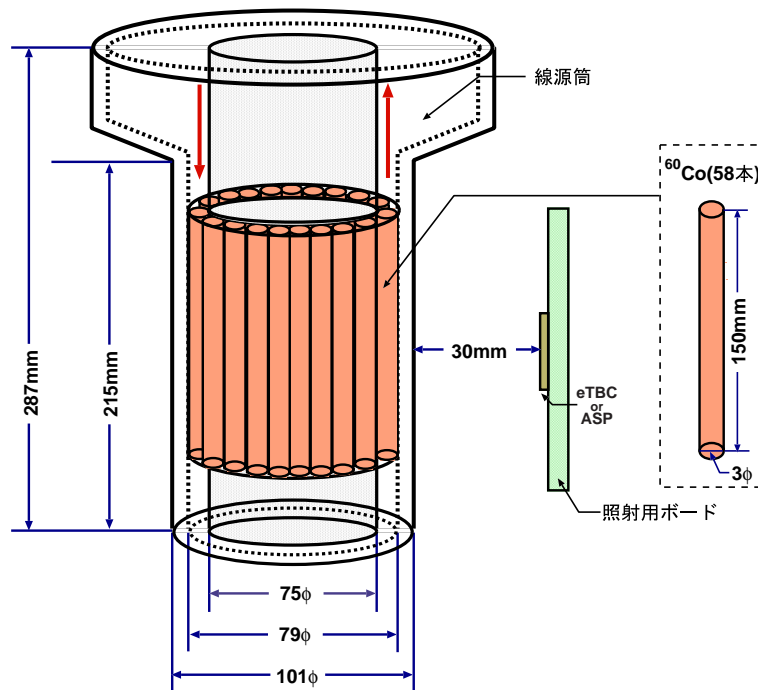


図 A.6: 照射試験セットアップ図 (詳細)

量計による線源からの距離とシリコンに対する線量率の関係を示す。測定は図 A.6 に示すように、線源と照射対象の距離を 30mm にして、12.4Gy/min の線量率で照射を行なった。

γ 線は、線源の入った円筒容器から放射状に出ており、eTBC と ASP は必ず同時に照射される。よって、照射中は照射ボード上の全てのデバイスに 3.3V の電源電圧を供給し、動作させた状態で照射を行い、eTBC、ASP のリーク電流測定と動作チェックを同時に行なった。

リーク電流測定は、eTBC、ASP にへ流れ込む電流の変化を見ることで行なった。また、動作チェックは、eTBC、ASP 共に次のような方法で行なった。図 A.8 に動作チェックの模式図である。

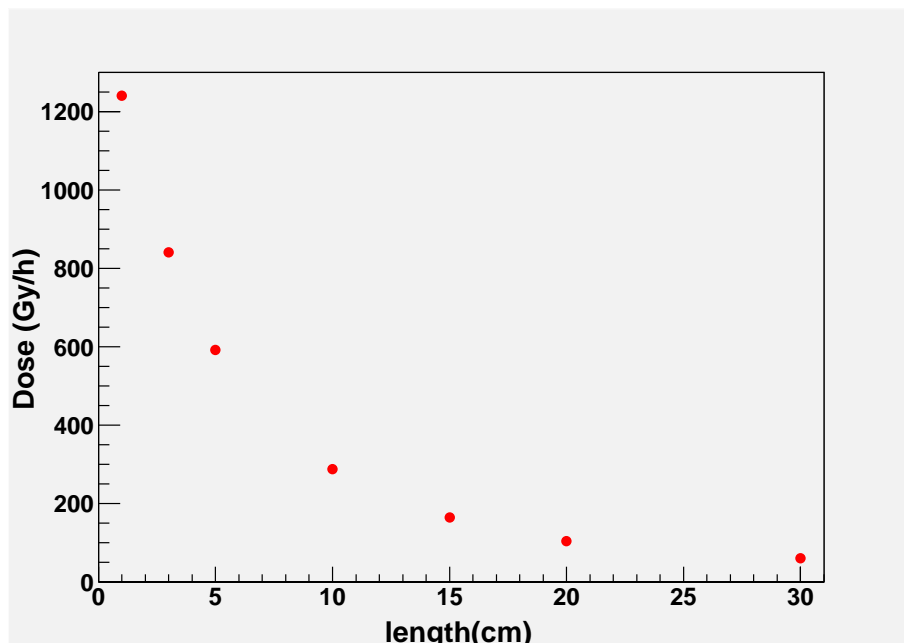


図 A.7: 線源からの距離とシリコンに対する γ 線の強度

示す。eTBC、ASP との信号のやり取りは PT4 という汎用の VME モジュール (5.1.3 節参照) に、パラレル LVDS 用のメザニンカードを取り付けて行った。PT4 上の FPGA には、eTBC、ASP に入力するパターンと、出力されたパターンを保存するために 2 つの FIFO を用意しておく。初めに、デバイスに入力するパターンを PC から VME バスを介して、FPGA 上の FIFO_{in} に書き込む。この FIFO_{in} は、書き込まれたパターンを繰り返し出力し続けるようになっている。PT4 上のクロックに同期させて、FIFO_{in} からパターンをデバイスに入力し、デバイスからの出力をもう 1 つの FIFO_{out} に記録する。FIFO_{out} に入った出力パターンは、VME バスを介して PC から読み出され、あらかじめ用意された「本来出るはずの出力パターン」と比較されエラーが無いかがチェックされる。eTBC、ASP の両方について、このような動作チェックを 30 秒に 1 度行った。

照射は eTBC が 4 チップ、ASP が 4 チップの 4 ボードについて行なった。今回の測定では、各照射対象ごとに線量の評価を厳密に行なったわけではないので、照射毎に線量の不確かさが約 10% 起きる可能性がある[‡]が、RHA が定める放射線基準値よりも線量を多くすることで対処した。表 A.2 に各デバイスへの照射時間と測定内容をまとめた。

A.2.2 測定結果と考察

eTBC、ASP についての照射中のリーク電流の推移をそれぞれ、図 A.9 と A.10 に示す。 γ 線の積算線量による劣化により、リーク電流が増加しているが、図のように TGC エレクトロニクスが満たさなければならない RHA の値である 100Gy(=10krad) まででは eTBC、ASP とともに目立ったリーク電流の増加は見られず、ほぼ一定であった。また、300Gy では eTBC で 6~12A ほど、ASP では 5~7A ほどリーク電流が上昇しているが両デバイスは正しく動作していた。

図 A.9 より、eTBC の chip4 のリーク電流は 480Gy でわずかに落ちているが、このときに

[‡]線源と照射対象の距離を 30mm としているが、最大で $\pm 5mm$ 程ずれて測定した可能性があり、フリック線量計の評価によると、最大で約 10% 線量率が異なる。

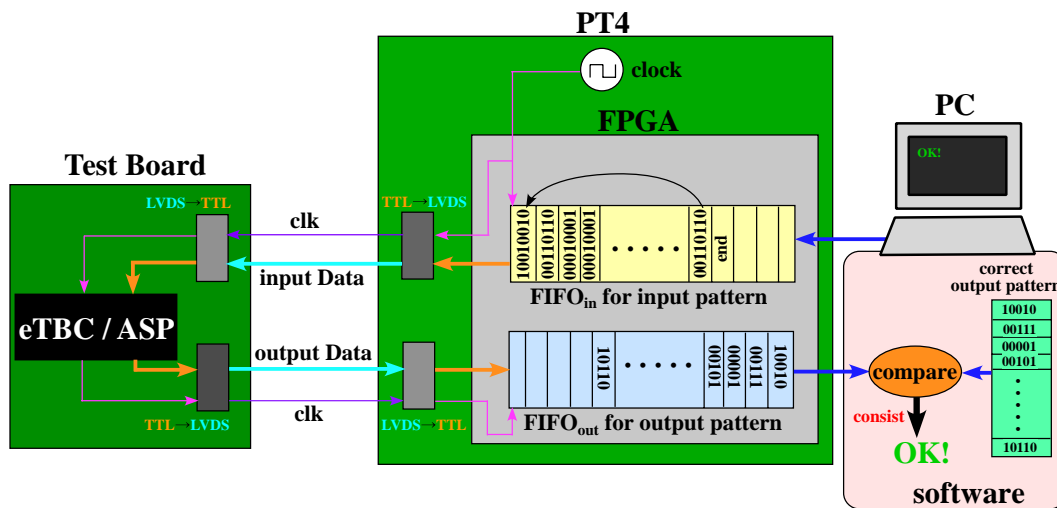


図 A.8: γ 線照射テストでの動作チェック

照射対象	照射時間 [min]	照射中の測定内容
eTBC	Chip1	リーク電流 動作チェック (30sec 毎)
	Chip2	
	Chip3	
	Chip4	
ASP	Chip1	
	Chip2	
	Chip3	
	Chip4	

表 A.2: γ 線照射試験の測定内容

eTBC の出力はすべて Hi レベルになり、それ以後はランダムな出力をして正しく動作しなくなった。ASP の chip4 では 720Gy でシャドウ・プロトコルでアドレスを指定した時に戻ってくるアクノリッジ信号が出力されなくなった。尚、その場合でも N 線による制御は正常に行えた。ASP の chip4 は照射後、数時間おいて再び動作チェックすると、全ての機能が正しく動くように戻っていた。

以上のように、eTBC では 480Gy、ASP では 720Gy で TID により正しく動作しなくなるが、耐放射線基準値 RTC の 100Gy では十分に正しく動作することが確認できた。

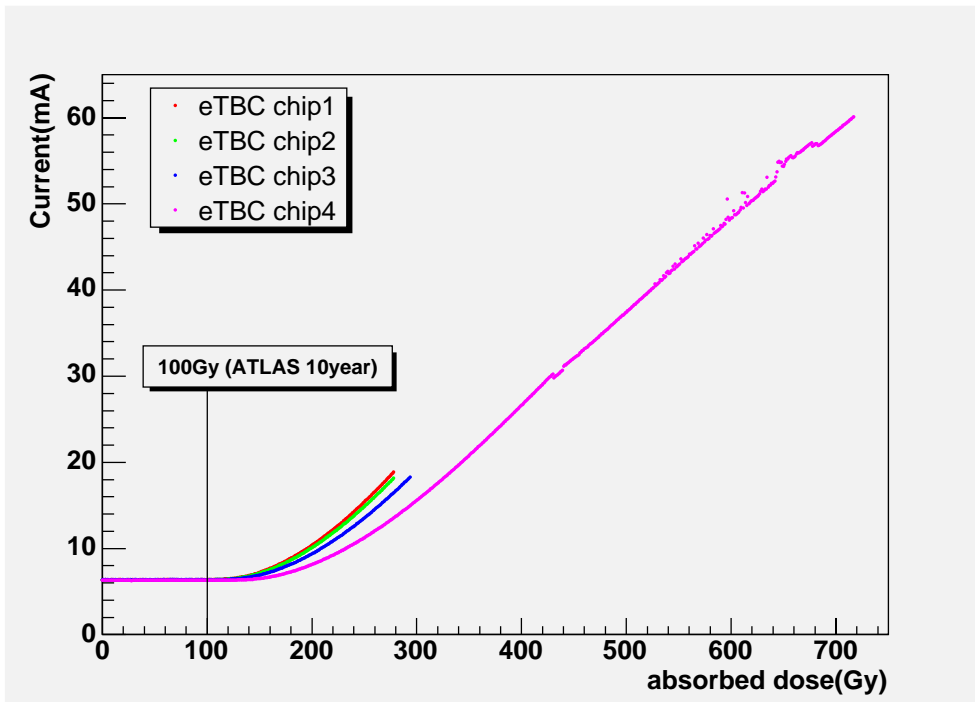


図 A.9: γ 線照射中の電流値の推移 (eTBC)

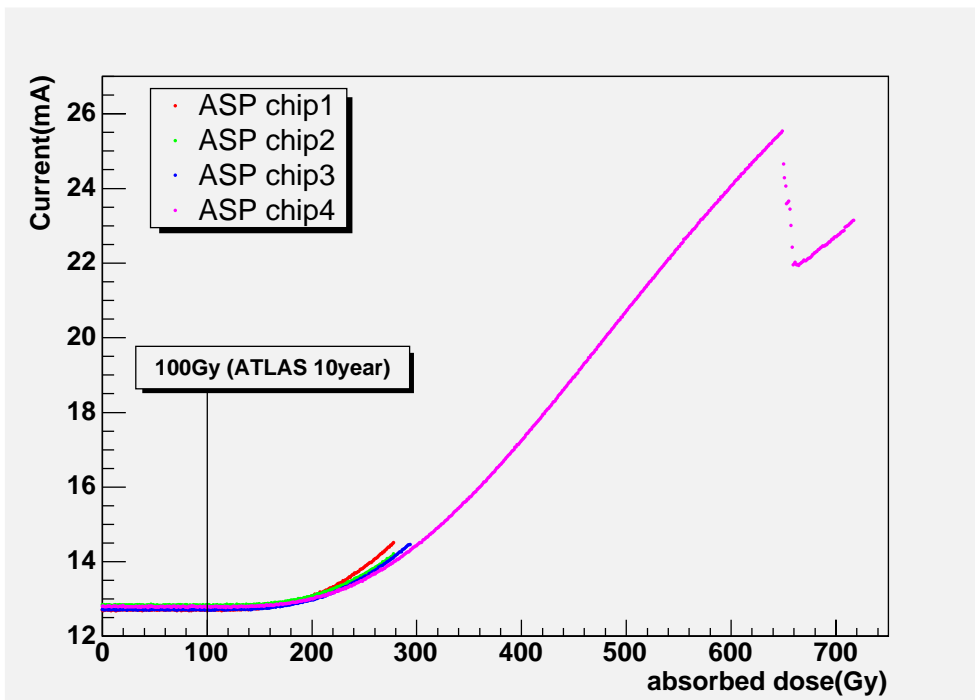


図 A.10: γ 線照射の電流値の推移 (ASP)

A.3 陽子ビームテスト

ここでは、CYRIC(東北大学サイクロトロン RI センター)で行った陽子線照射実験について述べる。SEEは、ハドロン通過により偶発的におきる現象であり、TIDのようにRHAからのシミュレーションによる基準値がない。よって、このテストの目的はSEEの断面積を測定し、ATLASの実験での使用に支障がないかどうか調べることである。放射線によるSEUの影響は主に20MeV以上のハドロンビームによって引き起こされ断面積は、それ以上のエネルギーになるとほぼ一定になるので今回の照射試験では70MeV陽子ビームを用いて照射を行った[9]。eTBC、ASP各2チップ照射し、陽子線によるTIDの影響も調べるため電流値も測定した。陽子線照射試験の測定内容を表A.3にまとめた。

照射対象	照射時間 [min]		照射中の測定内容
eTBC	Chip1	10	
	Chip2	17	
ASP	Chip1	13	
	Chip2	21	

表 A.3: 陽子線照射試験の測定内容

A.3.1 実験時のセットアップ

照射用ボードは、 γ 線照射試験のときと同様のボードである。図A.11に実験全体のセットアップ図を示す。照射ボードは、X-Yステージ[§]に取り付けられ、PCからコントローラを介してその位置を2次元的に移動させられる用になっている。信号入出力用のフラットケーブルは、 γ 線照射のときと同様にPT4と繋ぎVMEバスを介してPCとやり取りできるようになっている。さらに、電流を測定するためにデジタルマルチメータで行いPCから読み取れるようにした。照射中は照射室に入れないため、これら照射室に置かれるPCはネットワークを経由して制御室からVNC[¶]またはSSHを用いて遠隔操作した。

図A.12に照射室の写真を示す。陽子ビームは厚さ100 μm 、直径20mmのチタンフォイルを通過して各チップに照射される。このビームダンプ付近にはビームのモニタに使うためにファイバースynchレタを設置した。そして照射ボードの後ろにはビームダンプがある。

次に、照射ボードのセットアップ図をA.13に示す。X-Yステージには照射ボードをモニターするために、アルミフォイルにZnSを塗った蛍光性のスクリーンを設置した。照射中はまずこのスクリーンモニターすることによりビームの照準を合わせ、それからターゲットをビーム位置に動かした。実際のビームプロファイルと強度の測定は、Cu0.25mm(99.99%以上)を25mm角にし、チップに貼り付け、照射後のこのCuから線量測定などを行った。ビームラインの最終段のストッパーで測定したビームの電流は、約3nAでありビームの直径は最大20mmまで広げることができる。

次に照射中の測定手順を説明する。SEU頻度の測定は次のように行った。基本的には、 γ 線照射試験での動作チェックと同じである。図A.14に、SEU頻度測定の様式図を示す。 γ 線照射試験では、30秒に1度行っていたチェックを連続的に行えるように、ソフトウェアで行って

[§]ターゲットやビームモニタの位置調整を遠隔操作で行なえる装置

[¶]VNC:Virtual Network Control ネットワークに繋がった他のコンピュータの画面を遠隔操作するソフトウェア。

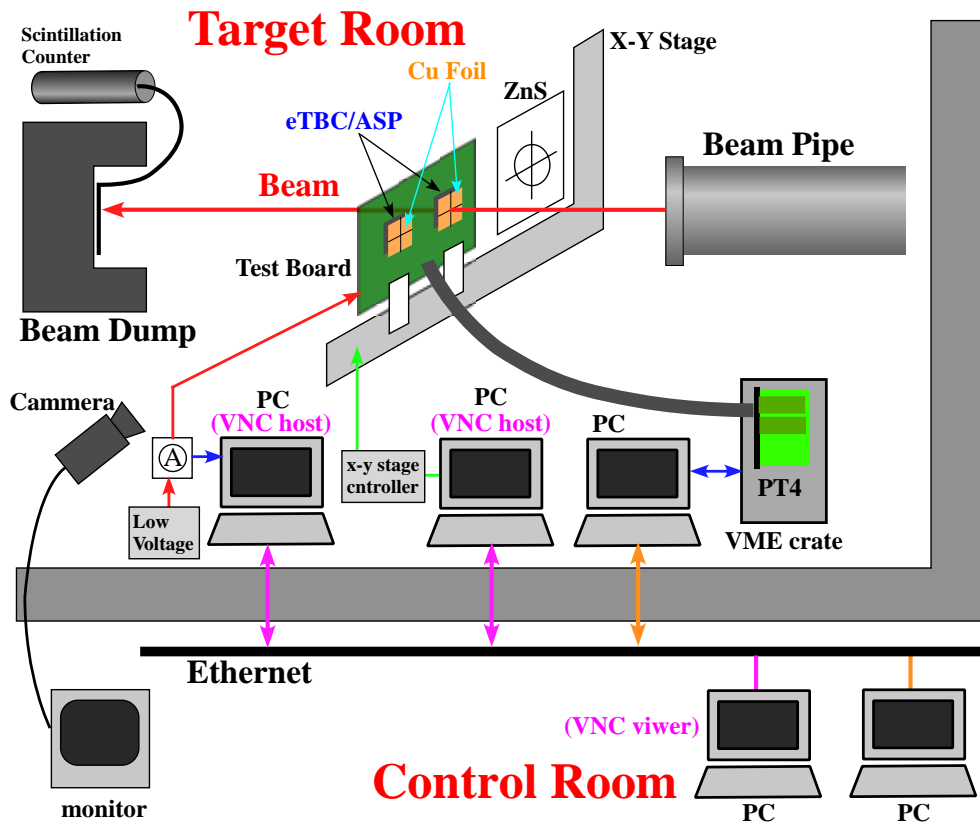


図 A.11: 陽子線照射試験セットアップ図

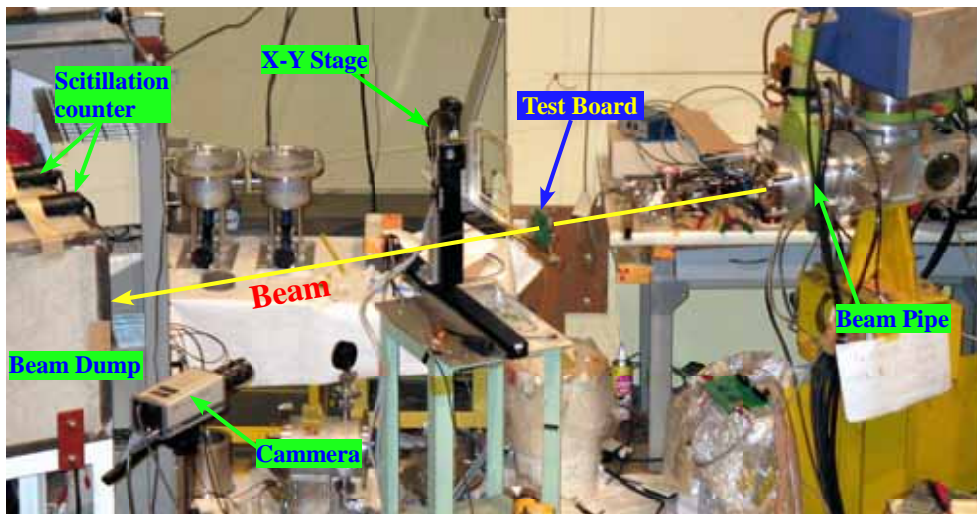


図 A.12: 陽子ビーム照射試験セットアップ図 (写真)

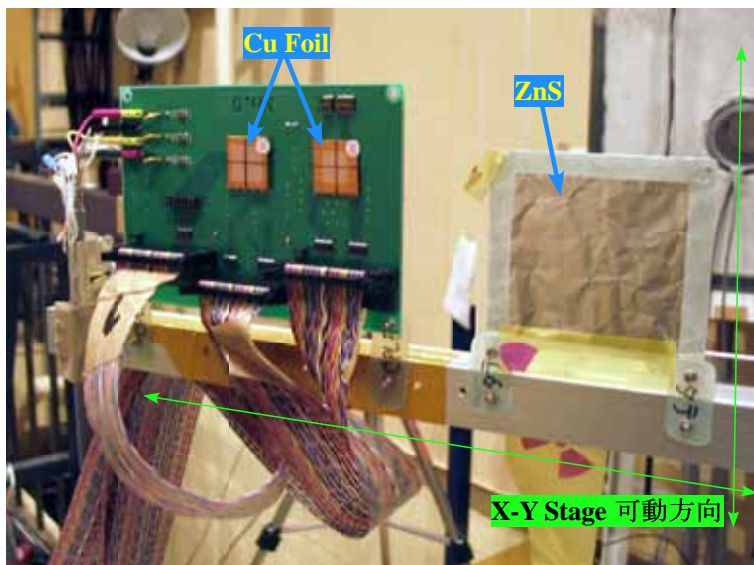


図 A.13: 照射ボードのセットアップ

たチェックを FPGA 上で行い、エラーが起きた場合のみ出力用 FIFO にデータを保存し PC から読み出すようにした。そして、エラーが起きた回数を SEU の回数とした。

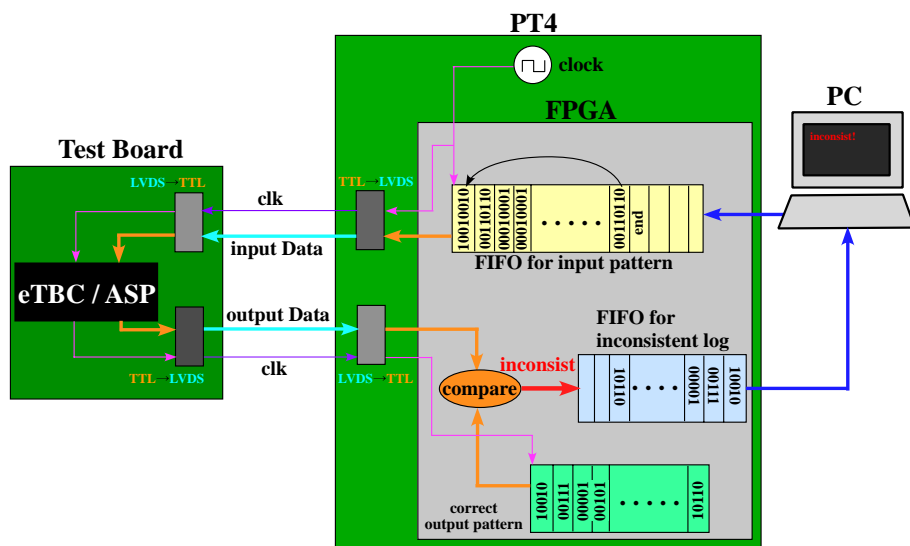


図 A.14: SEU 頻度測定

A.3.2 測定結果と考察

まず、照射線量を定量的に押さえるため、今回の照射試験では Cu フォイルを使用した線量測定を行った。照射し、照射後 Ge 検出器により γ 線スペクトルの測定を検出器の Dead Time を除いて 1000 秒行った。例としてチップ 1 に張った Cu 箔の γ 線スペクトルを図 A.15 に示す。線量測定はこの図に書かれている γ 線のピークを用いて行い、各チップ毎の Ge 検出器で観測

される γ 線の種類に違いはなかった。

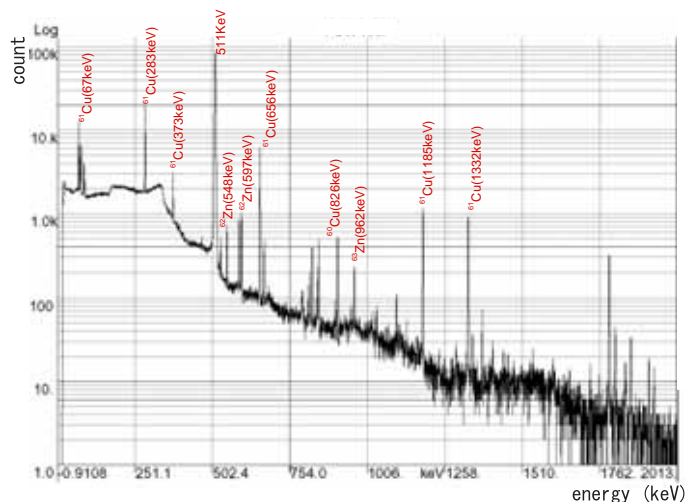


図 A.15: Cu フォイルからの γ 線スペクトル

また、各チップの相対強度の補正を行うために、イメージングプレートを用いて測定を行った。イメージングプレートとは、輝尽性発光体が塗布されたフィルム状の画像センサーである。X線、電子線、中性子などの放射線を高感度で検知し、2次元の画像が得られる。輝尽性発光体^{||}に放射線を照射したのちレーザーを照射すると、放射線照射を受けた部分が発光する。この光を光電子増倍管で電流に変換し、画像化する。イメージングプレートの輝尽性発光体の強度はPSL値という単位で表現され照射線量に比例した値となっている。各チップのイメージングプレートで測定したものを図 A.16 ~ A.19 に示す。

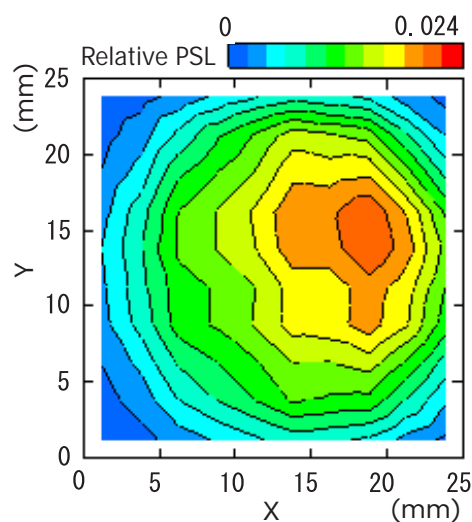
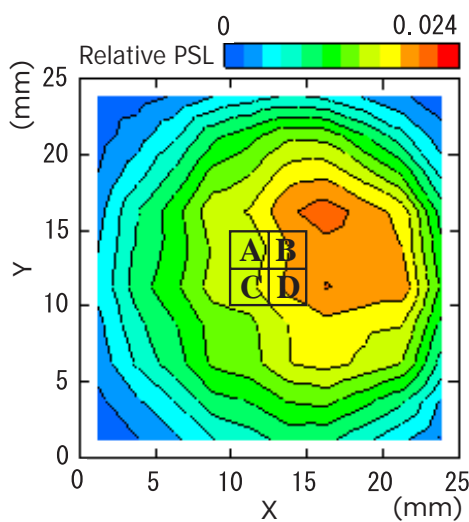


図 A.16: eTBC chip1 のビームプロファイル

図 A.17: eTBC chip2 ビームプロファイル

^{||}輝尽発光 (Photo-Stimulated Luminescence; PSL) とは、物質に放射線などの第1の刺激を与えた後で、第2の刺激を励起光としてその物質に照射した時に、第2の光よりも波長が短く、かつ最初の刺激に対応した第3の光を発する発光現象のこと。

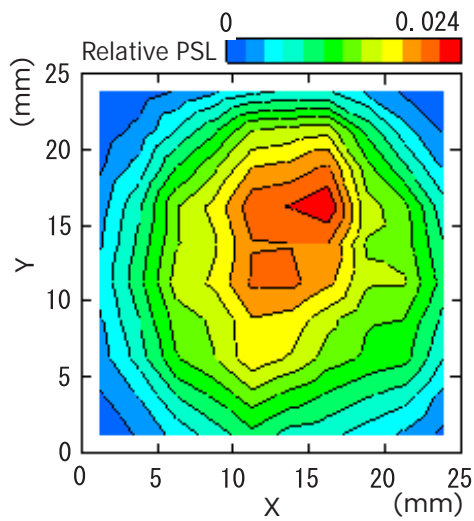


図 A.18: ASP chip1 ビームプロファイル

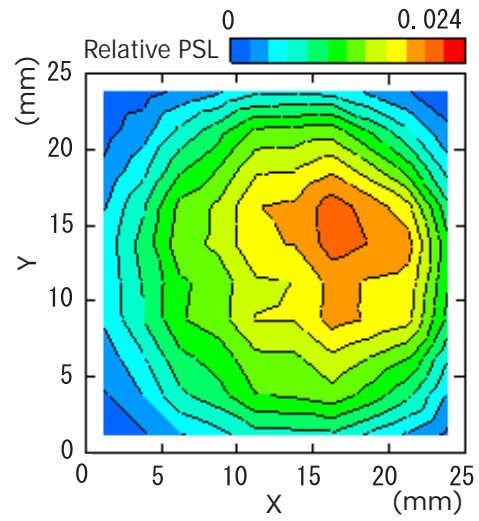


図 A.19: ASP chip2 ビームプロファイル

この等高線では PSL 値を全体を 1 として表現しており、相対強度 ϵ_r は式 A.3.2 から PSL 値の分布図を 100 ピクセルに分割して中央の 4 ピクセルを使用して求めた。

$$\epsilon_r = \frac{\sum_{j=A,B,C,D} PSL_j}{\sum_{i=1}^{100} PSL_i} \quad (\text{A.1})$$

Cu 箔の線量測定から陽子のフラックスを見積りについて述べる。陽子により生成された核の個数を Z 、プロトンのフラックス Φ [cm^2/sec]、ターゲットの原子数を N_t 、有効断面積 σ 、崩壊定数を λ [sec] とすると、目的とする核の生成速度は

$$\frac{dN}{dt} = \phi \cdot \sigma_{eff} \cdot N_t - \lambda \cdot N \quad (\text{A.2})$$

ここで有効断面積は陽子と直接反応することによって生成される断面積である。陽子線照射時間を T_r として、式 A.2 を積分すると

$$N = \frac{\phi \times \sigma_{eff} \times N_t}{\lambda} \times (1 - \exp(-\lambda \times T_r)) \quad (\text{A.3})$$

になる。Cu フォイルの厚さ t ($100\mu\text{m}$) 面積を S ($2.5\text{cm} \times 2.5\text{cm}$) 密度を ρ 、原子量を A 、アボガドロ数を N_A とすると

$$N_t = t \times S \times \rho N_A / A = 5.27 \times 10^{21} [\text{個}] \quad (\text{A.4})$$

とターゲットの原子数が求められる。照射終了時刻を $t=0$ として時刻 t にこの Cu 箔から放出する放射能の強さ B [Bq] は

$$B(T) = \lambda \cdot N(t) = \lambda N \cdot \exp(-\lambda t) [\text{Bq}] \quad (\text{A.5})$$

になる。

照射後 T_m [sec] より T_c [sec] 測定を行ったときに得られる γ 線の数 C_γ は γ 線への分岐比を Br

と検出効率 ϵ をすると

$$C_\gamma = Br\epsilon \int_{T_m}^{T_m+T_c} B(t)dt \quad (\text{A.6})$$

$$= Br\epsilon N(\exp(\lambda T_m) - \exp(-\lambda(T_m - T_c))) \quad (\text{A.7})$$

となり、式 A.3 に代入すると、陽子のフラックス ϕ は

$$\phi = \frac{C_r \lambda}{\epsilon Br \sigma_{eff} N_t} (1 - \exp(\lambda T_r)) (\exp(\lambda T_m) - \exp(-\lambda(T_m + T_c))) \quad (\text{A.8})$$

となる。ただし、ここで求めた陽子のフラックスは 25mm 角の Cu フォイルにビームが一様に照射している仮定をしている。しかし、実際には IP によるビームプロファイルで見たように、チップのコア部分は平均よりも高いビーム強度で照射されていたことがわかる。そこで式で求めた相対強度を用いるとチップ中心部の陽子のフルエンスは以下ようになる。

$$F = \phi \times T_r \times 2.5^2 \times \epsilon / 0.5^2 \quad (\text{A.9})$$

次に各チップが受けた吸収線量 X を求める。70MeV 陽子によるシリコン中のエネルギー損失 dE/dx は

$$\frac{dE}{dx} = 7.6 [\text{MeVcm}^2/\text{g}] = 1.6 \times 10^{-5} \quad [\text{erg} \cdot \text{cm}^2/\text{g}] \quad (\text{A.10})$$

である。このエネルギー損失と陽子フルエンスから吸収線量は以下ようになる。

$$X = \frac{dE}{dx} \times F \quad (\text{A.11})$$

$$= 1.6 \times 10^{-5} \times F [\text{erg/g}] \quad (\text{A.12})$$

$$= 1.6 \times 10^{-7} \times F [\text{rad}] \quad (\text{A.13})$$

以上の結果を表 A.4 に示す。

デバイス	chip	ビーム電流	照射時間	吸収線量 (Gy)	フルエンス (cm^{-2})
eTBC	No.1	4.0nA	600sec	543.5 \pm 20.0	$3.40 \times 10^{11} \pm 1.25 \times 10^{10}$
	No.2	1.7nA	1000sec	369.2 \pm 13.3	$2.31 \times 10^{11} \pm 8.29 \times 10^9$
ASP	No.1	3.9nA	750sec	826.2 \pm 26.4	$5.16 \times 10^{11} \pm 1.66 \times 10^{10}$
	No.2	1.7nA	1260sec	456.6 \pm 16.2	$2.85 \times 10^{11} \pm 1.01 \times 10^{10}$

表 A.4: 照射線量と陽子フルエンス

線量測定結果より、照射中に陽子ビームによる吸収線量が常に一定であると仮定して、照射時間を吸収線量に直したときのリーク電流の推移を、eTBC の場合を図 A.21 に、ASP の場合を図 A.21 に示す。

次にシフトレジスタから測定された SEU の回数をもとに、eTBC、ASP の SEU の断面積を求める。SEU の断面積は式 A.14 から計算できる。

$$\sigma_{SEU} = (\text{SEU 発生回数}) / \text{Fluence} [\text{cm}^2/\text{chip}] \quad (\text{A.14})$$

SEU 断面積の測定結果及び、計算結果を A.5 に示す。SEU は一回も起こらなかった chip については、断面積の上限の値を計算した。この上限値は信頼基準は 90% である。

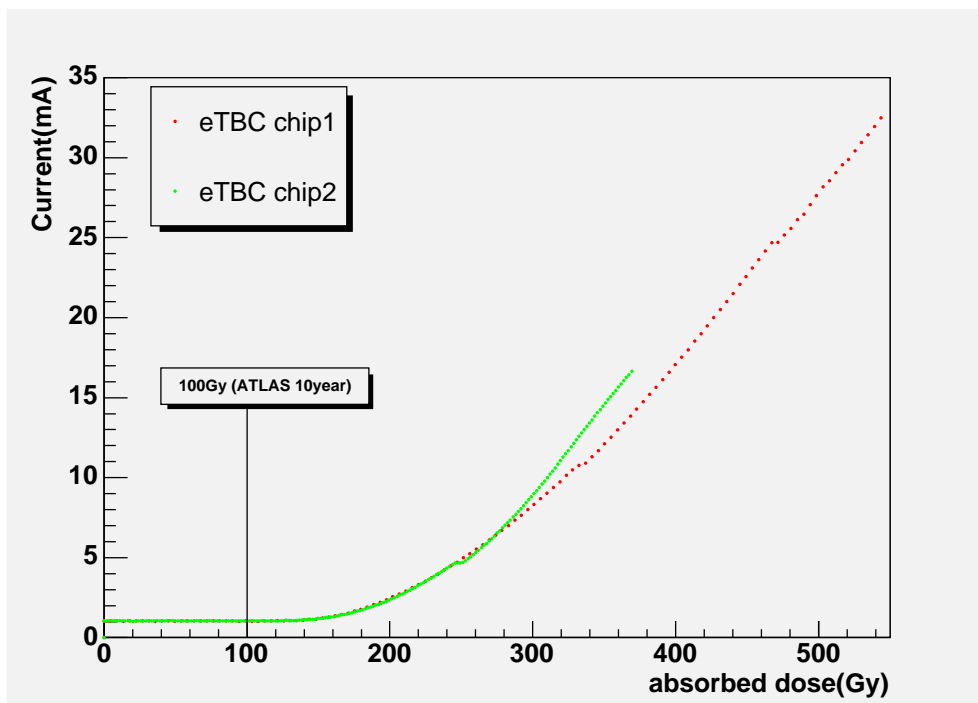


図 A.20: 陽子線照射中の電流値の推移 (eTBC)

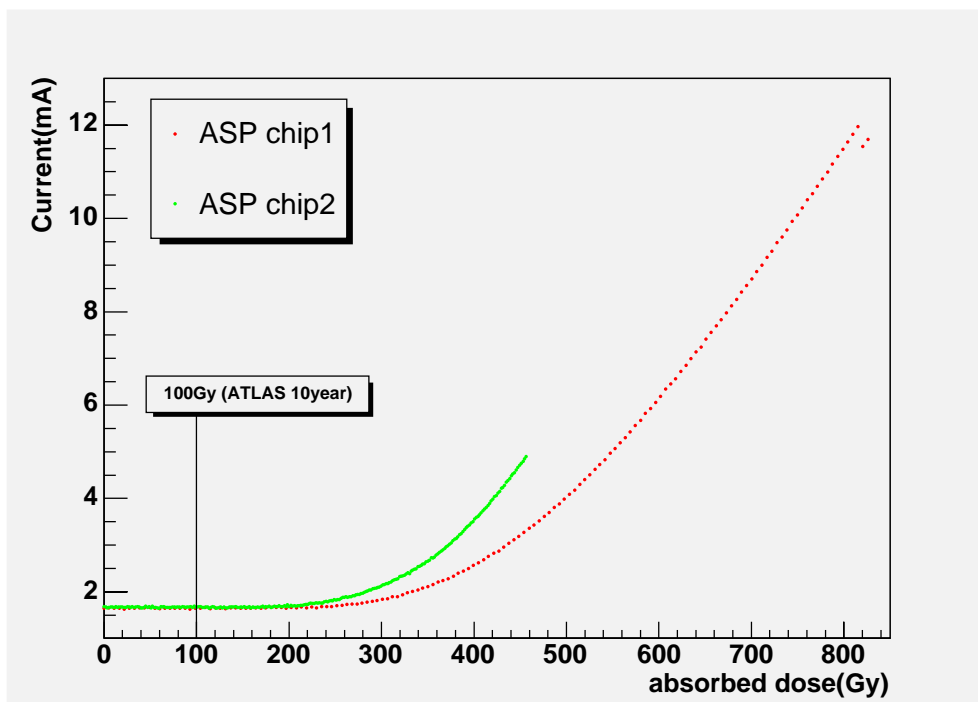


図 A.21: 陽子線照射中の電流値の推移 (ASP)

デバイス	chip	ビーム電流	Proton Fluence (proton/cm ²)	No. of SEU	Cross Section (cm ² /bit)
eTBC	No.1	~ 4.0nA	3.40×10 ¹¹	5	1.47×10 ⁻¹¹
	No.2	~ 1.7nA	2.31×10 ¹¹	7	3.30×10 ⁻¹¹
合計			5.71×10 ¹¹	12	2.10×10 ⁻¹¹
ASP	No.1	~ 3.9nA	5.16×10 ¹¹	0	<4.73×10 ⁻¹²
	No.2	~ 1.7nA	2.85×10 ¹¹	3	1.05×10 ⁻¹¹
合計			8.01×10 ¹¹	3	3.75×10 ⁻¹²

表 A.5: 陽子線照射テストからの SEU 断面積の計算結果

次に、この測定した断面積から、ATLAS10年間稼動したときを想定したフルエンスの値を用いて、TGCエレクトロニクス全体のすべての eTBC、ASP に対する SEU 発生率を求める。eTBC は HSC に 1 つ搭載され、HSC は ATLAS 全体で 24 枚用いられる。また、ASP は HPT に 2 つ、SSW に 1 つ搭載される。HPT は ATLAS 全体で 192 枚、SSW は約 200 枚が用いられるので、ASP としては 584 個が用いられる。

$$SEU_{rate} = \frac{\sigma_{SEU}[cm^2/chip] \times RTC[cm^2/10years]}{ATLAS \text{ の } 10 \text{ 年分の稼働時間 } [s]} \times \text{使用チップ数} \quad (A.15)$$

$$= \frac{\sigma_{SEU} \times 7.0 \times 10^{10}}{3.15 \times 10^8} \times \text{使用チップ数} \quad (A.16)$$

を使って、表 A.6 のような SEU 頻度を計算できる。

デバイス	全システムでのチップ数	SEU _{rate} [SEU/sec/TGC ALL System]
eTBC	24	1.12×10 ⁻⁷
ASP	584	4.86×10 ⁻⁷

表 A.6: ATLAS 全体での SEU 頻度

表 A.6 より、両デバイスとも数十日に 1 度程度 SEU が起こる程度である。さらに、eTBC、ASP を用いて通信する HPT や SSW の JTAG ラインは常にデータが流れているわけではなく、HPT、SSW をコントロールするときのみ使用するので、実際にデータが SEU によって影響を受ける確率は非常に少なくなる。よって、eTBC、ASP とともに ATLAS 実験での仕様に十分耐えうることが確認できた。

A.4 放射線照射試験のまとめ

今回 HSC、HPT、SSW に搭載される eTBC、ASP が ATLAS10年間の放射線に耐えられるか、γ線、陽子線を照射して評価した。γ線では TID に対する評価をし、陽子線では SEE に対する評価を行った。γ線照射試験では、放射線基準値 100Gy を照射しても、電源電流の増加がほとんどおきていなかった。また、陽子線照射試験においては ~ 10¹¹ 程度のフルエンスの陽子に対して、数回の SEU を確認した。そして、SEU 断面積が十分に小さいことにより、ATLAS 実験での SEU による影響は無視出来る程度であることを確認した。この 2 つの照射試験の結果 eTBC、ASP が ATLAS 実験で使用するのに十分な放射線耐性を持っていることが検証できた。

付録B JTAG

JTAG は Joint Test Action Group (JTAG) が考えた「バウンダリ・スキャン」法を基にした規格 (IEEE1149.1) である。[15] バウンダリ・スキャンは IC のデバッグ、動作チェックのために IC の境界 (バウンダリ) である、I/O ピンの手前にシフトレジスタを配置する方法である。図 B.1 のように I/O ピンの手前に平行・イン / アウト機能のあるシフトレジスタ (バウンダリ・スキャン・レジスタ:BSR、水色) を置き、素子の機能とは関係の無い Test Access Port (TAP) と呼ばれる Test Clock(TCK)、Test Mode Select(TMS)、Test Data In(TDI)、Test Data Out(TDO)、Test Reset (TRST) の 5 本の信号が用意される。

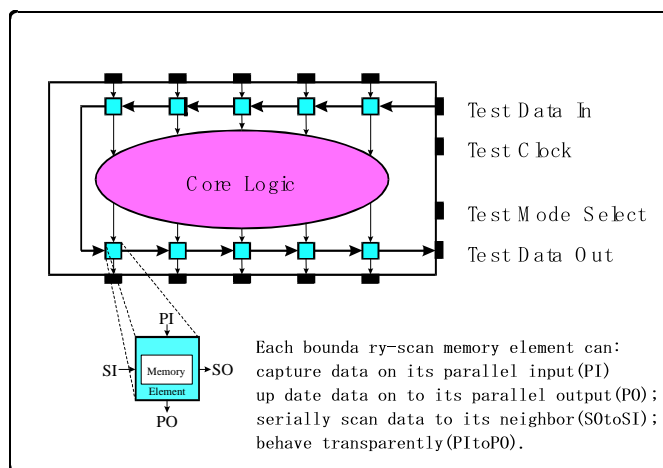


図 B.1: バウンダリ・スキャン・レジスタ

更に TAP コントローラと呼ばれる、TMS によって動く状態マシンがあり、それにより BSR の動作を決を決定する。BCR は TCK に合わせて動作し、次のように用いられる。

1. はじめに、必要な数 TCK を打ちながら TDI から信号を流し素子の入力側 (図 B.1 では上側) BCR に値をセットする
2. そして TMS で TAP コントローラの状態を動かし BCR を平行・イン動作のモードにする
3. 出力側の (下側) レジスタに出力値を読み込む
4. 最後に、また必要な数の TCK を打って出力値を読み取る

このようにして、素子にあるパターンを入力をした時の出力を読むことが出来、動作テストが出来る。

IEEE の標準 JTAG デバイスは図 B.2 のような構成になっている。BSR の他に Instruction-Register(IR), Identification Register, bypass Register 等のレジスタがあり、TAP コントローラは図 B.3 に従って動作する。

レジスタの読み書きは次のようにして行われる。

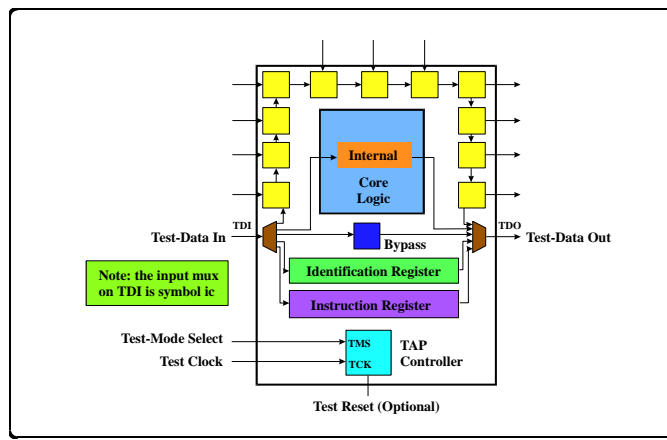


図 B.2: JTAG デバイスの構成

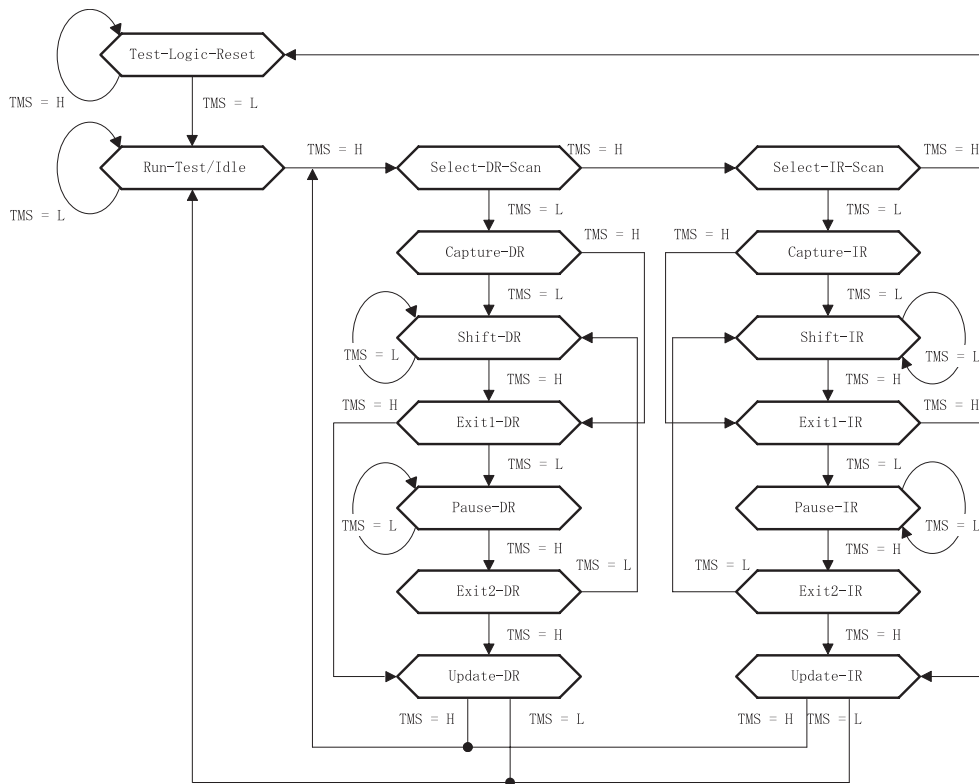


図 B.3: TAP Controller State

1. Shift-IR ステートにして IR(図 B.2 では紫) に値をセットする、
2. Update ステートで、IR の値によって決まるレジスタ (Bypass (青), BSR(黄)) が TDI,TDO に繋がれる。
3. そのレジスタへ書き / 読み込みを行う

つまり Shift-IR で IR にレジスタのアドレスをセットして、Shift-DR でレジスタに書き / 読み込みをするという使い方が出来る。TGC エレクトロニクスの ASIC ではこの昨日を利用して、レジスタへの値の設定を行っている。

参考文献

- [1] CERN/LHCC/99-15, "ATLAS Detector and Physics Performance Technical Design Report Volume2", ATLAS TDR 15, 25 May 1999.
- [2] CERN/LHCC/99-14, "ATLAS Detector and Physics Performance Technical Design Report Volume1", ATLAS TDR 14, 25 May 1999.
- [3] "ATLAS High-Level Trigger, Data Acquisition and Controls", "ATLAS TDR-016, 2 October 2003
- [4] "ATLAS Level1 Trigger Technical Design Report", ATLAS TDR 12, 20 August 1999.
- [5] CERN/LHCC97-22 "ATLAS Muon Spectrometer Technical Design Report" 5 June 1997.
- [6] "LVL1 Muon Trigger(User) Requirements Document(DRAFT version1.4). 9 March 1998.
- [7] RD12Project. "TTC-VMEbus INTERFACE TTCvi -MkII"
<http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html>, May 2000
- [8] P.Moreira J.Christiansen A.Marchiro T.Toil "TTCrx Reference Manual"
<http://atlas.web.cern.ch/Atlas/GROUPS/DAQTRIG/LEVEL1/LVL1ctpttc.html>", June 2002
- [9] F.Faccio M.Huhtinen. "Computational method to estimating Single Event Upset rate in an accelerator environment"
<http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/WWW/RAD/RadWebPage/Tutorial/seu.pdf>,
- [10] 香取勇一 東京大学修士学位論文 「アトラス実験ミュオントリガーシステム用 IC の開発」 2001 年 1 月
- [11] 竹本 享史 東京大学修士学位論文 「アトラス実験ミュオントリガーシステム用 IC の開発と総合評価」 2003 年 1 月
- [12] 小松 知 東京都立大学修士学位論文 「ATLAS 実験におけるエンドキャップレベル 1 ミュオントリガーシステムの統合テスト」 2003 年 1 月
- [13] <http://www.tij.co.jp/>
- [14] 蓮子和己 "High-pT/Star-Switch Crate and Interface to ROD" http://www.icepp.s.u-tokyo.ac.jp/hasuko/atlas/hsc/PDR_HSC_CCI.pdf, 16 February 2001

- [15] 株式会社 ADFT 「バウンダリ・スキャン入門」
http://www.ontest.co.jp/PDF/BS_Tutorial.pdf

謝辞

本研究を行なう機会を与えて頂くと共に多くの助言を頂いた指導教官 福永力助教授^aに深く感謝致します。また本研究において、常に丁寧な御指導と助言を頂きました佐々木修氏^bに深く感謝致します。本研究で技術面を中心に多大なる御支援と御指導を頂いた池野正弘氏^bに心より感謝致します。TGCエレクトロニクスグループにおいて、様々な御指摘と助言を頂いた坂本宏氏^c、蔵重久弥氏^d、新井康夫氏^bにも深く感謝致します。また様々な面で貴重な意見と御指導を頂いた近藤敬比古氏^b、岩崎博行氏^b、田中秀治氏^b、石井恒次氏^d、竹下徹氏^e、長谷川庸司氏^e、小林富雄氏^c、川本辰男氏^c、他 ATLAS 日本グループの方々に深く感謝致します。本研究で全ての面において終始丁寧な指導と、適切な助言を頂いた長野邦浩氏^bには深く深く感謝致します。多くの部分で丁寧な指導と適切な助言を頂いた前野忠嗣氏ⁱにも心から深く感謝致します。ビームテストにおいて多大なご指導を頂いた、石野雅也氏^c、南条創氏^cに心より感謝致します。TGCエレクトロニクスグループで共に研究を行ないながら指導して頂いた一宮亮氏^d、辻伸介氏^d、小松知氏^aに深く感謝致します。同じくTGCエレクトロニクスグループで共に研究を行い、議論し、いつも様々なことで助けてもらった片岡洋介君^c、澁谷和弘君^c、作間孝雄君^g、高田徳之君^e、野本裕史君^c、羽根八尋君^c、藤井祐介君^cに心から感謝します。様々な面で御協力して頂いたTGCグループの大下英敏氏^e、荒滝陽二君^dに深く感謝致します。放射線テストで大変お世話になった、東京大学原子力研究総合センターや東北大学サイクロトロン・ラジオアイソトープセンターの方々に深く感謝致します。

また、秘書の朝日恵美さん^b、伊藤千代さん^c、小野涼子さん^c、塚本郁絵さん^c、萬内恵美さん^cには大変お世話になりました、本当にありがとうございました。

研究室においていつも迷惑をかけっぱなしだった私を支え、様々な相談にのってくれた田中誠君^a、大木豊君^a、福地直也君^aに心から感謝します。

上記の方々の協力がなければ、私の研究生活は成り立たなかったと思います。最後に全ての方々に、心から感謝を申し上げます。そして上記の方々以外にも私を支えてくれた友人、家族にこの場を借りて感謝したいと思います。

所属:

東京都立大学 理学研究科^a

高エネルギー加速器研究機構 (KEK)^b

東京大学素粒子物理国際研究センター (ICEPP)^c

神戸大学 自然科学研究科^d

信州大学 工学系研究科^e

東京農工大学 工学系研究科^g

欧州原子核研究機構 (CERN)ⁱ