

修士論文

ATLAS 実験ミュオントリガーシステム用
エレクトロニクスの開発及びテスト

京都大学大学院理学研究科 物理学宇宙物理学専攻
物理学第二教室 高エネルギー物理学研究室
辻 伸介

平成 15 年 2 月 1 日

概要

現在、CERN(欧州原子核研究機構)において世界最大の重心系衝突エネルギー(14TeV)を実現するハドロンコライダーLHC(The Large Hadron Collider)が建設中である。ATLASはLHCの周上に置かれる汎用の粒子検出器であり、2007年の運転開始を目指している。標準理論で予言されているうち、唯一未発見のヒッグス粒子や、超対称性粒子の探索をはじめとする、エネルギーフロンティアでの新しい物理現象を捉えることが期待されている。

この実験では約40MHzという非常に高頻度のバンチ交差が起こり膨大な量のイベントが生成されるため、トリガーシステムの効率が重要である。

TGC(Thin Gap Chamber)はATLAS測定器のエンドキャップ部に置かれるトリガー用のミュオン検出器であり、本稿はこのTGCを用いたトリガーシステムのエレクトロニクスについて述べたものである。

ATLAS実験のトリガーシステムはデータ処理の順番にレベル1、レベル2、レベル3の3段階に分かれている。TGCミュオントリガーシステムはこの3段階の中で最も高速性を要求されるレベル1トリガーを担う。また、TGCからの出力チャンネル数は32万チャンネルにも及び、この処理にはハードウェアでの実装が不可欠である。加えて、これらのエレクトロニクスには実験ホール内に設置せざるを得ないものが多く、放射線耐性をも備えていなければならない。

TGCからの信号を処理するエレクトロニクスはレベル1トリガー信号を生成する部分、レベル1トリガー信号を待つ、読み出しを行う部分、これらエレクトロニクス全体をコントロールする部分に大別される。

TGCのヒット情報はデジタル化とバンチの識別が行った後、トリガー信号生成系では、複数層のTGCのヒット情報とコインシデンスを取ることでレベル1トリガー判定に寄与する。この処理と並行し、読み出し系ではレベル1トリガー判定が下されるまでの間データを保持し続け、そのデータがレベル1で採用されると、レベル2判定を待つための次のバッファに送る。

レベル2トリガー判定までの読み出し系はReadout Driver(ROD)と呼ばれるモジュールを頂点としたピラミッド構造をなしている。Star Switchモジュール(SSW)はこのピラミッド構造の中間に位置し、データの最上流のエレクトロニクスからデータを収集し圧縮してRODに送るという役割を持っており、限られたバンド幅を有効に使ってこのピラミッド構造を成り立たせる上での鍵となる。またこのピラミッド構造を逆に利用して、遠隔からの最上流のエレクトロニクスのコントロールの中継地点ともなっている。

本研究ではこのSSWの開発と動作検証を行い、期待される動作を得た。

上述の遠隔からのエレクトロニクスのコントロールシステムはCCI-HSCシステムという遠隔コントロール可能なVMEシステムを利用する。このVMEシステムの一部をなす、VMEASICというICを開発した。

トリガー信号生成系については、これらを構成するモジュール群の統合接続テストを行った。

放射線環境下にある実験ホール内に設置されるICに実際に放射線を照射し、その耐久性を評価した結果、ATLASの実験環境に十分耐えうるものであることを確認した。

目次

第 1 章	ATLAS 実験概要	8
1.1	LHC 計画	8
1.2	ATLAS 実験で期待される物理	9
1.2.1	ヒッグス粒子の探索	9
1.3	ATLAS 検出器の構成	11
1.3.1	磁石	12
1.3.2	内部検出器	14
1.3.3	カロリメータ	14
1.3.4	ミュオン検出器	14
第 2 章	ATLAS のトリガーと DAQ	20
2.1	全体の流れ	20
2.2	レベル 1 トリガー/DAQ システム	21
2.2.1	CTP(Central Trigger Processor)	21
2.2.2	TTC(Timing, Trigger and control distribution)	22
2.2.3	読み出し	22
2.2.4	ミュオントリガーシステム	23
2.3	DCS(Detector Control System)	24
第 3 章	TGC トリガーシステム	25
3.1	TGC の配置	25
3.2	トリガー処理の方法	26
3.3	エレクトロニクス	28
3.3.1	全体の概観	28
3.3.2	TGC エレクトロニクス構成要素	30
3.3.2.1	ASD(Amplifier Shaper Discriminator)	30
3.3.2.2	PP(Patch Panel ASIC)	30
3.3.2.3	SLB(Slave Board ASIC)	31
3.3.2.4	PS(PP and SLB) Board	33
3.3.2.5	JRC(JTAG Route Controller)	35
3.3.2.6	HPT(High-Pt Board)	35
3.3.2.7	SL(Sector Logic)	35
3.3.2.8	SSW(Star Switch)	36
3.3.2.9	ROD	36
3.3.2.10	HSC/CCI	36
3.3.3	TGC エレクトロニクスの配置	36
3.4	TGC エレクトロニクスの周りの放射線環境	36

第 4 章	SSW(Star Switch)	40
4.1	SSW の機能	40
4.1.1	TGC の読み出し系と SSW	40
4.1.2	PP、SLB の設定	42
4.2	SSW ボードのプロトタイプの開発	42
4.2.1	SSW ボードの構成	42
4.2.2	SSWRX チップ	49
4.2.2.1	位相差吸収	49
4.2.2.2	SPC(Serial to Parallel Converter)	49
4.2.2.3	データ圧縮、フォーマット用シーケンサ	49
4.2.2.4	マルチプレクサ	50
4.2.2.5	FIFO	50
4.2.2.6	バスインターフェース	50
4.2.3	SSWTX チップ	51
4.2.3.1	バスコントローラ	51
4.2.3.2	データ分類用シーケンサ	51
4.2.3.3	ステージ 1 バッファ	51
4.2.3.4	データ統合用シーケンサ	51
4.2.3.5	ステージ 2 バッファ	51
4.2.3.6	イベントヘッダ及びイベントテイラー付加用シーケンサ	53
4.2.3.7	G-Link インターフェース	53
4.3	SSW プロトタイプボードのテスト	53
4.3.1	読み出し機能のテスト	53
4.3.1.1	セットアップ	53
4.3.1.2	テストベクタ	53
4.3.1.3	テスト手順と結果	55
4.3.2	VME アクセステスト	55
第 5 章	VMEASIC	56
5.1	VMEASIC の概要	56
5.2	VMEASIC の機能	57
5.3	放射線対策	59
5.4	VMEASIC のテスト	60
第 6 章	スライステスト	61
6.1	セットアップ	61
6.2	テスト方法	61
6.3	テスト結果	62
第 7 章	放射線耐性テスト	63
7.1	テスト概要	63
7.2	プロトンビーム照射時のセットアップ	64
7.3	測定結果と考察	67
7.3.1	Dosimetry(線量測定)	67
7.3.2	陽子フラックスの見積もり	69

7.3.3	リーク電流とVCONの測定	71
7.3.4	SEU断面積	73
7.4	放射線耐性に関するまとめ	75
第8章	まとめと今後の展望	76

目次

1.1	LHC	8
1.2	ヒッグス生成のファイマンダイアグラム	10
1.3	標準模型でのヒッグス粒子の生成断面積	10
1.4	標準模型でのヒッグス粒子の崩壊分岐比	11
1.5	標準模型でのヒッグス粒子の発見ポテンシャル	11
1.6	ATLAS 検出器の全体図	12
1.7	磁石配置	13
1.8	擬ラピディティ η に対するトロイダル磁場の積分強度 (積分範囲はエンドキャップ部トロイダル磁石からバレル部トロイダル磁石まで)	13
1.9	エンドキャップ部の磁束の構造 (XY 平面:Z=10.5m)	13
1.10	内部検出器	14
1.11	カロリメータ	15
1.12	ミュオン検出器の R-Z 断面	15
1.13	ミュオン検出器の X-Y 断面	16
1.14	MDT	17
1.15	CSC	17
1.16	RPC	18
1.17	TGC の断面	19
1.18	TGC のトリプレット (左) とダブレット (右) の構造	19
2.1	ATLAS のトリガー、DAQ の流れ	20
2.2	LVL1 トリガー処理の流れ	21
2.3	TTC のパーティション	23
2.4	ミュオントリガー系のデータの流れ	24
3.1	R-Z 断面での TGC のレイアウト	25
3.2	トリガーに用いられる TGC オクタントの分割	26
3.3	読み出しに用いられる TGC オクタントの分割	27
3.4	$\delta r, \delta\phi$ の定義	27
3.5	TGC トリガーの判定方法	28
3.6	TGC エレクトロニクス全体図	29
3.7	ASD ボード	30
3.8	PP ASIC のブロック図	31
3.9	SLB ASIC のブロック図	32
3.10	PS ボード	34
3.11	PS Pack の構成と配置	34

3.12	JRC	35
3.13	TGC エレクトロニクスの配置	37
4.1	TGC の読み出しシステム	41
4.2	SSW ボードの写真	43
4.3	SSW ボードのブロック図	44
4.4	SLB-SSW 間のデータフォーマット	46
4.5	SSWRX-SSWTX 間のデータフォーマット	47
4.6	ROD-SSW 間のデータフォーマット	48
4.7	SSWRX のブロック図その 1	49
4.8	SSWRX のブロック図その 2	50
4.9	SSWTX のブロック図	52
4.10	SSW ボードのテストのセットアップ	54
5.1	VMEASIC のレイアウトマスク	56
5.2	HPT ボード上の VMEASIC	57
5.3	SSW ボード上の VMEASIC	58
5.4	多数決論理回路	60
6.1	スライステスト セットアップ図	61
7.1	シフトレジスタの回路図	63
7.2	陽子ビーム照射試験用テストボード	65
7.3	陽子ビーム照射試験のセットアップ図	65
7.4	陽子ビーム照射試験のセットアップ (写真)	66
7.5	照射ボードと X-Y ステージのセットアップ (写真)	66
7.6	Cu Foil からの γ 線スペクトル	68
7.7	Ge 検出器のキャリブレーション	68
7.8	PP(Chip1) のビームプロファイル	70
7.9	PP(Chip2) のビームプロファイル	70
7.10	PP(Chip3) のビームプロファイル	70
7.11	PP(Chip4) のビームプロファイル	70
7.12	JRC(Chip1) のビームプロファイル	70
7.13	JRC(Chip2) のビームプロファイル	70
7.14	JRC(Chip3) のビームプロファイル	70
7.15	JRC(Chip4) のビームプロファイル	70
7.16	PP(Chip1) の陽子フルーエンス	72
7.17	PP(Chip2) の陽子フルーエンス	72
7.18	PP(Chip3) の陽子フルーエンス	72
7.19	PP(Chip4) の陽子フルーエンス	72
7.20	JRC(Chip1) の陽子フルーエンス	72
7.21	JRC(Chip2) の陽子フルーエンス	72
7.22	JRC(Chip3) の陽子フルーエンス	72
7.23	JRC(Chip4) の陽子フルーエンス	72
7.24	PP(Chip1) の照射中のリーク電流と VCON の推移	74

7.25	PP(Chip2) の照射中のリーク電流と VCON の推移	74
7.26	PP(Chip3) の照射中のリーク電流と VCON の推移	74
7.27	PP(Chip4) の照射中のリーク電流と VCON の推移	74
7.28	JRC(Chip1) の照射中のリーク電流の推移	74
7.29	JRC(Chip2) の照射中のリーク電流の推移	74
7.30	JRC(Chip3) の照射中のリーク電流の推移	74
7.31	JRC(Chip4) の照射中のリーク電流の推移	74
7.32	γ 線照射と陽子ビーム照射での PP(Chip1) のリーク電流の推移の比較	75
7.33	γ 線照射と陽子ビーム照射での PP(Chip4) のリーク電流の推移の比較	75

表目次

1.1	LHC の主要パラメーター	9
2.1	TTC で使われる主な信号	22
3.1	RHA のシミュレーションによる放射線量の見積もり	37
3.2	TGC エレクトロニクス の RTC の見積もり	38
4.1	SSW プロトタイプボードの読み出し機能テストの結果	55
4.2	SSW プロトタイプボードの VME アクセステストの結果	55
6.1	トリガー信号生成系テスト結果	62
6.2	レイテンシー	62
7.1	陽子ビーム照射試験の測定内容	64
7.2	照射線量と陽子フルーエンス	71
7.3	SEU 断面積の計算結果	73

第1章 ATLAS実験概要

1.1 LHC 計画

現在、2007年の運転開始を目指して、CERN(欧州原子核研究機構)において14TeVの重心系衝突エネルギーを実現する陽子陽子衝突型加速器LHC(The Large Hadron Collider)が建設中である。

LHCは電子陽電子衝突型加速器LEP(Large Electron Positron Collider)で使われていた周長約27kmのトンネルを利用して建設されているが、LEPとは異なりハドロンコライダーでありシンクロトロン放射によるエネルギー損失が少ない。さらに超伝導磁石を用いて8.4Tという強力な磁場を作り出しこの高い衝突エネルギーを可能にしている。

LHCには4箇所の衝突点が設けられており、それぞれの衝突点に、汎用の検出器であるATLAS(A Trooidal LHC Apparatus)、同じく汎用検出器のCMS(The Compact Muon Solenoid)、重イオン衝突実験用のALICE(A Large Ion Collider Experiment)、Bの物理のためのLHC-Bが設置される(図1.1)。

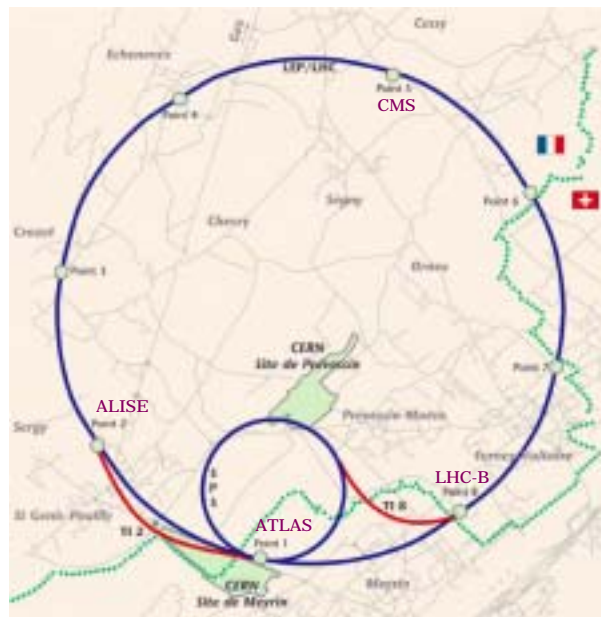


図 1.1: LHC

LHCの最大の特徴は、この14TeVという世界最大の重心系衝突エネルギーであり、標準理論で予言されているうち唯一未発見のヒッグス粒子や、超対称性粒子の探索をはじめとする、エネルギーフロンティアでの新しい物理現象を捉えることが期待されている。またルミノシティも $10^{34}\text{cm}^{-2}\text{s}^{-1}$ と格段に高い。

一方で、複合粒子である陽子を加速粒子に用いていること、及びルミノシティを稼ぐためにバンチ交差頻度が40MHzと非常に高いことから、膨大なバックグラウンドが予想される。興味ある物理事象を解析するために必要なデータを正確に、そして効率よく収集するためのトリガー、DAQ

システムが重要となる。

LHC の主要パラメータを 1.1 に示す。

主リング周長	26.66km	重心系エネルギー (陽子+陽子)	7.0TeV+7.0TeV
(低) ルミノシティ	$10^{33}\text{cm}^{-2}\text{s}^{-1}$	(高) ルミノシティ	$10^{34}\text{cm}^{-2}\text{s}^{-1}$
ルミノシティ寿命	10 時間	入射エネルギー	450GeV
衝突頻度	40.08MHz	バンチ間隔	24.95ns
1 バンチあたりの陽子数	10^{11} 個	バンチの長さ	75mm
バンチ数	2835 個	バンチ衝突当たりの陽子衝突	~19
衝突点のビーム半径	$16\mu\text{m}$	衝突角度	$200\mu\text{rad}$

表 1.1: LHC の主要パラメーター

1.2 ATLAS 実験で期待される物理

自然界は、3 世代から成るレプトンとクォークにより構成され、ゲージ粒子を媒介することによりそれらの間に相互作用が生じるとする標準理論は、今まで得られた実験結果と見事な一致を見せている。しかし、標準理論の中で素粒子の質量の起源を担い、電弱対称性の破れのメカニズムを理解するのに極めて重要な鍵となるヒッグス粒子については、まだ発見出来ていない。また標準理論には、任意パラメーターが多すぎるなどの問題点も多く、超対称性理論などの標準理論を越えた理論が提唱されている。ここでは、ATLAS 実験で観測が期待される物理の中で、ヒッグス粒子の探索について説明する。

1.2.1 ヒッグス粒子の探索

ATLAS 実験の主要目的は、標準理論の根幹をなすヒッグス粒子の発見である。標準理論の枠内ではヒッグス粒子の質量は正確には予言出来ないが、 $100\text{MeV}\sim 1\text{TeV}$ の範囲にあると予言されており、LHC はこの範囲をカバーしている。以下にヒッグス粒子の探索について述べる。

図 1.2.1 に、主な 4 つのヒッグス生成過程を示す。ヒッグス粒子との結合がとくに強いのは重い粒子であるため、ヒッグス粒子は重いクォークや W/Z ボゾンと強く結合する。それぞれの生成過程でのヒッグス粒子の質量と生成断面積の関係は、図 1.2.1 のようになる。

- gluon fusion

LHC で探索可能なエネルギー領域において最大の生成断面積を持ち、重いクォーク¹のループを介して、生成される過程である。しかし、ヒッグス粒子の崩壊から出て来た粒子以外は、大きな横運動量 P_T を持つ粒子がないため、シグナルを識別する手段が少なく、バックグラウンドが非常に厳しい。 $H \rightarrow \gamma\gamma, ZZ(\rightarrow lll), W^+W^-(l\nu l\nu)$ だけが、有望な崩壊過程である。

- vector boson fusion

2 番目に大きな生成断面積を持ち、2 つのベクターボゾンからヒッグス粒子が生成される過程である。W/Z ボゾンの質量は重いので、ベクターボゾンを放出した 2 本のジェットは、大きな P_T を持って反跳し、このジェットを両側で tag することが出来る。さらに、2 つの前方の

¹ トップクォークの寄与がほとんどで、ボトムクォークによるものは約 5% である。

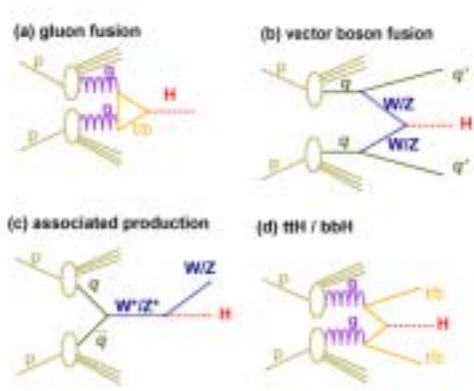


図 1.2: ヒッグス生成のファイマンダイアグラム

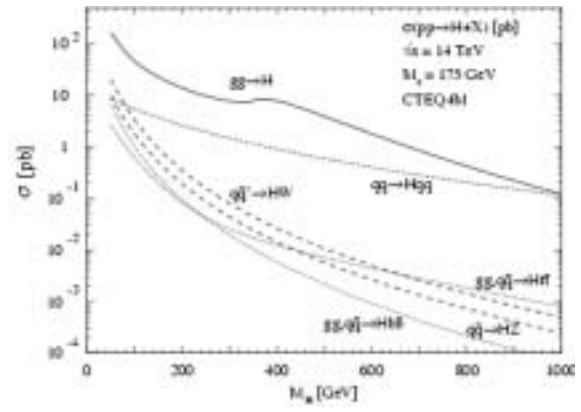


図 1.3: 標準模型でのヒッグス粒子の生成断面積

クォークの間でカラー交換が行なわれないので、2つの tag されたジェットの領域での QCD による影響は少なく、イベント選定を行ないやすい。従って、この生成過程では、様々な崩壊過程でのヒッグス粒子の探索が期待されており、現在盛んに研究が進められている [8]。

- W/Z associated production
クォークペアの対消滅から生成されたゲージボゾンから、更にヒッグス粒子が放射される生成過程である。W^(±)/Z⁰ がレプトンに崩壊した場合に、シグナルとバックグラウンドを容易に識別出来る。
- top associated production
対生成されたトップクォークからヒッグス粒子が生成される過程である。生成断面積は非常に小さいが、終状態の2つのトップクォークを tag することで、QCD バックグラウンド大幅に減らすことが出来る。またこの反応は、トップクォークの湯川結合という重要な情報を含んでいる。nnn

図 1.2.1 に、標準模型のヒッグス粒子の質量と崩壊分岐比の関係を示す。これからわかるように、崩壊分岐比はヒッグス粒子の質量 m_H に依存しており、各質量領域で特徴的な崩壊過程が存在する。以下にそれぞれの崩壊モードを簡単に説明する。

- $m_H < 150\text{GeV}$
この領域の主な崩壊過程は $H \rightarrow b\bar{b}$ であるが、QCD バックグラウンドと区別することは非常に難しく、むしろ重要なのは、稀崩壊ではあるが、 $H \rightarrow \gamma\gamma$ の崩壊過程である。ATLAS 検出器は光子に対して優れた位置分解能とエネルギー分解能を持つので、多量のバックグラウンドの中でも、ヒッグス粒子の質量を鋭いピークとして測定出来る²。
- $120\text{GeV} < m_H < 180\text{GeV}(m_Z)$
この領域になると、 m_H が m_W や m_Z の質量を越えるので、 WW^* や ZZ^* の崩壊が始まる。しかし WW^* は、ニュートリノやジェットといった成分を含むので、あまりきれいなイベントとは言えない。従って、この領域では $H \rightarrow ZZ^* \rightarrow lll$ の崩壊過程が重要になる。
- $180\text{GeV}(m_Z) < m_H < 500\text{GeV}$
この領域で最も重要な崩壊過程は、 $H \rightarrow ZZ \rightarrow llll$ である。このモードは分岐比こそ小さ

²光子に対する ATLAS 測定器の mass resolution は、(低) ルミノシティで 1.1GeV である。

いが、2組のレプトン対の不変質量がともに m_Z に等しいという条件を課すことが出来るので信頼性が高く、もっともきれいな質量のピークが得られる。このモードは gold-plated event と呼ばれる。

- $500\text{GeV} < m_H$

この領域になると、ヒッグス粒子の生成断面積が小さくなり、さらに崩壊幅も 100GeV を越えてしまうので、質量のピークが広がってしまい、 $H \rightarrow ZZ \rightarrow llll$ だけでは、統計的に不十分になってしまう。そこで、レートが高い $H \rightarrow ZZ \rightarrow ll\nu\nu$ や $H \rightarrow WW \rightarrow lll$ を用いる必要がある。

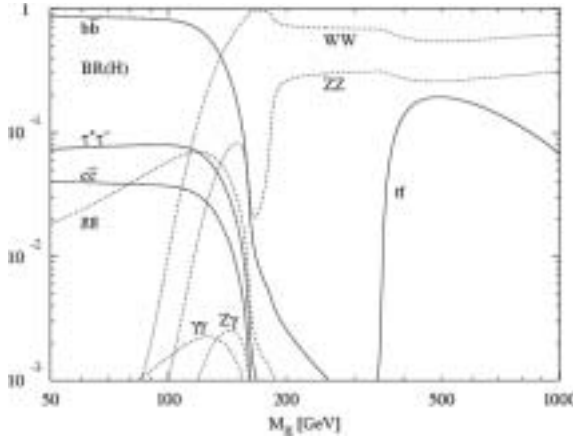


図 1.4: 標準模型でのヒッグス粒子の崩壊分岐比

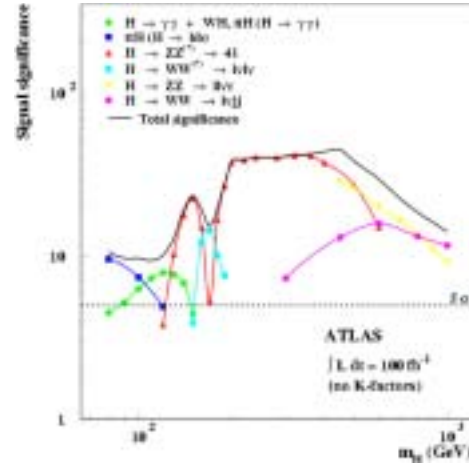


図 1.5: 標準模型でのヒッグス粒子の発見ポテンシャル

図 1.2.1 に、積分ルミノシティが 100fb^{-1} 溜った時の ATLAS 測定器の標準模型ヒッグス粒子の発見能力を示す。ただし、この図で使われているヒッグス粒子の生成過程は、gluon fusion と top associated production のみである。これを見ると、ATLAS 測定器は上限値である 115GeV から 1TeV の領域までカバーしており、 10σ 以上の確からしさでヒッグス粒子を発見出来ることがわかる。またこの図では、軽いヒッグスに対する ATLAS 測定器の発見能力はやや劣っているが、現在 vector boson fusion の研究が進み、崩壊過程が $H \rightarrow \gamma\gamma$ や $H \rightarrow \tau\tau$ といった軽いヒッグス粒子のモードで、観測可能であることがわかった [9]。従って、この欠点は改善され、ATLAS 測定器は軽いヒッグスに対しても十分な発見能力を持つことになる。

1.3 ATLAS 検出器の構成

ATLAS 検出器は、1.2 節で述べた物理をはじめエネルギーフロンティアでの様々な物理事象を研究できるように設計されている。こうした物理探索の要請をまとめると次のようになる。

- 電子、光子を同定し、精度よく測定でき、それと相補的にジェット、missing- E_T を測定すること。
- レプトンの飛跡の再構成、ボトム・クォークの同定が効率よくできること。

- ミューオンの運動量を精度よく測定でき、さらに $low-P_T$ ミューオン・トリガーを用意できること。
- 広い範囲の擬ラピディティを測定できること。

さらに、以下のような LHC の環境からの要請がある。

- 大量のバックグラウンド放射線が予想されており、したがって検出器は放射線にたいして耐久性がなくてはならない。
- LHC は、ルミノシティーをあげるためにバンチ間隔を短くしているが、検出器の信号とバンチの対応がたたくとれなければならない。

ATLAS 検出器の全体図を図 1.6 に示す。直径 22m、長さ 44m、総重量は 7000 トンである。内側から順に、内部検出器、カロリメータ、ミューオン検出器が配置され、ほぼ全立体角を覆う。これらの検出器の間には荷電粒子の運動量測定のために超伝導電磁石が置かれる。

ATLAS 検出器で用いられる座標系は次のようなものである。ビーム軸を z 軸にとり、これに垂直な方向を r 方向、ビーム軸周りを周回するように ϕ 方向をとる。また衝突点から引いた線とビーム軸のなす角度を θ としたとき、擬ラピディティ η を $\eta = -\ln \tan \theta$ と定義して用いる。また z 方向の両端の円盤部をエンドキャップとよび、ビーム軸に沿った円柱上の部分をバレルと呼ぶ。

以下に、これらの検出器の特徴を挙げる。

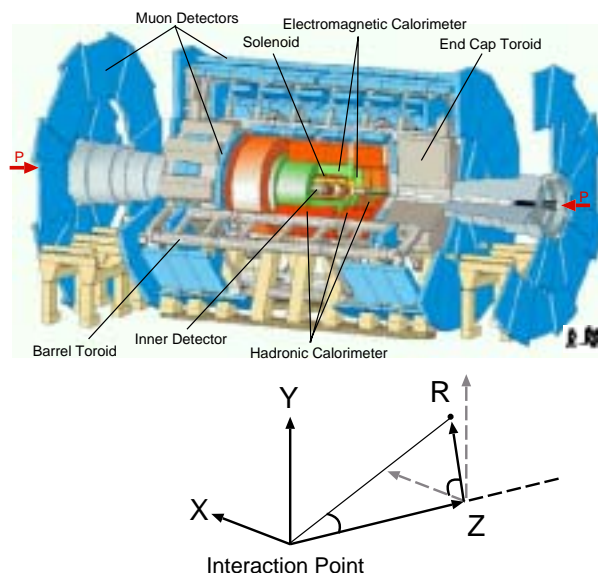


図 1.6: ATLAS 検出器の全体図

1.3.1 磁石

ATLAS 検出器の磁石系(図 1.7)は中央ソレノイド磁石、エンドキャップ部トロイダル磁石、バレル部トロイダル磁石からなり、いずれも超伝導電磁石を使っている。中央ソレノイド磁石は内部検出器のための磁場を、両トロイダル磁石はミューオン検出器の為の磁場を作る。トロイダル磁石のコイルは ϕ 方向に 8 回対称となっており、また、多重散乱を抑えるため空芯となっている。各

磁石の磁場は中央ソレノイド磁石が 2T、バレル部トロイダル磁石が 3.9T(ピーク値)、エンドキャップ部トロイダル磁石が 4.1T(ピーク値)となる。磁石の粒子を曲げる能力を表す、磁場を粒子の飛跡に沿って積分した値はバレル部トロイダル磁石で 2 から 6Tm ($0 < \eta < 1.3$) エンドキャップ部トロイダル磁石で 4 から 8Tm ($1.6 < \eta < 2.7$) となる(図 1.8)。トロイダル磁場は ϕ 方向成分が主だが、磁場の不均一性は避けられないため、 r 方向成分も存在する(図 1.9)。

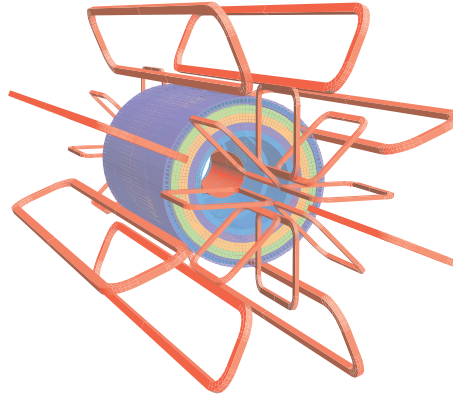


図 1.7: 磁石配置

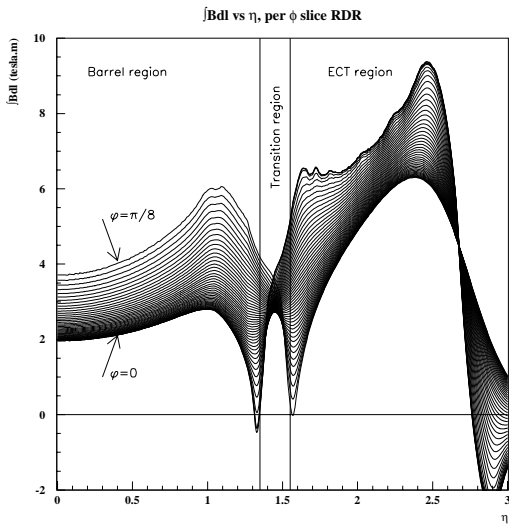


図 1.8: 擬ラピディティ η に対するトロイダル磁場の積分強度
(積分範囲はエンドキャップ部トロイダル磁石からバレル部トロイダル磁石まで)

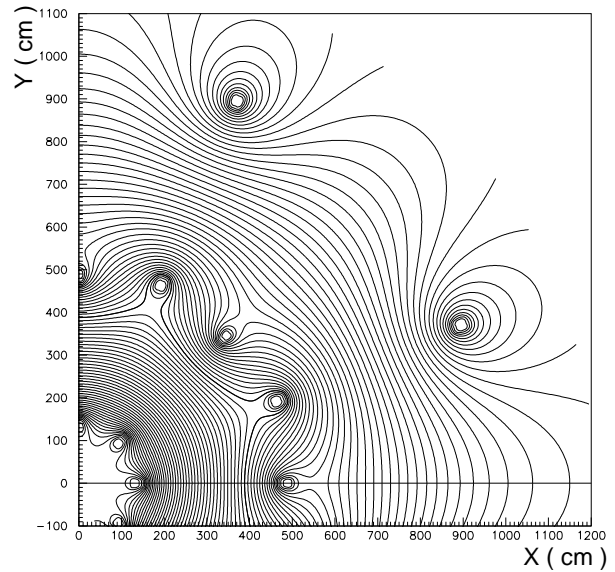


図 1.9: エンドキャップ部の磁束の構造
(XY 平面:Z=10.5m)

1.3.2 内部検出器

内部検出器は3種類の検出器で構成され(図 1.10)、衝突点に最も近い場所に設置される。これらの検出器は全て中心磁場 2T の中央ソレノイド磁石の内部にあり、荷電粒子のトラッキングと運動量の測定が主な目的である。最も内側にはピクセル検出器が設置される。これは一つの要素が $50\mu\text{m} \times 300\mu\text{m}$ の半導体検出器である。その外側には SCT(Semiconductor Tracker) と呼ばれるシリコンストリップ検出器が設置され、これは場所にも依るが約 $80\mu\text{m}$ ピッチの細長いストリップ構造を持つ半導体検出器である。最も外側には直径 4mm のストローチューブ検出器を束ねて作った TRT(Transition Radiation Tracker) が設置される。トラッカーとしての働きの他に、遷移輻射を利用して電子識別を行う。

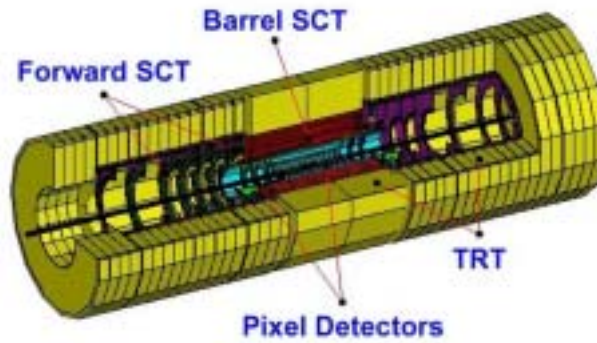


図 1.10: 内部検出器

1.3.3 カロリメータ

内部検出器と中央ソレノイド磁石の外側に、電磁カロリメータ、ハドロンカロリメータが設置される。放射線耐性を考慮し、液体アルゴンを用いたものが主となっている。(図 1.11) 電磁カロリメータは鉛と液体アルゴンのアコーディング型のサンプリングカロリメータである。バレル部、エンドキャップ部を合わせ、 $|\eta| < 3.2$ の領域を覆っている。ハドロンカロリメータはバレル部 ($-\eta < 1.6$) には鉄とシンチレータサンドイッチ状に並べたタイルカロリメータを、エンドキャップ部 ($1.5 < |\eta| < 3.2$) には銅と液体アルゴンによるもの、タングステンと液体アルゴンによるものを用いる。粒子識別や位置測定、エネルギーの測定が行なわれる。

1.3.4 ミューオン検出器

ミューオン検出器が ATLAS 検出器の最も外側に設置される。(図 1.12, 1.13)

このミューオン検出器が ATLAS 実験で果たす役割は大きい。ATLAS 実験で標的となる重要な物理事象の多くが終状態に荷電レプトンを含む。中でもミューオンはその物質透過力の高さゆえに、粒子識別が容易で ATLAS 実験の厳しい実験環境下としてはバックグラウンドも比較的少ない。

最大の特徴は、ミューオン検出器系だけでミューオンの位置と運動量が測定できるように、トロイダル磁石(1.3.1 節)を内包している点である。トロイダル磁石が空芯であることは多重散乱の効果を抑え、測定可能なミューオンの運動量の下限を低く、分解能を高く保っている。

精密なトラッキングを目的として、エンドキャップ及びバレル部に MDT(Monitored Drift Tube)、超

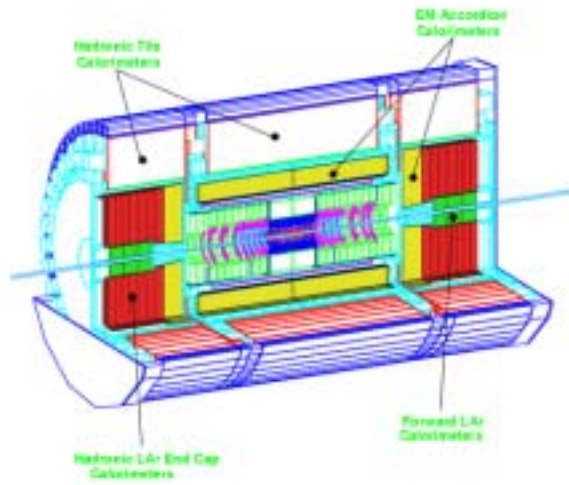


図 1.11: カロリーメータ

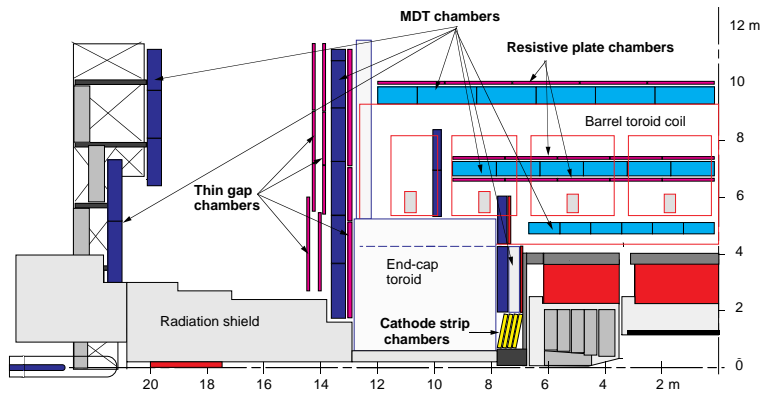


図 1.12: ミューオン検出器の R-Z 断面

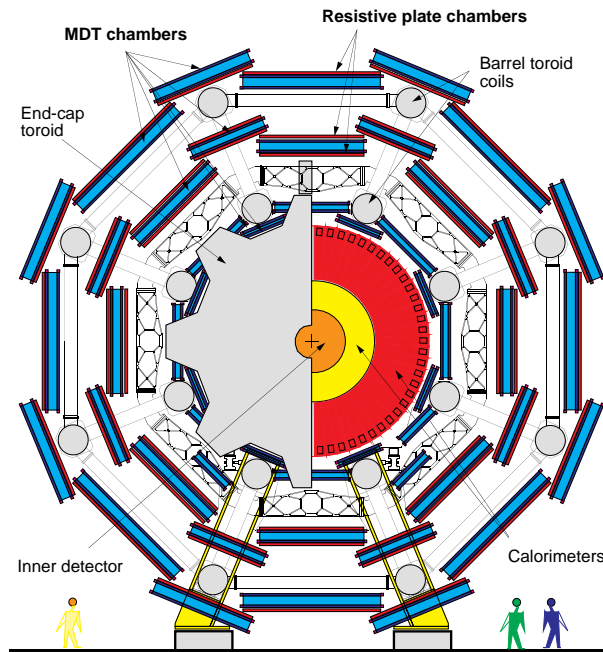


図 1.13: ミューオン検出器の X-Y 断面

前方に CSC(Cathode Strip Chamber) が設置される。トリガー用には、エンドキャップ部に TGC(Thin Gap Chamber)、バレル部に RPC(Resistive Plate Chamber) が設置される。これらトリガー用検出器にはバンチ識別を可能にする時間分解能が要求される。また、MDT は磁場による変向の大きい r 、 z 座標のみを測定するので、二次元読み出しをする TGC、RPC が ϕ 座標を補う。以下にこれらの検出器の特徴を挙げる。

- MDT

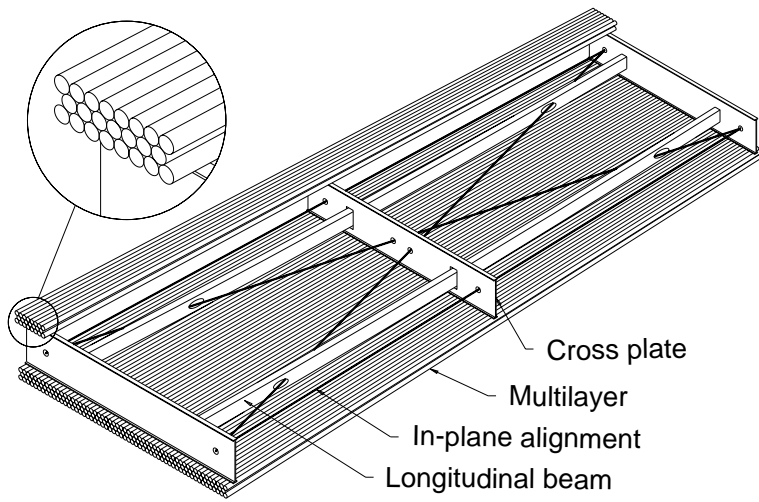
チューブ径 30mm、ワイヤー径 $50\mu\text{m}$ のドリフト・チューブを積層したものである。図 1.14 に構造を示す。チューブ内には Ar(91%)/N₂(4%)/CH₄(5%) の組成の混合ガスが 3 気圧で封入されている。位置とドリフト時間の線形性が非常によく、最大ドリフト時間は 500ns、位置分解能は $80\mu\text{m}$ である。この高い位置分解能を維持するため、検出器の熱膨張、重力による垂下、歪みなどの影響をレーザーを利用した In-plane alignment と呼ばれる直線モニターを組み合わせて常に監視し、チューブ内のワイヤーの変位を $10\mu\text{m}$ 以下の精度で検出できるように設計されている。CSC がカバーする超前方最内部を除きほぼ全立体角 ($|\eta| < 2.7$) を覆う。

- CSC

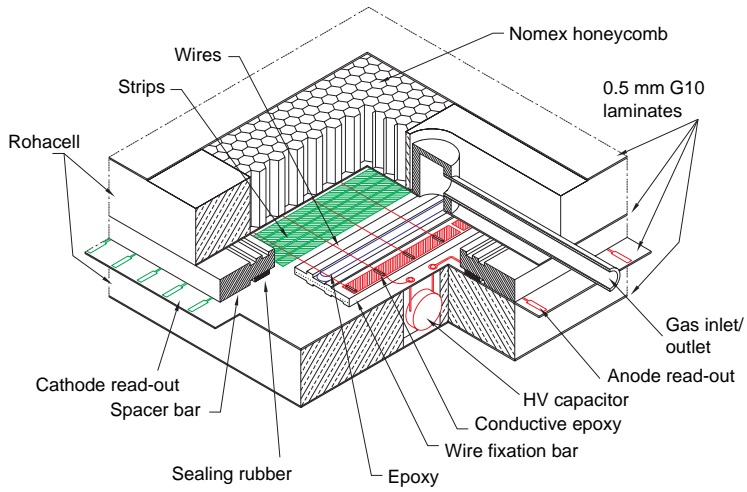
カソード・ストリップ読み出しの MWPC である。図 1.15 に構造を示す。ワイヤーとストリップが垂直に切っており、ワイヤーの間隔が 2.54mm で、ストリップの間隔は 5.08mm である。ドリフト時間は 30ns 以下で、隣接するストリップ間の電荷の重心をとることにより約 $60\mu\text{m}$ の位置分解能を得る。封入されるガスに Ar(30%)、CO₂(50%)、CF₄(20%) を用い、バックグラウンド中性子に対する感度を下げている。より高い位置分解能を求められ、また、より高いバックグラウンド放射線にさらされる超前方領域の最も内側に置かれる ($2.0 < |\eta| < 2.7$)。

- RPC

ワイヤーを持たない平行平板ガスチェンバーである。図 1.16 に構造を示す。2 枚の抵抗性ベークライト板の間にガス (C₂H₂F₄(97%)、C₄H₁₀(2%)、SF₆(1%)) を閉じ込めた構造の検出



☒ 1.14: MDT



☒ 1.15: CSC

器を2層垂直に重ねたものである。ストリップ間隔は、30.0~39.5mmである。時間分解能は1.5nsで、パレル部 ($|\eta| < 1.1$) をカバーする。構造が簡単なため比較的安く製造できる。

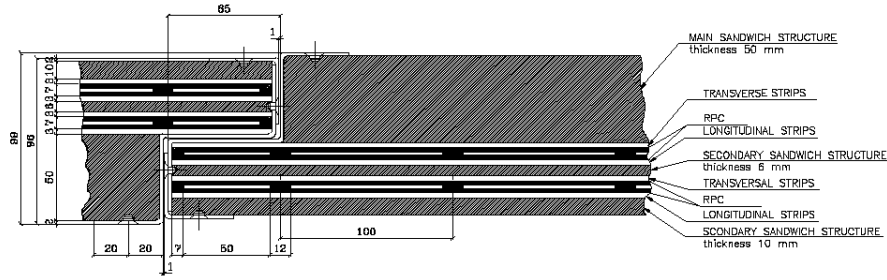


図 1.16: RPC

- TGC

図 1.17 で示すように、TGC のセル構造は MWPC と同じであるが、ワイヤー面とカソード間の間隔 (1.4mm) がワイヤー間の間隔 (1.8mm) よりも狭いのが特徴である。これにより電子、陽イオンのドリフト時間が短くなるので高頻度の入射粒子下での安定な動作が可能になり、時間分解能 (25nsec で 99% 効率) も上がる。ワイヤーは直径 $50\mu\text{m}$ の金メッキダクステン線で、ガスにはクエンチ効果³の高い CO_2 (55%)、n-pentane (45%) の混合ガスが使用される。アノード・ワイヤーを4~20本ずつまとめたワイヤー・グループと、ワイヤーに直行するカソード・ストリップを単位として2次元読み出しを行う。実際の ATLAS 実験では、複数の TGC を組み合わせ、図 1.18 のような2層 (ダブルット) か3層 (トリプレット) にしたモジュール構造にして用いる。トリプレットの場合は3層のワイヤー面と2層のストリップ面から読み出しが行なわれ、ダブルットの場合は2層のワイヤー面と2層のストリップ面から読み出しが行なわれる。RPC の設置されるパレル部より入射粒子頻度の高いエンドキャップ部 ($1.0 < |\eta| < 2.7$) をカバーする。

³紫外線を吸収し、放電を起こしにくくすること。

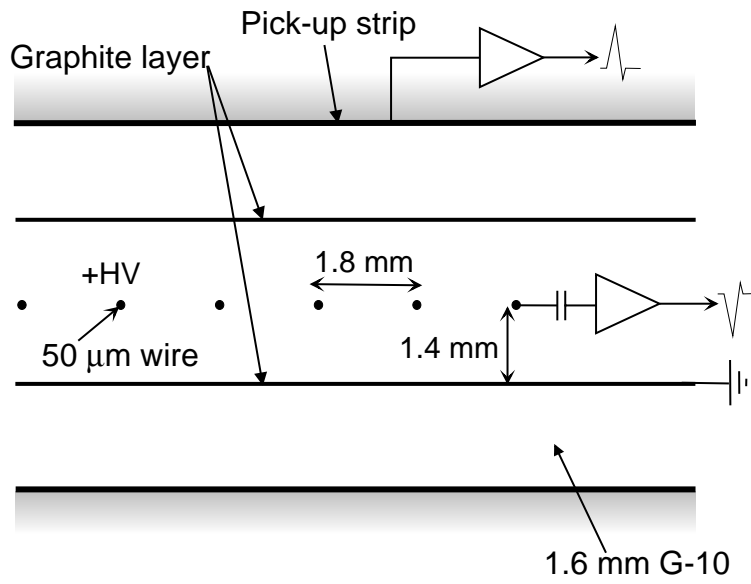


図 1.17: TGC の断面

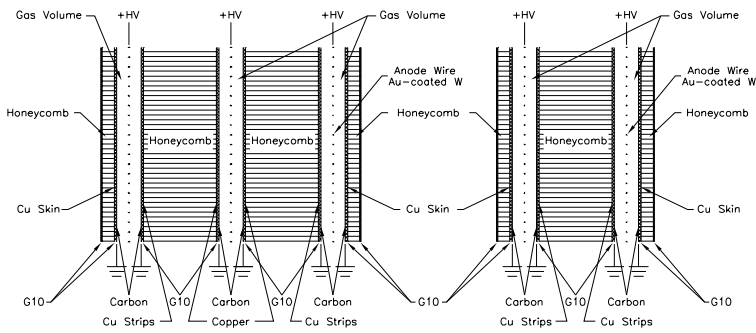


図 1.18: TGC のトリプレット (左) とダブルット (右) の構造

第2章 ATLASのトリガーとDAQ

ATLAS 実験では40.08MHzのビーム衝突によって約1GHz(高ルミノシティ時)のレートで何らかの反応事象が発生する。これに対して記録装置の制限から、最終的に記録できるイベントは100Hz程度である。如何に効率よく、物理的に興味のあるイベントを選択収集するかがこの実験の大きな鍵となる。

2.1 全体の流れ

ATLASでのトリガー、DAQ処理は、図2.1に示すように、LVL1(レベル1)、LVL2(レベル2)、EF(イベントフィルタ)の3段階のパイプライン処理に分かれている。これにより早い段階での不要なデータの削減が可能となり、後段でのトリガー判定、データ転送処理の負担が軽減される。

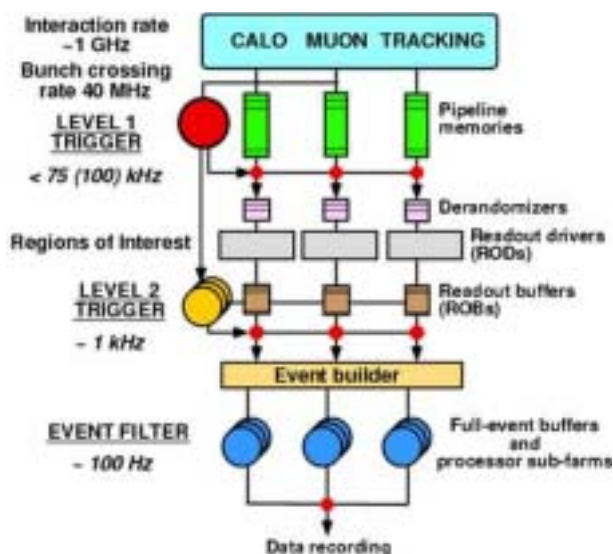


図 2.1: ATLAS のトリガー、DAQ の流れ

各レベルでのトリガー処理について簡単に述べる。

- LVL1

LVL1ではカロリメータとトリガー用ミュオン検出器(TGC、RPC)からの粗い位置情報のみを用いて、40.08MHzの各バンチ交差に対してレベル1トリガー判定を行う。同時に、LVL2にHigh- P_T のミュオン、ジェット、電磁クラスタの存在する領域(RoI:Region of Interest)を伝える。L1A信号(レベル1アクセプト:レベル1トリガー判定の結果を伝える)のレートは最大で平均75kHzであるが、読み出し系には100kHzまでのアップデートが可能であることが要請されている。トリガー信号生成系にはバンチ交差から $2.0\mu\text{sec}$ 以内のレイテンシでこのLVL1判定を読み出し系に伝達することが求められている。

- LVL2

LVL2 では LVL1 から伝えられた RoI の内部のみを、全ての検出器からの完全な位置精度を持つ情報を元に解析する。ここでイベントレートは約 1kHz に落とされる。判定に要する時間は可変で、最大 10msec である。

- EF

全検出器の完全なデータを用いたオンライン最後のトリガー判定で、これを通過したものが最終的にデータストレージに記録される。記録可能なデータ量は約 100MByte/sec で、1 イベントの記録に必要なデータサイズが約 1MByte なので、イベントレートは 100Hz 程度に落とされる。ただし、特定のイベントについては一部のデータのみを記録するという方針をとることで、イベントレートを増やすこともありうる。判定に要する時間は約 1sec である。

2.2 レベル1トリガー/DAQシステム

ここでは、次章から述べる TGC トリガーシステムが属する LVL1 トリガー/DAQ について述べる。図 2.2 に示すように、LVL1 トリガーシステムは、カロリメータ、トリガー用ミュオン検出器、CTP(Central Trigger Processor)、TTC(Timing, Trigger and Control distribution) から構成される。[1] カロリメータからは e/γ 、ジェット、missing- E_T の情報を、ミュオン検出器からは、High- P_T のミュオンの情報が、それぞれ CTP に送られる。CTP ではこれらの情報を用いてトリガー判定を行ない、その結果出力される L1A(レベル1 アクセプト) 信号は TTC を経由して、各検出器のフロントエンドエレクトロニクスに分配され、必要なデータの読み出しが行なわれる。LVL1 で採用されたデータの領域は RoI の情報として、LVL2 に送られる。

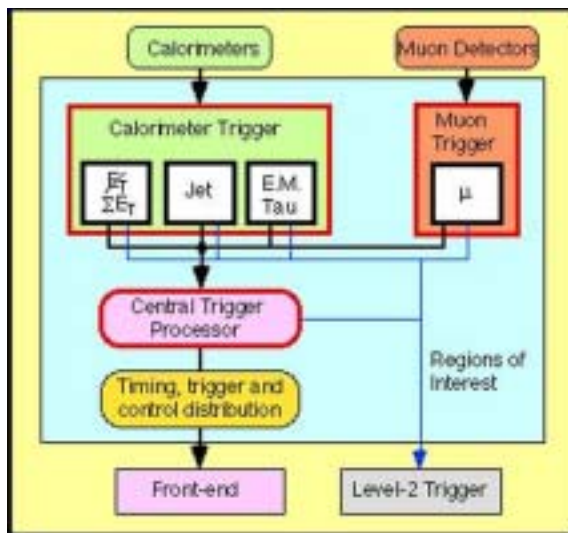


図 2.2: LVL1 トリガー処理の流れ

2.2.1 CTP(Central Trigger Processor)

CTP の役割はカロリメータとミュオンの情報を統合して、最終的なレベル1 トリガーの判定を行なうことである。カロリメータでは、 e/γ 、 τ /ハドロン、ジェットのそれぞれに対し、数段階の

閾値が設けてあり、同様にミュオン検出器では、ミュオンの P_T について、数段階の閾値が設けてある。これらを組み合わせて、最高 96 種類のトリガー条件が設定可能である。判定が終わると、CTP は TTC に対して、L1A(レベル 1 アクセプト)とトリガーの種類などの情報を表す 8bit の情報を送信する。フロントエンドエレクトロニクスでの読み出しを容易にするために、一度 L1A 信号を出力したら、それに続く 4 バンチ (100nsec) の間は L1A を出さない。同様の理由で、80 μ sec の間には最大 8 回しか L1A を出さないようにプログラムされる。また、デランダムマイザが溢れそうな時は、ROD からの BUSY 信号を受けて L1A を出さないようにすることも出来る。

2.2.2 TTC(Timing, Trigger and control distribution)

TTC システムとは、フロントエンドの各エレクトロニクスの同期をとるために、BC クロックや L1A などの信号を分配するシステムである。また、TTC は各検出器固有のテストやキャリブレーション用のコマンドを受信し、実行する役割も担う。表 2.1 に TTC が扱う主な信号を挙げる。

信号名	主な特徴と機能
BC Clock	Bunch-Crossing signal。各エレクトロニクスを LHC のビーム衝突頻度 (40.08MHz) に同期させるためのクロック。
L1A	Level 1 Accept。CTP から送られてくる。
BCR	Bunch Counter Reset BCID(データがどの BCID に属するかを示す)のリセットに使用。88.924s の LHC の軌道周期 (ORBIT 信号) に同期する。
ECR	Event Counter Reset。L1ID のカウンター (データがどの L1A に属するかを示す)のリセットに使用。
EVID	EVent IDentifer。ROD、ROB でのバンチクロッシングのチェックに使用。
BCID	Bunch-Crossing IDentifer。ROD、ROB でのレベル 1ID のチェックに使用。

表 2.1: TTC で使われる主な信号

TTC は ATLAS 実験全体で見た場合、いくつかのパーティションに分割されており、例えば、TGC の場合は左右のエンドキャップが各々 1 つのパーティションを成している。図 2.3 に TTC のパーティションを示す。1 つのパーティションで中心になるのは、 $TTC_{vi}[?]$ と呼ばれる VME インターフェイスで、LHC からは 40.08MHz の BC クロックと周期 88.924s の ORBIT 信号を、CTP からは L1A 信号を受信する。これらの情報は TTC クレートに送信され、TTC クレートは、受信した情報を加工した後、フロントエンドに設置される $TTC_{rx}[?]$ と呼ばれる ASIC まで分配する。また TTC_{vi} は A-Channel、B-Channel という 2 種の信号を分配し、A-Channel で扱われるデータは L1A だけであるが、B-Channel では TTC_{rx} に送付される同期コマンドと TTC_{rx} に送信する非同期コマンドを扱うことが出来て、前者はテストパルスの発生に用いられ、後者はパラメータの設定などに用いることが出来る。 TTC_{rx} では、受信した信号をフロントエンドに配置される各エレクトロニクスに分配する。

2.2.3 読み出し

検出器からの信号は各チャンネルごとにレベル 1 バッファと呼ばれるパイプラインメモリに保存され、ここでレベル 1 判定を待つ。レベル 1 トリガーのレイテンシは 2.0 μ sec であるが、読み出し系には、0.5 μ sec の余裕を見て 2.5 μ sec の間データを保持できることが求められている。

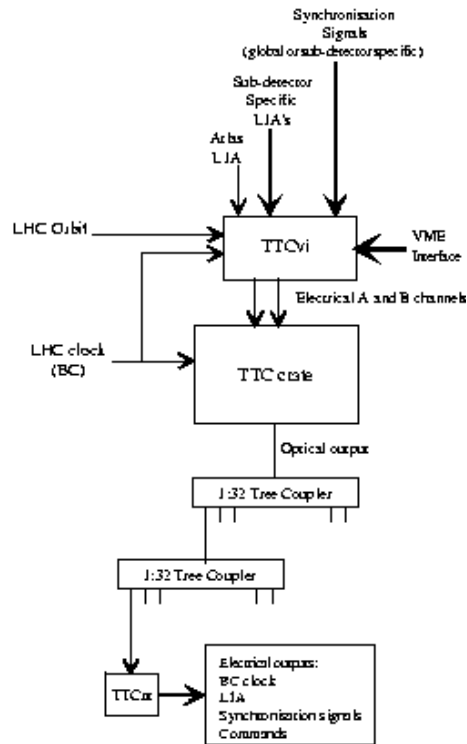


図 2.3: TTC のパーティション

レベル 1 判定を下された信号のみがデランダムマイザと呼ばれる FIFO バッファに書き込まれ、順次 ROD(Readout Driver) と呼ばれるモジュールへ読み出される。この際、その信号がどのバンチに属するかを示す BCID(バンチ ID)、どのレベル 1 判定に属するかを示す L1ID(レベル 1ID) の情報も合わせて送られる。ROD は複数のデランダムマイザから送られてきた信号の整合性を確認し、イベントごとに整理して ROB(Readout Buffer) に送る。

ここまでのデータ転送において許されるデータのロス率は L1A のレートが 75kHz のときは 1%、100kHz の時は 6% である。

DAQ のシステムのうち、ROB 以降は全ての ATLAS 検出器に共通のものとなる。LVL2 や EF は ROB のデータにしかアクセスしないので、これらの間のインターフェースは統一される。一方、ROD よりも検出器側については、各々の検出器に自由度があるので、検出器の特徴や用途に合わせた実装を行うことが可能である。

2.2.4 ミューオントリガーシステム

図 2.4 に、トリガー用のミューオン検出器のデータの流れを示す。RPC と TGC は各々セクタと呼ばれる単位ごとに P_T の大きなミューオンの候補を挙げて、MUCTPI(Muon CTP Interface) に送る。MUCTPI はこれらのトラックの候補を受け取り、境界部分での処理を行ってから、ミューオンの候補についての情報を、CTP や LVL2 トリガー、読み出し部分などに送る役割を担う。

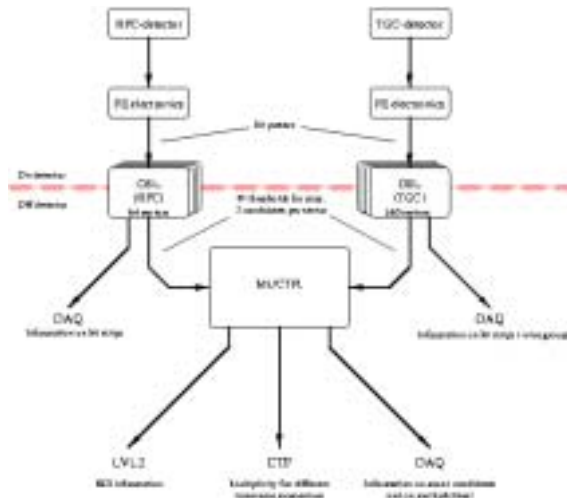


図 2.4: ミューオントリガー系のデータの流れ

2.3 DCS(Detector Control System)

各検出器の制御と診断を ATLAS 全体で統一的な方法で行なうために、DCS(Detector Control System) と呼ばれるシステムが導入される。DCS では、フロントエンドエレクトロニクスの閾値電圧などの検出器を運転するのに必要なパラメータの設定、電源系統の監視、温度測定やガス系の圧力と流量などの検出器の安全性を確保するために必要なパラメータの監視などが行なわれる。

第3章 TGCトリガーシステム

3.1 TGCの配置

TGCはATLAS検出器のエンドキャップ部分を覆うトリガーチェンバーである。大きさは配置場所によって異なるが、外周部の横長のもの下底1.8m、高さ1.4m、中央部の縦長のもの下底1.8m、高さ2.4mになる。両エンドキャップを合わせて約3700枚のチェンバーが約6296m²の領域を覆っている。ワイヤーからは r 方向、ストリップからは ϕ 方向の位置の読み出しを行なう。全チャンネル数は r 方向で約22万、 ϕ 方向で約10万になる。

図3.1に示すように、TGCシステムはM1,M2(middle),M3(pivot)とEI(Endcap Inner),FI(Forward Inner)の各層から構成される。M1は3層(トリプレット)のチェンバー、M2,M3は2層(ダブレット)のチェンバーから成り、トリガー判定には主にこの計7層が使われる。EI/FIは補助的な役割である。¹。TGCは $1 < |\eta| < 2.7$ の領域を覆っているが、このうちトリガーに使われるのは $1.05 < |\eta| < 2.40$ の領域である。 $|\eta| < 1.9$ をエンドキャップ領域、 $|\eta| > 1.9$ をフォワード領域と呼ぶ。

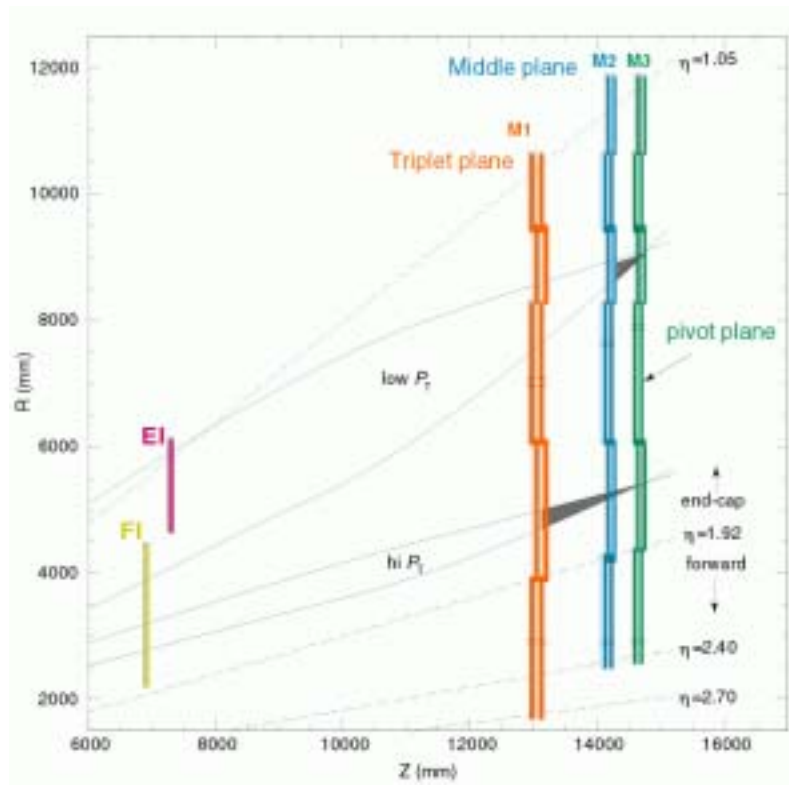


図 3.1: R-Z 断面での TGC のレイアウト

¹現在のトリガーに関するシミュレーションでは、EI/FI チェンバーを使わなくても十分な検出効率を得られるとされているが、まだ低エネルギー粒子によるバックグラウンドの影響が懸念されており、これはEI/FI チェンバーによって落とせるとされている。

TGCは磁場の対称性(1.3.1節)を考慮して、オクタントと呼ばれる8分の1円(円形状に配置したTGCを ϕ 方向に8等分したもの)が1つの大きな単位となっており、チェンバーの建設からデータ収集まで全てこの単位で行なわれる。

例として図3.2にpivotの1つのオクタントを示す。レベル1トリガーに関連する領域では、オクタントはさらにセクターと呼ばれる単位に分割される。図で示すように、エンドキャップを ϕ 方向に6等分した領域と、フォワードを ϕ 方向に3等分した領域をそれぞれセクターと呼ぶ。セクターの ϕ 方向の幅はちょうどTGC1枚の幅と一致する。さらにセクターはエンドキャップ領域では η 方向に37分割、 ϕ 方向に4分割され、またフォワード領域では η 方向に16分割、 ϕ 方向に4分割され、それぞれサブセクターと呼ばれる。サブセクターは8ワイヤグループと8ストリップに対応しており、これが1つのRoI(Region of interest)になる。

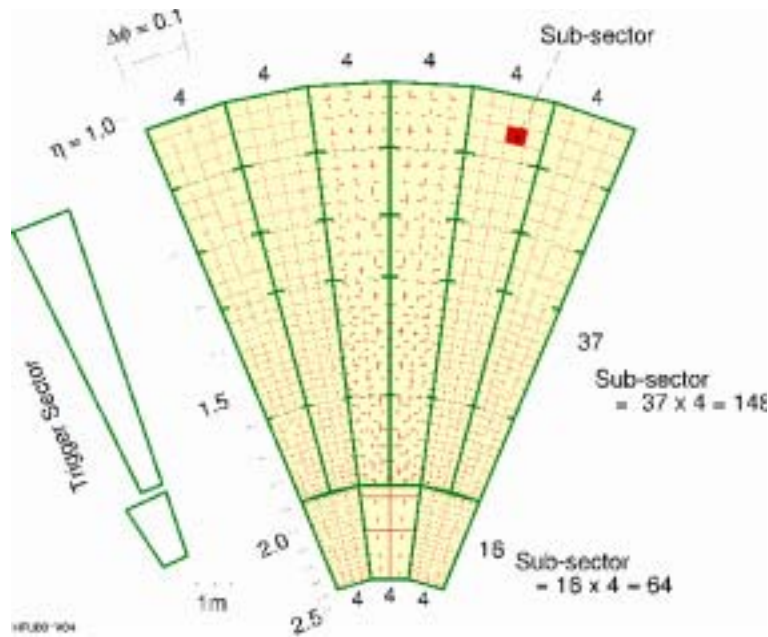


図 3.2: トリガーに用いられる TGC オクタントの分割

以上はトリガーの論理構造に根ざした分割であるが、読み出し系では図 3.3 に示す分割を用いる。この分割の単位を LDB(Local DAQ Block) と呼ぶ。

ダブルットのエンドキャップ部では middle と pivot の対応するセクターのペアを取って 1 つの LDB とし、トリプレットのエンドキャップ部では隣接する 2 つのセクターをまとめて 1 つの LDB とする。また EI はオクタント全体で 1 つの LDB とする。フォワード部ではダブルットペア、トリプレット、FI 共にオクタント全体で 1 つの LDB である。

3.2 トリガー処理の方法

図 3.4 に、TGC のトリガー処理に用いられるミューオンの P_T の求め方を示す。まず、pivot 層とビーム衝突点を結ぶ直線 (Infinit MomentumLine) を考える。この直線は、 P_T が無限大で、磁場の影響を全く受けずに直進してきたミューオンの仮想トラックである。この Infinit Momentum Line が middle doublet 及び triplet で交差する点と、実際のミューオンが通過した点の r 、 ϕ 方向それぞれ

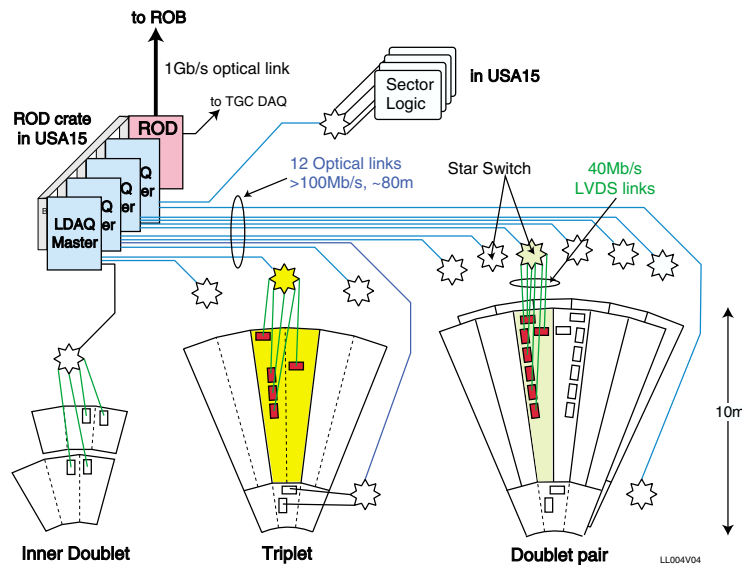


図 3.3: 読み出しに用いられる TGC オクタントの分割

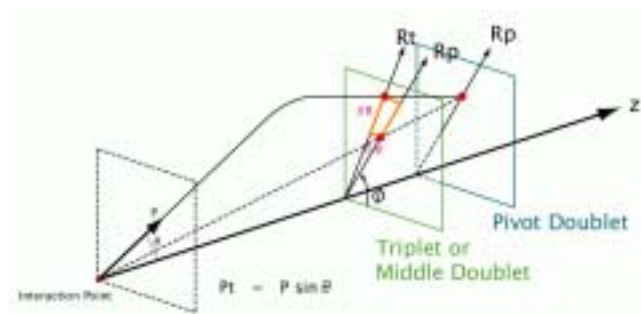


図 3.4: $\delta r, \delta\phi$ の定義

れの位置の差を測定することで $\delta r, \delta\phi^2$ の値を求め、ミュオンの P_T を決定する。ミュオンのトリガーには、Low- P_T と High- P_T の 2 つの P_T に関する閾値があり、その値は、Low- P_T が 6GeV、High- P_T が 20GeV である。これに対応し、middle doublet 及び triplet では、それぞれ δr と $\delta\phi$ の上限が設定されており、上限の δr と $\delta\phi$ で形成される領域をウィンドウと呼ぶ。

図 3.5 で示すように、TGC では 2 層構造、3 層構造を利用したコインシデンス処理を行ない、バックグラウンドによるフェイク信号の影響を減らしている。Low- P_T のトリガーでは、基本的には 2 つの doublet でワイヤー、ストリップ共に 3 out of 4 の条件を要求し、middle, pivot の両ダブルレットのヒットが、ある一定の幅のウィンドウ³に入っていた時に、Low- P_T のミュオンの候補として扱われる。

また High- P_T のトリガーの場合には、Low- P_T の条件に加えて、triplet にワイヤーでは 2 out-of-3、ストリップでは 1 out-of-2 の条件が要求される。そして Low- P_T の場合と同様に、これらのヒット

² トロイダル磁場が理想的な ϕ 方向成分のみの磁場であれば、 $\delta\phi = 0$ となるが、実際には磁場は一様でなく r 方向にも存在するので、 ϕ 方向の変位 $\delta\phi$ も考えなければならない。

³ 閾値以上の粒子が 90% の確率で検出出来る領域

の位置が一定のウィンドウに納まった時のみ High- P_T のミュオン候補として扱われる。

チェンバーの全層のヒットを要求しないのはチェンバーの低検出効率部分(チェンバーの構造支持部品の領域で検出効率が下がる。)による検出効率の低下を防ぐためである。

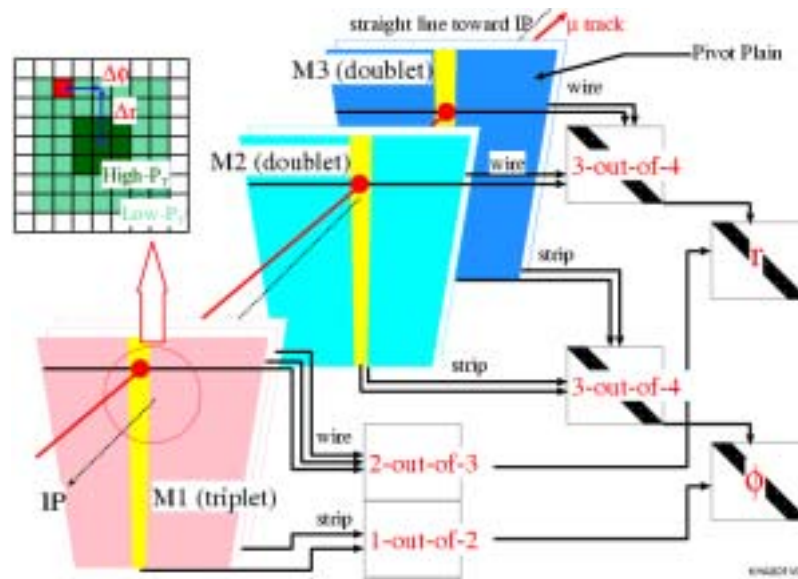


図 3.5: TGC トリガーの判定方法

3.3 エレクトロニクス

3.3.1 全体の概観

TGC からの信号を処理するエレクトロニクスの全体図を図 3.6 に示す。これらのエレクトロニクスの機能は信号のデジタル化、同期化を行う部分、レベル 1 トリガー信号を生成する部分、レベル 1 トリガーを待って読み出しを行う部分、これらエレクトロニクス全体をコントロールする部分に大別される。それぞれの流れについて簡単に説明する。

- デジタル化、同期化

TGC から出力されるアナログ信号はまず ASD(Amplifier Shaper Discriminator) でデジタル化され、PP(Patch Panel) へ送られる。PP では、TOF やケーブル長の違いからくる信号の位相のずれを調整してバンチ識別(信号と LHC クロックの対応をつける)を行う。これ以降の処理は全て LHC クロックに同期して行われる。PP で処理された信号は SLB(Slave Board) へ送られる。

SLB に入力された信号はトリガー用回路と読み出し用回路に分岐される。

- トリガー信号生成

SLB のトリガー用回路では、pivot、middle の両ダブルレットの信号から Low- P_T コインシデンス処理が行われる。トリプレットでもコインシデンス処理が行われるが、ここで得られるのは位置情報のみである。SLB で以上の処理を行った後、信号は HPT(High- P_T) モジュールへと送られる。HPT ではダブルレットのペアで得られた P_T 及び位置情報と、トリプレットでの

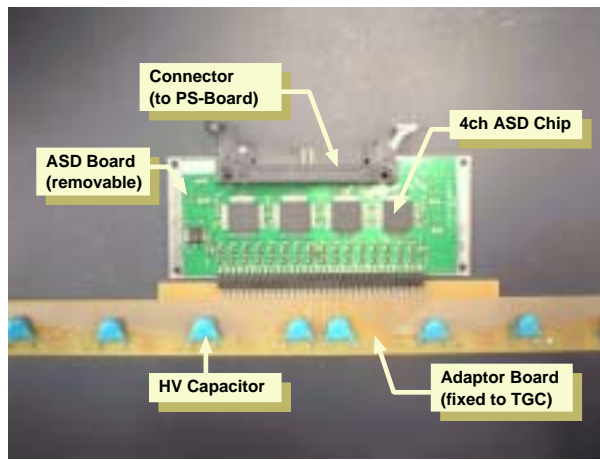


図 3.7: ASD ボード

は JTAG 用の経路も備えている。CCI(Control and Configuration Interface) は実験ホール外にあるローカルインターフェースで、HSC と通信することでこのクレート内の全てのモジュールにアクセスすることができる。SSW 内部の VME アクセス可能なレジスタの一部は、読み出しに用いられるケーブルを介して JRC(JTAG Route Controller) という IC につながっている。JRC は複数の PP 及び SLB とつながっており、SSW から PP、SLB 内の設定レジスタにアクセスできる。このプロトコルには JTAG を用いる。DCS は電源、温度管理などの他、上述の 2 つの JTAG 経路にアクセス可能である。DCS のモジュール自体のリモートコントロールは CAN によって行われる。

3.3.2 TGC エレクトロニクス構成要素

3.3.2.1 ASD(Amplifier Shaper Discriminator)

ASD ASIC は 4 チャンネルの TGC のアナログ信号を増幅、整形、デジタル化し、LVDS⁴で出力する。ASD Board(図 3.7) にはこのチップが 4 つ搭載されており、1 ボードで 16 チャンネルを処理できる。また TGC に接続中もテストパルスの入出力が可能である。この機能はタイミング調整時などに利用される。ASD ボードは TGC の側面に取り付けられ、電源、閾値電圧、上述のテストパルス入力の提供は後述の PS Board を介して行われる。

3.3.2.2 PP(Patch Panel ASIC)

PP ASIC のブロック図を図 3.8 に示す。ASD からの 32 チャンネルの信号を処理し、主として ASD からの入力部 (LVDS-TTL 変換)、プログラマブルディレイ、同期化回路からなる。バンチ識別が PP の最も重要な役割である。TGC のタイムジッター (粒子が TGC を通過してから信号が出るまでの時間のばらつき) は最大 25nsec(正確には 25nsec のゲート幅で 99% 以上の検出効率) であるが、このタイムジッターが複数のクロックにまたがらないように、プログラマブルディレイの値を設定する。プログラマブルディレイは PLL を利用したもので、約 0.8nsec 刻みで最大 25nsec までの設定が可能である。このディレイを通過した信号を同期化することでバンチ識別を行う。ま

⁴Low Voltage Differential Signaling

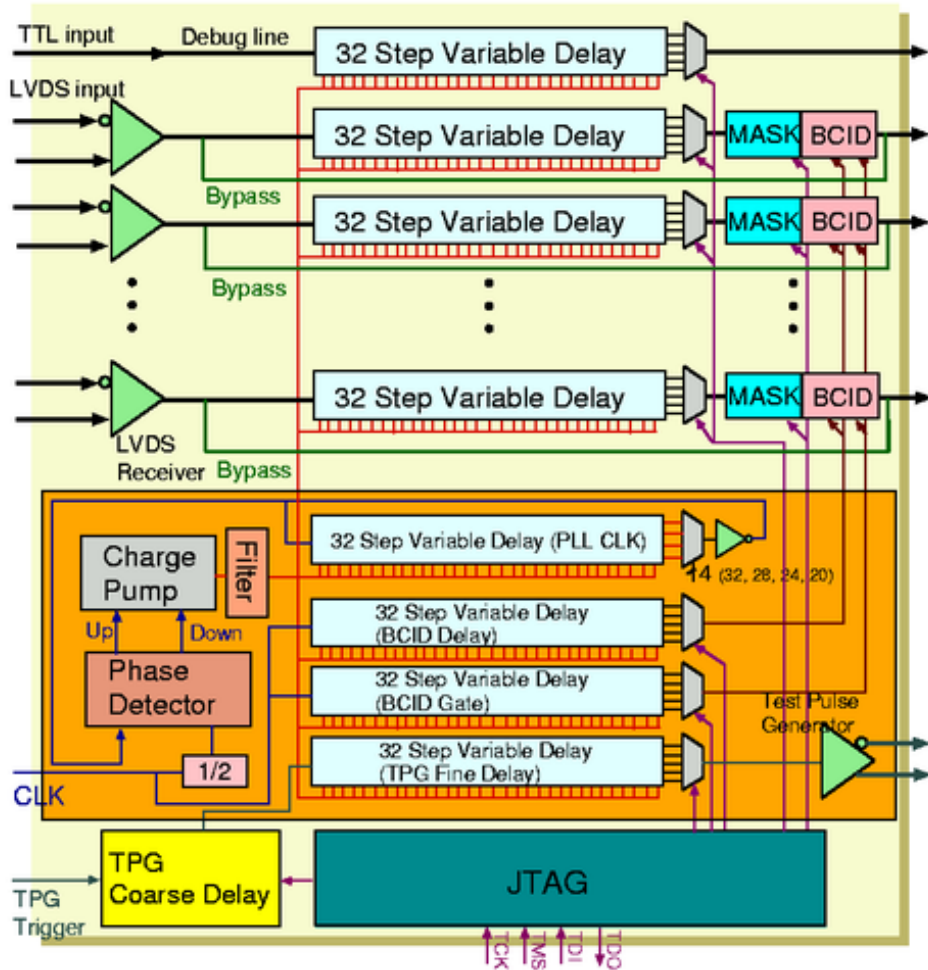


図 3.8: PP ASIC のブロック図

た、何らかの理由で TGC のタイムジッターが 25nsec を超える場合には、可能性のある複数のパンチにヒット信号を出すようにすることも可能である。その他の機能として、ホットチャンネルをマスクする機能、ASD ヘテスト信号 (アナログ) を入力する機能などがある。これらの機能の利用、またプログラマブルディレイの値の設定などは JTAG を用いて行う。後述する PS ボード上に実装される。

3.3.2.3 SLB(Slave Board ASIC)

SLB ASIC のブロック図を図 3.9 に示す。

SLB の機能は入力部、トリガー部と読み出し部に大きく分かれる。

SLB ASIC は複数の PP ASIC から最大 160 チャンネルの信号を受け取る。入力部では複数の PP ASIC からの入力のタイミングを半クロック単位で調整し、ホットチャンネル、デッドチャンネルのマスクなどの処理を行った後、信号をトリガー部、読み出し部へ送る。このマスクはテスト時にも用いられる。

トリガー部ではコインシデンス処理を行う。この処理の出力は、ダブレットペアの場合は、Low- P_T 判定結果と位置情報であり、トリプレットの場合は位置情報のみである。また、ワイヤーとス

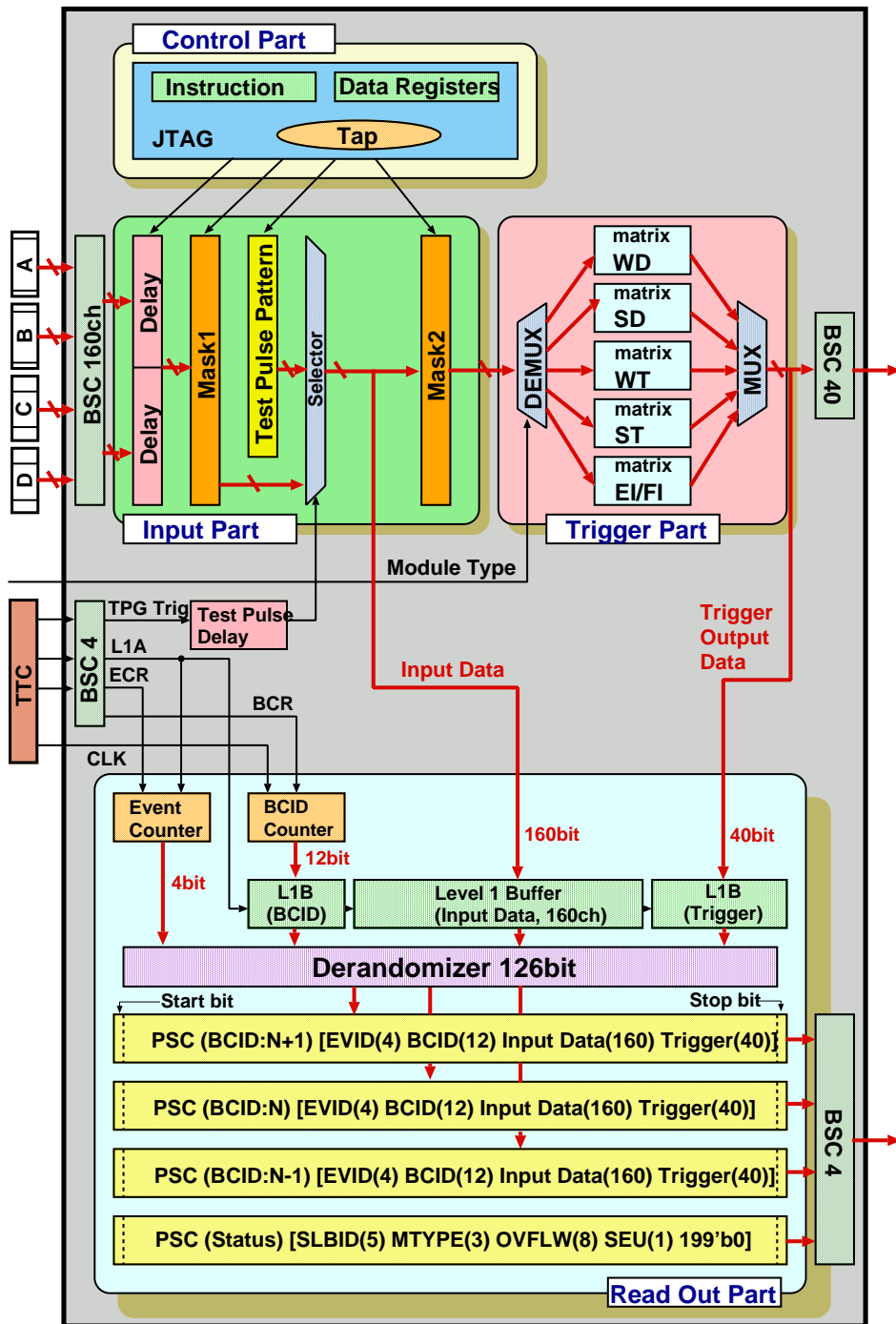


図 3.9: SLB ASIC のブロック図

トリップでもこの処理は異なるが、外部ピンの電位によりこの機能を切り替えることが可能である。Low- P_T 判定の結果はトラックセレクタに送られ、高い P_T のトラックを2つ選び出す。また、デクラスタリング(1つの粒子の通過が隣接する複数のチャンネルにヒットを与えたと思われる信号を1つのトラックにまとめること)も行われる。トリガー部では全ての処理が1クロックで行われる。

読み出し部は主に、レベル1バッファ、デランダムマイザ、PSC(Parallel to Serial Converter) からなる。読み出し部に入力されたデータはトリガー部が HPT へ送るデータと共に、レベル1バッファに入る。レベル1バッファは可変長(1クロック単位、最大128段)のパイプラインメモリで、バンチごとのデータにレベル1判定が下るまでのディレイの役割を果たす。サイズは最大 $2.5\mu\text{sec}$ の L1A 信号のレイテンシに耐えられなければならないという要請を満たす。SLB 内部には BCID 用と L1ID 用の2つのカウンタが存在し、それぞれクロック数、L1A 信号の数を数えている。bit 長はそれぞれ 12bit、4bit である。レベル1バッファへの入力時には、バンチごとにこの BCID カウンタの値が付加される。

レベル1バッファに入力されたのち、L1A 信号を受けたバンチのデータは L1ID カウンタの値が付加され、その前後のバンチのデータと共に3バンチ分がデランダムマイザ(1種の FIFO)、さらに PSC へと移される。この時点で、1バンチのデータは L1ID 4bit、BCID 12bit、SLB ASIC への入力信号 160bit トリガー部の出力 40bit、計 216bit となる。PSC ではこの情報を3バンチ分、さらに SLB のステータスを併せ $216\text{bit} \times 4$ 列にしてシリアル化し、216クロックかけて SSW へ送る。シリアル化することはバンド幅を犠牲にして、かわりに SLB-SSW 間のケーブルの本数を減らすことにあたる。

このデランダムマイザ、PSC から SSW への転送には約 $5.6\mu\text{sec}$ かかることになる。デランダムマイザから PSC へのデータの移動は PSC が SSW への転送を終えて空になるまで行うことができない。2.2.1 節で述べたように、CTP は $80\mu\text{sec}$ に最大で8回しか L1A 信号を出さないようにプログラムされる予定であるので、デランダムマイザの深さとしては8イベント分あれば溢れることはないといえる。実際にはデランダムマイザには128ワード(1イベントで3バンチなので、42イベント分)のメモリを使っている。後述する PS ボード上に実装され、SLB ASIC の各種設定パラメータは JTAG によってアクセスされる。

3.3.2.4 PS(PP and SLB) Board

PP、SLB は、PS ボード上に搭載される(図 3.10)。

PS ボードは一枚あたり 256~320 チャンネルの ASD からの入力を持ち、これを最大8つの PP ASIC へ接続する。SLB ASIC は最大3つ搭載される。PP ASIC から SLB ASIC への配線中、TGC の境界(オーバーラップがある)にあたるチャンネルについては、ダブルカウントを防ぐために OR 回路が挿入される。この処置が入力チャンネルの TGC 内の位置によって異なる等の理由で、PS ボードには19種類の異なるバージョンが存在する。

さらに、DCS、SSW からの制御用 JTAG 信号を PP ASIC、SLB ASIC に分配する JRC ASIC が各 PS ボードに1石ずつ搭載される。DCS のフロントエンドである eLMB(embedded Local Monitor Board) も搭載される。

SLB、JRC と HPT、SSW の接続のために LVDS のシリアルリンクチップが搭載される。

PS ボードはダブレットでは10枚、トリプレットでは17枚が一組となり、 TTC_{rx} を搭載しその信号を各 PS ボードへファンアウトする SPP(Service Patch Panel) とともに、図 3.11 のように PS Pack という構造体に格納され、チェンバーに張り付くように設置される。

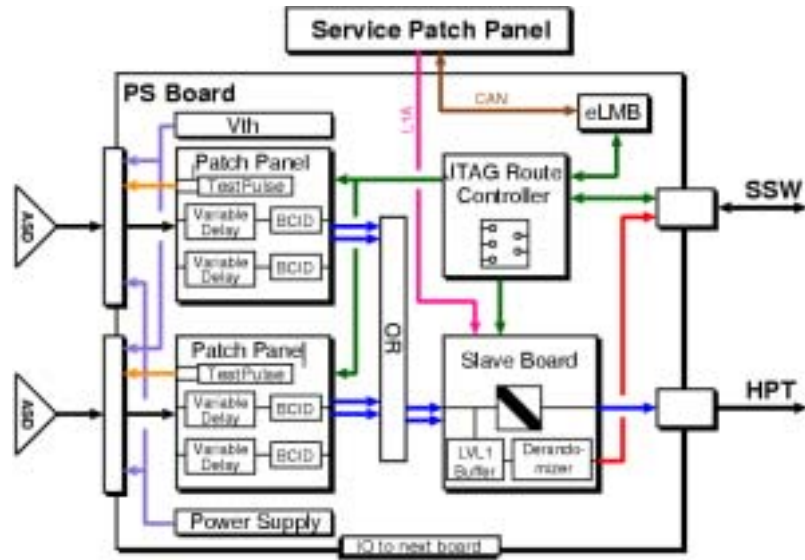


図 3.10: PS ボード

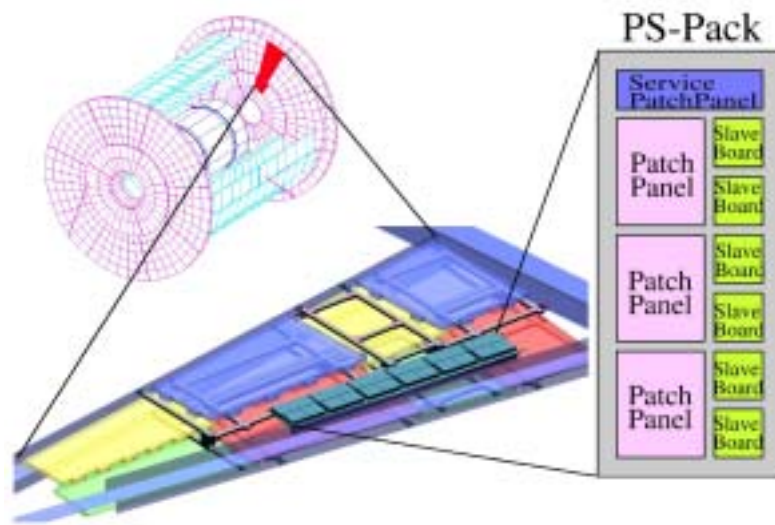


図 3.11: PS Pack の構成と配置

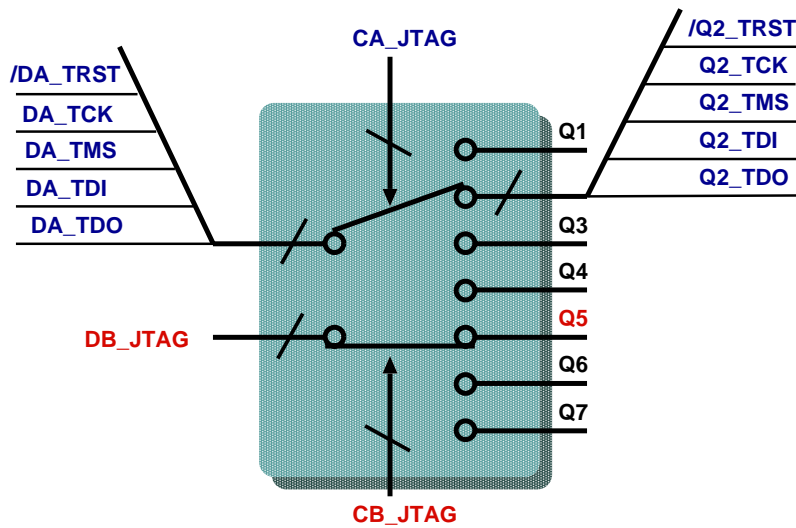


図 3.12: JRC

3.3.2.5 JRC(JTAG Route Controller)

PS ボード上では複数の PP、SLB の設定が SSW あるいは eLMB によって JTAG プロトコルで行われる。JRC はこのための JTAG 信号のルータである。JRC の概念図を図 3.12 に示す。JRC 自身の制御も JTAG で行われる。

3.3.2.6 HPT(High-Pt Board)

主要な機能は High- P_T コインシデンス、トラックセクターに分かれる。コインシデンス部では SLB でコインシデンス処理されて求められた triplet の位置情報と doublet の位置と P_T の情報を基に、ミュオンの P_T を測定し、 P_T の値が 20GeV 以上のミュオンがあった場合、High- P_T 判定を下す。トラックセクター部ではこの High- P_T コインシデンスの結果と SLB からの Low- P_T の情報とを併せて、これらの中から最大 2 つのトラックを選び、SL に出力する。主要な機能は 4 つの ASIC(HPT ASIC) によって実装されている。A24D16 の VME 互換ボードとして実験ホール内の VME クレートに格納される。

3.3.2.7 SL(Sector Logic)

TGC のみによるトリガー処理の最終段にあたるモジュールである。SL の機能は主に r - ϕ コインシデンス、プリトラックセクター、ファイナルトラックセクターから構成される。SL では、今まで独立に処理されていた r 方向(ワイヤー)と ϕ 方向(ストリップ)の HPT からの情報を統合する。両者のコインシデンスを取ることにより、入射ミュオンのトラックを構築し(r - ϕ コインシデンス)、それらのトラックを、6 段階の P_T の閾値によって分類する。この閾値は探索する物理により実験中に自由に変更出来ることが要求されるので、閾値は書き換え可能な Look-Up Table(LUT) によって与えられている。プリトラックセクターは、6 段階の P_T 判定のそれぞれに用意され、 P_T の大きい順に 2 つずつ選択されて、計 12 トラックがファイナルトラックセクターに送られる。ファイナルトラックセクターでは、この中で P_T の大きいものを 2 つ選択して、6 段階の P_T 判定と位置情報を MUCTPI に送る。SL は放射線の影響を受けない実験ホール外に設置されるため、

これらの機能の実現には柔軟な設計が可能のように FPGA や CPLD⁵ が用いられている。VME64x 互換ボードとして実装されている。

3.3.2.8 SSW(Star Switch)

SSW については 4 で述べる。

3.3.2.9 ROD

TGC のみの読み出しの最終段にあたるモジュールである。13 の SSW からデータを集め、TTC からの情報をもとに 1 オクタントのデータを全て集約しイベント構成をする。SSW から読み出された信号は FIFO に入れられた後、日立社製の SH4 という CPU によってソフトウェア処理をほどこされて ROB に送られる。VME64x 互換ボードとして実装され、実験ホール外に設置される。

3.3.2.10 HSC/CCI

HPT と SSW は、実験ホール内にある 9U サイズの VME クレート (HSC クレート) に格納される。このクレートのバックプレーンのユーザー定義の信号線には JTAG 信号と TTC の信号が走る。HSC(HPT and SSW Controller) はこのクレートの VME マスターであり、この機能は HSC 上の SPE というチップで実現されている。また、JTAG をコントロールする機能も備えていてこれは HSC 上の PPE というチップで実現されている。⁶

CCI は実験ホール外にあるローカルインターフェースで、HSC と光ファイバーケーブルを介して通信する。CCI は VME64x 互換ボードとして実装されている。

3.3.3 TGC エレクトロニクスの配置

図 3.13 に TGC エレクトロニクスの配置を示す。

3.4 TGC エレクトロニクスの周りの放射線環境

ここでは、実際の ATLAS 実験で、TGC エレクトロニクスが受ける放射線環境について述べる。LHC のようなハドロンコライダーでは、膨大なバックグラウンドが発生し、ATLAS 実験においてビーム衝突点から離れた場所に設置される TGC でも、 γ 線や中性子などの放射線を大量に浴びることになる。また ATLAS 実験は始まってから、少なくとも 10 年間は稼働を予定しており、検出器内部に設置される全ての半導体素子は、この稼働期間中の被曝に耐え得る性能が要求される。ATLAS 実験における放射線基準のレベル (SRL: Simulated Radiation Level) は、RHA (Radiation Hard Assurance) working group [2] が計算したシミュレーション結果によって与えられている [4][5]。RHA は ATLAS 検出器の各サブシステムに対して、どの程度の放射線環境が見込まれるかを提示し、そのサブシステムが安全に 10 年間稼働出来るかを確認するグループである。

放射線が半導体素子に与える影響は、主に吸収線量の積算的な効果によるもの (TID: Total Ionising Dose、NIEL: Non Ionising Energy Loss) と吸収線量に関係なく単発の放射線粒子のよって引き起こされるもの (SEE: Single Event Effect) の 2 種類がある。RHA のシミュレーション結果から、TGC

⁵内部に回路構成用メモリを内蔵し、外部からそれを書き込むことで自由に回路を構成出来るデジタル IC。

⁶現在 SPE と PPE の両方の機能をまとめた ASIC が設計されている。

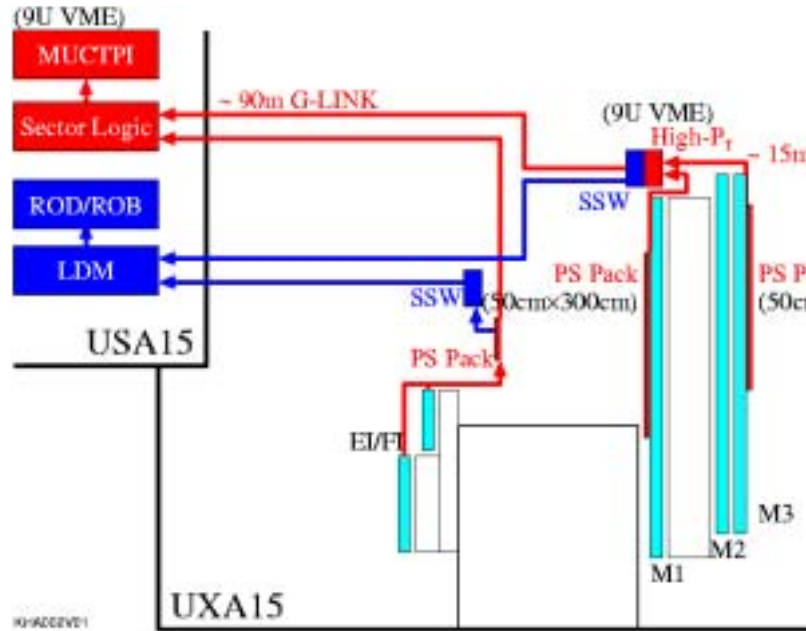


図 3.13: TGC エレクトロニクスの配置

エレクトロニクスが設置される $r - z$ 座標 (Triplet: $(r, z) = (715 \sim 1180\text{cm}, 1280 \sim 1290\text{cm})$, Doublet: $(r, z) = (680 \sim 1180\text{cm}, 1470 \sim 1480\text{cm})$) での放射線基準レベル SRL の値は、表 3.1 のようになる。

	$SRL_{TID}[Gy]$ (10年間の積算線量)	$SRL_{NIEL}[n(\sim 1MeV)/cm^2]$ (10年間のフルエンス)	$SRL_{SEE}[h(> 20MeV)/cm^2]$ (10年間のフルエンス)
Triplet	2.27	2.58×10^{10}	6.54×10^9
Doublet	2.49	1.42×10^{10}	4.53×10^9

表 3.1: RHA のシミュレーションによる放射線量の見積もり

各現象における放射線基準レベル SRL は、 SRL_{TID} については、10年間分の積算吸収線量、 SRL_{NIEL} 、 SRL_{SEE} については、10年間分のフルエンスで評価されている。TID は放射線粒子の電離的エネルギー損失による半導体素子の劣化で、NIEL は非電離的エネルギーによる損傷である。これらの現象は総照射線量によって評価され、NIEL については評価する際、粒子のエネルギーや種類に依存しないように、あらゆる粒子のフルエンスは等価 1MeV の中性子で統一的に評価される。一方、SEE は総照射線量に関係なく、高エネルギーのハドロン粒子によって、単発的に起こる現象である。

SRL には、不確定要素が多く含まれているため、安全係数 (SF) が用意されており、式 3.1 より、耐放射線基準値 (Radiation Tolerance Criteria: RTC) が見積もられる。

$$RTC \approx SRL \times SF_{sim} \times SF_{ldr} \times SF_{lot} \quad (3.1)$$

ここで、 SF_{sim} は SRL のシミュレーションの誤差、 SF_{ldr} は低線量率 (Low Dose Rate) で長時間照射した場合の効果、 SF_{lot} はデバイス製造時のロット間で生じるパラメータの違いを考慮した安全係数である。これにより、TGC エレクトロニクスの RTC の値は、より高い安全性を考慮して SRT の値は設置領域に関係なく最も高い数値を採用すると、表 3.2 のようになる。

	$SRL[10\text{years}]$	SF_{sim}	SF_{ldr}	SF_{lot}	$RTC[10\text{years}]$
TID	2.49[Gy]	3.5	5	2	$\sim 1.0 \times 10^2[\text{Gy}]$
NIEL	$2.58 \times 10^{10}[\text{/cm}^2]$	5	1	2	$\sim 3.0 \times 10^{11}[\text{/cm}^2]$
SEE	$6.54 \times 10^9[\text{/cm}^2]$	5	1	2	$\sim 7.0 \times 10^{10}[\text{/cm}^2]$

表 3.2: TGC エレクトロニクスの RTC の見積もり

TGC エレクトロニクスの各デバイスには、この RTC の値に相当する照射に対して、安定に動作することが求められる。TID については、上記の基準値 (100Gy) に相当する γ 線照射を各デバイスに試みて、放射線耐性を評価すればよい。SEE についてもハドロンフルエンスの基準値に基づいて評価すればよい。しかし SEE の発生率は、原因となるハドロンフルエンスのみならず、半導体部品の構造や集積度に依存し、さらにその実際に SEE が発生した時の影響はシステムの構造によって異なるので、ATLAS 実験全体での統一的な発生率の基準値 RTC_{SEE} は、与えられていない。従って、TGC エレクトロニクスに用いられる各デバイスについて、照射実験から SEE の発生率を調べ、システムの構成を基に危険性を評価していかなければならない。そして、その評価から、TGC グループとしての RTC_{SEE} の値を決定する必要がある。TGC エレクトロニクスでは、陽子ビームを用いて SEE の発生率を調べている。SEE には一時的に誤動作を起こすソフト SEE (SEU: Single Event Upset) と永久的な故障をもたらすハード SEE があり、以下にそれぞれの評価方法を示す。

- ソフト SEE (SEU)

SEU は放射線粒子の通過で生じた電荷が、集積回路の電荷量と同程度になり、メモリ素子の情報が反転してしまう現象であり、SEU の発生率 (SEU_{rate}) は次のように計算される。

$$SEU_{\text{rate}} = (SEU_{\text{m}}/ARL) \times (SRL/10^8\text{s}) \times SF_{\text{ALL}}^7 \quad (3.2)$$

ここで、 SEU_{rate} は TGC が設置された場所で予想される SEU の発生率、 SEU_{m} は陽子ビームなどの照射実験で測定された SEU の全発生数、 ARL (Applied Radiation Level) は照射したフルエンスである。TGC エレクトロニクスで使用するデバイスの SEU_{rate} は、次式を満たす必要がある。

$$SEU_{\text{rate}} < RTC_{\text{rate}}(SEU) \quad (3.3)$$

しかし TGC グループにおいて、SEU の発生率に対する基準値である $RTC_{\text{rate}}(SEU)$ の値はまだ確定されていない。

- ハード SEE

ハード SEE には、永久にメモリ素子の bit を反転させたままにしてしまう Hard SEU と、永久的に回路をショートさせてしまう Destructive SEE がある。LHC 加速器環境でのハード SEE の発生率については、まだ見積もられていない状態である。ATLAS 検出器が置かれる場所での Hard SEU と Destructive SEE の発生率の見積もりである *Hard or Destructive SEE*_{rate} は、次のように計算される。

$$\text{Hard or Destructive SEE}_{\text{rate}} = (\text{Hard or Destructive } SEU_{\text{m}}/ARL) \times (SRL/10^8\text{s}) \times SF_{\text{ALL}} \quad (3.4)$$

ここで、*Hard or Destructive SEE_m* は、陽子ビームテストなどの照射実験で測定された Hard SEU と Destructive SEE の全発生数を意味する。ATLAS 実験で用いられる各エレクトロニクスは、この値が各放射線基準値を満たす必要があり、すなわち次式がそれぞれ成り立つ。

$$Hard\ SEU_{rate} < RTC_{rate}(SEU.h) \quad (3.5)$$

$$Destructive\ SEU_{rate} < RTC_{rate}(SEE.d) \quad (3.6)$$

しかし TGC グループにおいて、SEU の発生率に対する基準値である $RTC_{rate}(SEU.h)$ と $RTC_{rate}(SEE.d)$ についてもまだ確定されていない。

TGC エレクトロニクスでは、ハード SEE の現象が起きないようなシステムの構成が必須であり、各デバイスは照射試験によって、ハード SEE が起きないことを確認する必要がある。しかし、一般にハード SEE の起こる確率は小さい。TGC の設置されている領域の電子デバイスへの影響で特に考慮すべきものは、ソフト SEE(SEU) である。例として、PP ASIC についての SEU の頻度を RHA のシミュレーションデータを用いて大雑把に見積もってみる。SEU の発生率 SEU_{rate} は、その場所でのハドロンフルエンス Φ と半導体出デバイスの SEU 断面積 σ によって、次のように計算される。

$$SEU_{rate} = \frac{\sigma\Phi}{T} \quad (3.7)$$

ただし、T の値は LHC の 10 年分の稼働時間として、 10^8 sec とする。また SEU の断面積 σ_{SEU} [cm²/bit] は、20MeV 以上のハドロン粒子になると一定になり、約 $10^{-15} \sim 10^{-13}$ [cm²/bit] と見積もられている [6]。SEU が起こると問題になるレジスタは、パラメータ設定用に用いられているレジスタであり、PP ASIC の場合 67bit 存在する。フロントエンドに設置される PP ASIC は全部で約 1 万個になるため、仮に SEU 断面積の値を 1.0×10^{-13} とすると、SEU の発生率は、

$$\begin{aligned} SEU_{rate} &= \frac{\sigma_{SEU}[\text{cm}^2/\text{bit}] \times RTC[\text{cm}^2/10\text{years}]}{ATLAS\ \text{の}\ 10\ \text{年分の稼働時間}[\text{s}]} \times \text{全}\ bit\ \text{数}[\text{bit}] \times \text{使用チップ数} \\ &= \frac{1.0 \times 10^{-13} \times 7.0 \times 10^{10}}{10^8} \times 67[\text{bit}] \times 1.0 \times 10^4 \\ &\simeq 5 \times 10^{-5}[\text{SEU}/\text{sec}/\text{TGCAllSystem}] \\ &\simeq 5[\text{SEU}/\text{day}/\text{TGCAllSystem}] \end{aligned} \quad (3.8)$$

と見積もられる。この見積もりから、TGC エレクトロニクスで使われる設定レジスタには、SEU 対策が必要であることがわかる。そこで TGC エレクトロニクスでは、ASIC に搭載される各設定レジスタには、5.3 節で説明する多数決論理回路を実装して、SEU による IC の誤動作を防止した設計を行なっている。

上述のシミュレーションによる SEU 断面積の見積もりは、実際使用してるデバイスの実測値ではないため、使用する ASIC に対する SEU 断面積の値を照射テストによって、正確に求める必要がある。そして、この実測値から SEU_{rate} を求め、TGC エレクトロニクスシステム全体として、SEU による影響を評価しなければならない。これについては 7 章で述べる。

第4章 SSW(Star Switch)

4.1 SSW の機能

4.1.1 TGC の読み出し系と SSW

TGC の読み出しシステムが読み出すべきチャンネル数はシステム全体で 320k チャンネル、オクタントあたり 20k チャンネルある。

この膨大な数のチャンネルのデータを最終的にオクタントあたり 1 つに集約して ROB へ出力するため、TGC の読み出しシステムでは図 4.1 に示すように、現実的な程度のチャンネル数の入力とそれより少ないチャンネル数の出力を持つモジュールを組み合わせピラミッド構造を構成する。

複数のチャンネルの入力をより少ない数の出力に集約するために、時分割多重方式を用いる。この方式では入力された情報を全て出力しようとするとう出力データレートが入力データレートより少なくとも、[入力チャンネル数/出力チャンネル数] の比で大きいことが必要となるが、それではこのピラミッド構造は、実際に使用できるリンク技術のバンド幅からくる制限によってすぐに破綻してしまう。よって、どこかでデータ量を削減しなければならない。

まず、SLB ASIC(3.3.2.3 節参照) の読み出し部分ではトリガーで採用されないバンチの情報を捨てる。

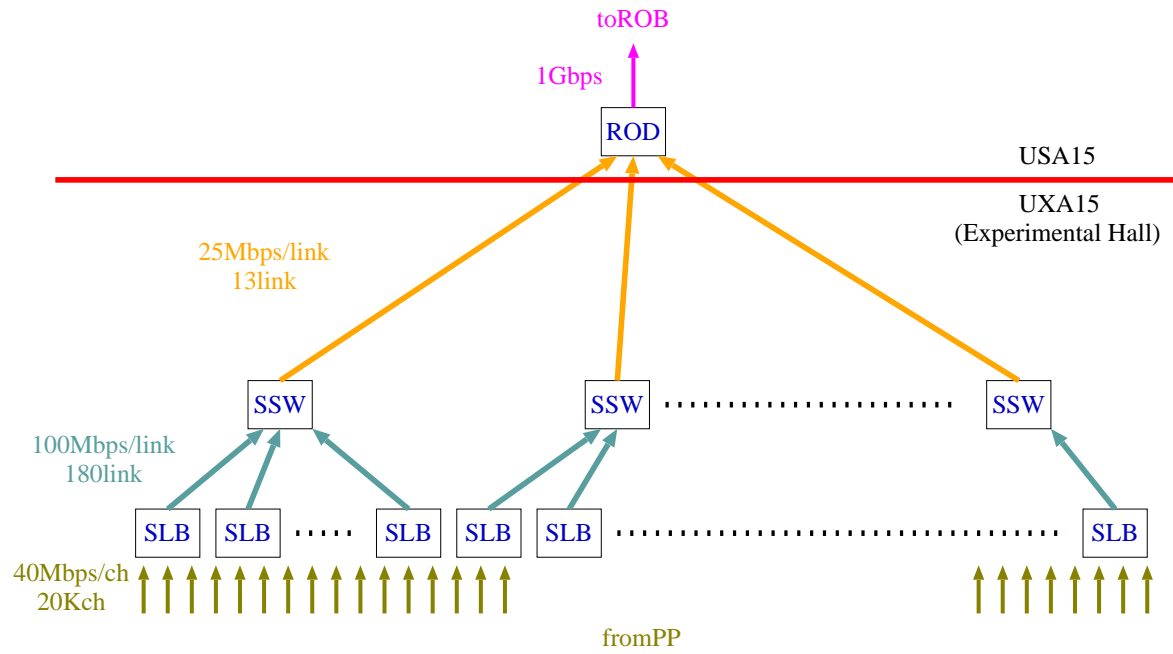
レベル 1 バッファの出力部分では L1A 信号を受けないバンチのデータが捨てられる。そこでできたバンド幅の余裕を利用して、PSC では、パラレルに入力された 216bit のデータをシリアル化し、入力された 216 分の 1 の bit 幅で、入力された 216 倍の時間をかけて出力する。もっとも、L1A 信号が 216 クロック以上の間隔を空けてアサートされることが保証されているわけではない。平均すれば最大 100kHz でしかレベル 1 トリガでのデータの採用はないものの、瞬間的には PSC が受け付けられないような短い時間間隔でトリガーがかかることもありうる。この、レベル 1 バッファの(平均ではなく)瞬間的な最大の出力データレートと、PSC の入力データレートの差を吸収しているのがデランダムマイザである。

レベル 1 トリガーを受けたバンチの情報を捨てることのできる次のチャンスは、ROB で受けるレベル 2 トリガーである。SLB から ROB までは基本的には情報を失うことなく転送しなければならない(正確には許されるデータのロス率は 75kHz の L1A レートで 1%、100kHz の L1A レートで 6%とされている)。

100kHz のトリガーレートは、25nsec のクロック周期を単位として、平均 400 クロックのトリガー周期に対応する。SLB が 1 イベントを出力するのに要する時間は 218 クロックなので、この時点ではまだバンド幅に余裕があるが、TGC の読み出し系にはさらにデータを削減し集約することを可能にする事情がある。現在シミュレーションから予想されている LDB あたりの TGC のヒットレートは最も高い場所でも 0.4hit/event である [1]。SLB から出力されるヒットパターンはほとんど 0 が並んでいることになる。実際にはチェンバーの誤動作など、粒子が TGC を通過することに起因しない現象として、ほとんどのチャンネルにヒットが出力されるようなこともあるかもしれないがこのような場合は、何らかの異常が起きているということ異常に高いヒットオキュパンスという形で検知できさえすればよくその際は全チャンネルにわたっての具体的なヒット情

TGC Readout System(1 Octant)

図 4.1: TGC の読み出しシステム



報を取得する必要はないという立場をとれば、ゼロサプレス方式でデータを圧縮(4.2.2.3 参照)することで、意味のある情報を失うことなくデータのビット数を削減することが可能である。

SSWはこの事情を利用して、1つのLDB(最大18のSLB ASIC)のレベル1トリガーで採用されたパンチのデータを全て受け取り、ゼロサプレス方式の圧縮を行った後、イベントごとにまとめてRODに転送する。

RODには13のSSWの出力を接続し、最終的には1つのRODが1つのオクタントのデータを集約してROBに転送する。

SSWは9UサイズのVME互換ボードとして実装され、実験ホール内のHSCクレートに格納される。こうすることで、実験ホール外までの90mの長いケーブルの数を減らすことができる。その代わりに設計には放射線耐性を考慮することが求められる。

SLB-SSW間の距離は約10mでLVDSシリアルリンクで接続される。SSW-ROD間の距離は約90mで光シリアルリンク(Optical/G-Link)で接続される。いずれの間も送信源同期のシリアル伝送で通信を行う。

4.1.2 PP、SLBの設定

SSWにはSLB ASICからのデータの読み出し以外にPSボードのPP、SLBのパラメータ設定のためのJTAGアクセスの中継地という役割も持っている。これには読み出しのためのピラミッド構造が逆方向のデータの流れにも利用される。SSWRXチップ内のVMEアクセス可能なレジスタがLVDSシリアルリンクを通じてJRC ASICにつながっており、ここを介してPSボードへのアクセスが可能である。

4.2 SSWボードのプロトタイプの開発

4.2.1 SSWボードの構成

今回SSWボードのプロトタイプを設計した。実際の実験時で使用されるものとの主な違いは、

- 後述するSSWRX、SSWTXチップの実装にFPGAが用いられていること。
- 後述するVMEプロトコルチップの実装にCPLDが用いられていること。
- 最大15のSLB ASICからのデータしか受信できないこと(実際の実験では最大18のSLB ASICからの入力がありうる)。

等である。

実際の実験で使われるボードでは、SSWRXチップはASIC化され、VMEプロトコルチップには5章で述べるVMEASICというチップを用いる予定である。SSWTXチップについてはROD-SSW間のデータフォーマットに柔軟性を持たせたいということもあって、FPGAが用いられる可能性もある。

SSWボードの写真とブロック図をそれぞれ図4.2、図4.3に示す。

SSWボードは主に以下のものから構成されている。

- LVDS デシリアライザ
SLB-SSW間のデータ転送にはNational Semiconductor社のDS92LV1023(シリアライザ)とDS92LV1024(デシリアライザ)の組を用いる。シリアライザチップは10bitのTTL信号をク

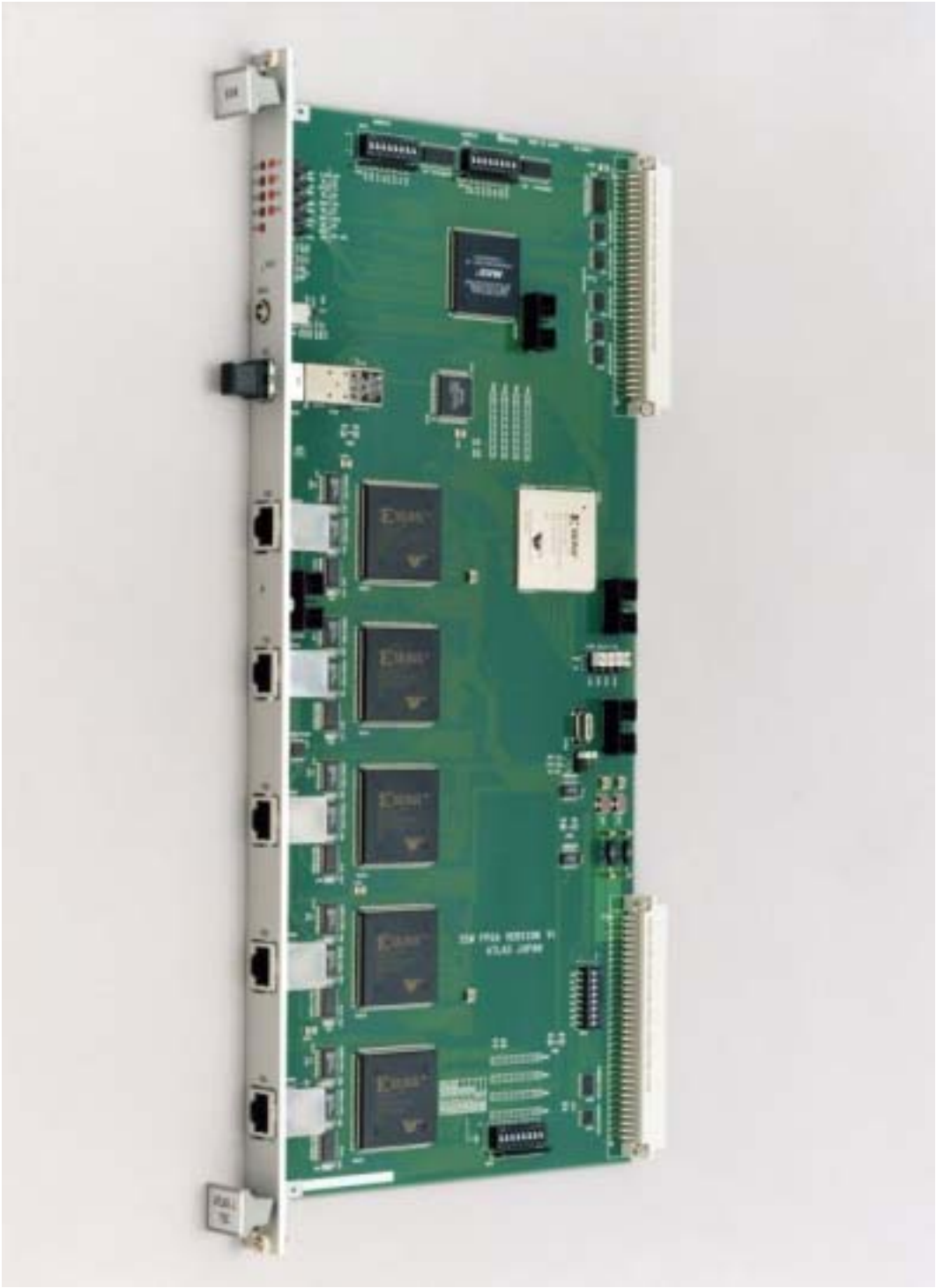


図 4.2: SSW ボードの写真

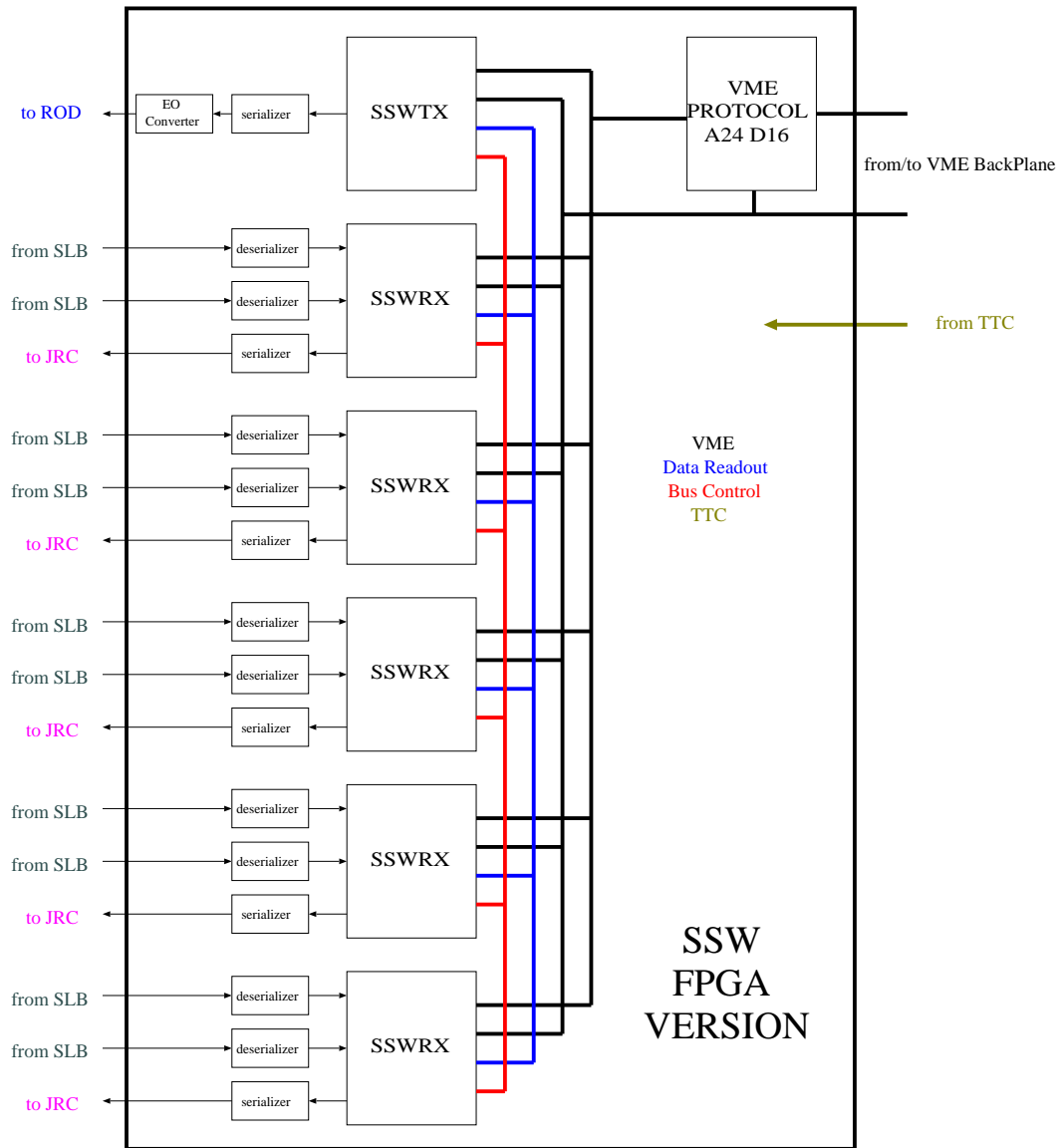


図 4.3: SSW ボードのブロック図

ロックと共に受け取り、スタートビットとストップビットを付加し、合わせて 12bit をそのクロックの 12 倍のスピードで LVDS 信号でシリアルに出力する。デシリアライザチップはシリアライザチップが出力した LVDS 信号を受け取り、スタートビットとストップビットを探し当て、もとの 10bit のデータとクロックを復元して TTL 信号として出力する。これらのチップを用いることで 1 本の信号線を仮想的な 10 本の信号線として使うことが出来る。SLB から SSW へ送られてくるデータは PS ボード上で LVDS シリアライザチップによってシリアル化されているので、これを復元する LVDS デシリアライザチップが必要である。LVDS デシリアライザを通過した時点で、データは SLB ASIC の出力と同じものになる。

- SSWRX チップ

LVDS デシリアライザによって復元されたデータは SSWRX チップに入力される。今回設計した SSW ボードでは 1 つの SSWRX チップが最大 3 つの SLB ASIC からのデータを受信可能で、この SSWRX チップが 1 ボード上に 5 チップ搭載されている。SSWRX チップ内の主な役割は、データの圧縮を行い、圧縮されたデータを FIFO に蓄えて、後述の SSWTX チップの読み出し命令を待つことである。今回は Xilinx 社の Virtex-E シリーズ XCV400E-PQ240-6C という FPGA で実装した。

- SSWTX チップ

SSW ボード上では、上に述べた 5 つの SSWRX チップと 1 つの SSWTX チップがバス接続されており、SSWTX チップがこのバスのマスターとなる。SSWTX チップは SSWRX チップの FIFO の状態を常に監視し、FIFO にデータがあることを確認すると、SSWRX チップに読み出し命令を出してデータの収集を開始する。収集されたデータは ROD-SSW 間に規定されたフォーマットに変換されて出力される。今回は Xilinx 社の Virtex-E シリーズ XCV300E-BG352-6C という FPGA で実装した。

- G-Link チップ、EO コンバータ

G-Link チップは先に説明した LVDS シリアルリンクチップと同様なもので、16bit の信号を 1 本の信号線で送ることが出来る。SSWTX チップから出力された信号は G-Link シリアライザ (Agilent 社 HDMP1032) でシリアル化され、さらに EO コンバータ (infineon 社 V23818-K305-L57) で光信号に変換された後、光ファイバーで ROD へ送られる。

- VME プロトコルチップ

SSWRX、SSWTX 両チップは幾つかの設定パラメータを持ち、それらは VME 経由でアクセスされる。VME プロトコルチップは VME プロトコルを解釈し、SSWRX、SSWTX チップにストローク信号を出力する。SSWRX、SSWTX チップはストローク信号のタイミングで VME バスに対してデータの読み込み、書き出しをおこなう。今回は ALTERA 社の MAX シリーズ EPM3256AQC208-10 という CPLD で実装した。5 章も参照されたい。

- LVDS シリアライザ

PS ボードへ JTAG 信号の出力に用いる。

このボードが格納される HSC クレートのバックプレーンには TTC からの信号が走っている。このボード上の回路は VME プロトコルチップ、SSWRX チップの入力部の一部を除いて、全て TTC からの BC CLOCK を用いた同期回路として実装されている。SSWRX-SSWTX 間のバスもこのクロックを用いた同期バスである。

図 4.4、図 4.5、図 4.6、に用いられるデータフォーマットを示す。



図 4.4: SLB-SSW 間のデータフォーマット

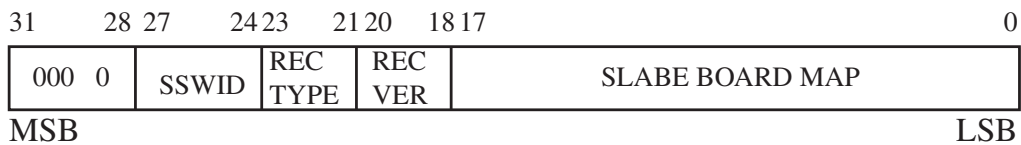
、



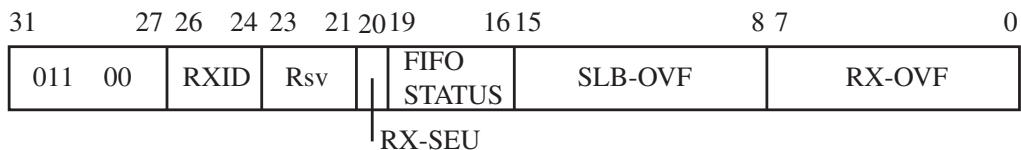
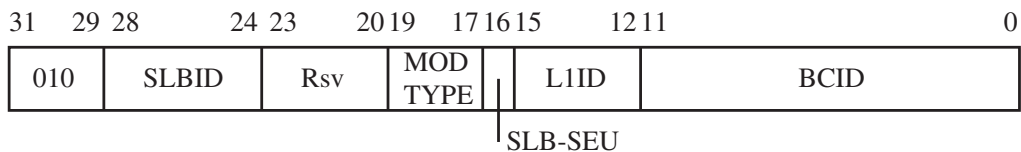
図 4.5: SSWRX-SSWTX 間のデータフォーマット

、

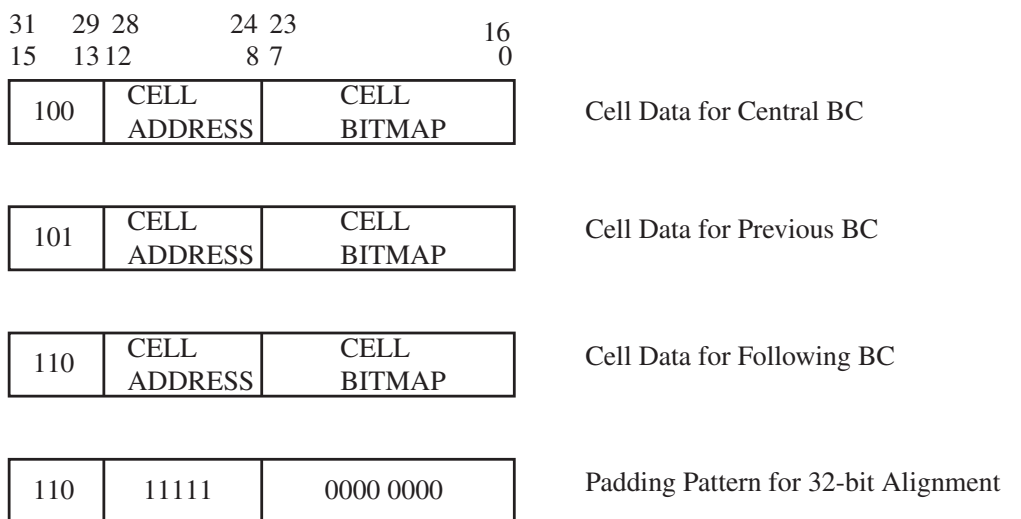
Event Header



SLB Header



SLB Data



Event Trailer

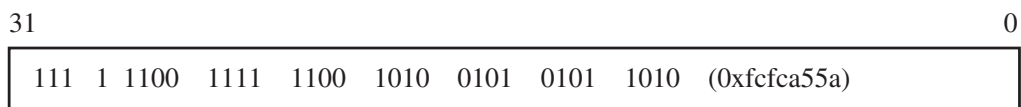


図 4.6: ROD-SSW 間のデータフォーマット

SSWRX

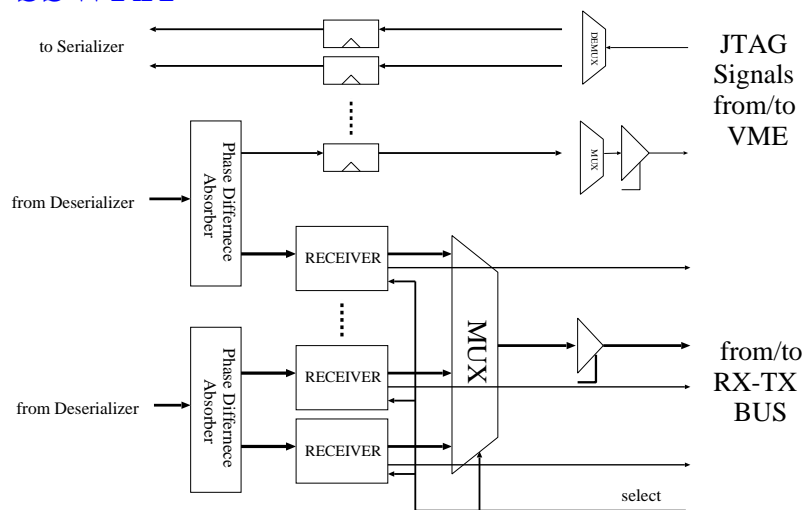


図 4.7: SSWRX のブロック図その 1

4.2.2 SSWRX チップ

SSWRX チップのブロック図を図 4.7 と図 4.8 に示す。に示す。
以下の節で各ブロックの機能について説明する。

4.2.2.1 位相差吸収

SLB ASIC からのデータは各 LVDS デシリアライザごとに位相がずれており、これらのデータをまとめて 1 つのクロックに同期させて ROD に送るので、この位相差を吸収する必要がある。このため書き込みと読み出しを独立したクロックで行う深さ 6 段の FIFO をフリップフロップを用いて実装した。書き込みには LVDS デシリアライザが復元したクロックを用い、読み出しには TTC の BC CLOCK を用いる。この回路を経た後は全ての処理が TTC の BC CLOCK に同期して行われる。

4.2.2.2 SPC(Serial to Parallel Converter)

次段のデータ圧縮に備えて、SLB ASIC の PSC でシリアル化されたデータを復元するシフトレジスタを 4 列用意する。このシフトレジスタの bit 長は 4.2.2.3 で述べる事情により、7~9bit となっている。

4.2.2.3 データ圧縮、フォーマット用シーケンサ

まず前述のゼロサプレスの SSW での定義を以下に行う。

SLB ASIC からのデータのうち L1ID、BCID 等を除き、TGC のヒットパターン (160bit) と SLB ASIC のトリガー部の出力 (40bit) のみを対象として行う。

この 200bit のパターンを 8bit ずつ 25 のグループに分割し、このグループの一つ一つを cell とよぶ。cell には SSW に届いた順に 0~24 の番号を付ける (図 4.4)。この番号を cell address と呼ぶ。8bit がすべてゼロの cell は捨て、ノンゼロの cell のみが、その cell address と共に ROD に送られる。(この際、SLB ASIC から送られてくる 3 バンチのデータのうちのどのバンチのデータを ROD へ

RECEIVER (1 Channel)

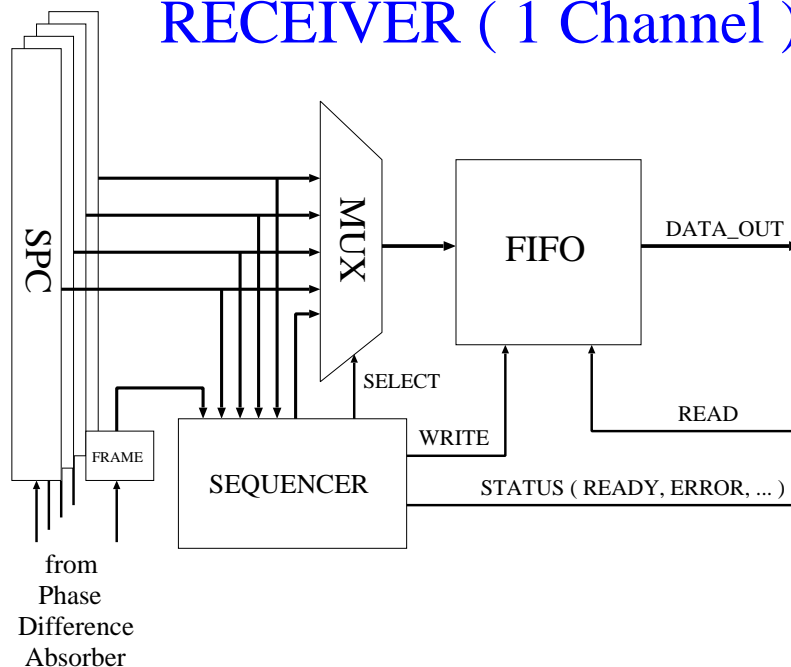


図 4.8: SSWRX のブロック図その 2

送るか設定することが出来る。キャリブレーション時などを除いて、通常はレベル 1 判定を下されたパンチのデータのみを送り、前後のパンチは捨てる。)

この作業は 4.2.2.2 節で述べた SPC にちょうど cell が収まったタイミング (8 クロック周期) で行われる。

このシーケンスは図 4.4 で定義されたスタートフレームを検出することによって開始される。基本的にはスタートフレームの検出からのクロック数を数えることで、現在のシフトレジスタの状態を知り、上記のゼロサプレス作業や L1ID などの情報を取り出すタイミングを決定している。

4.2.2.4 マルチプレクサ

SPC 及び位相差吸収回路の出力を入力とし、上述のシーケンサの出力信号を制御信号とするマルチプレクサで、この回路の出力が次に説明する FIFO のデータ入力となる。

4.2.2.5 FIFO

書き込み読み出しを共に TTC からの BC CLOCK で行う深さ 128 段の FIFO である。書き込み信号はデータ圧縮、フォーマット用シーケンサの出力を用い、読み出し信号は次に説明するバスインターフェースの出力を用いる。

4.2.2.6 バスインターフェース

SSWTX チップからの読み出し命令を受けて FIFO に読み出し信号を出力し、現在の SSWRX チップの状態と FIFO のデータ出力をバスに出力する。

4.2.3 SSWTX チップ

SSWTX チップのブロック図を図 4.9 に示す。

以下の節で各ブロックの機能について説明する。

4.2.3.1 バスコントローラ

各チャンネルに対応するシーケンサの集合体である。各チャンネルへの読み出し命令がそれぞれのシーケンサから出力される。これらのシーケンサの状態遷移は全てのチャンネルのシーケンサの状態と SSWRX チップ内の FIFO の状態、及び内部タイマーに基づいて行われる。基本的には FIFO 内の残りワード数の多いものから順に読み出しを行う制御である。読み出し命令出力からのクロック数と FIFO の状態を見て、SSWRX チップがバスにデータを準備済みかどうかを後段のデータフォーマットに伝える。

4.2.3.2 データ分類用シーケンサ

SSWRX-SSWTX 間のデータフォーマットを ROD-SSW 間のデータフォーマットに変換する作業の第一段階である。バス上のデータが有効であることをバスコントローラからの入力によって判断してデータのタグ部分 (図 4.5 参照) を確認しながら状態遷移し、次に説明するステージ 1 バッファ内の各レジスタへ書き込み信号を送る。データフォーマットの変換に必要なデータが揃い次第、ステージ 1 バッファの出力をコントロールするデータ統合用シーケンサを起動する。また、1 イベントの読み出しの終了をタグから判断して、チャンネルの切り替えをバスコントローラに要求する。

4.2.3.3 ステージ 1 バッファ

SSWRX-SSWTX バスからの入力はデータ分類用シーケンサの出力に従って、ヘッダー、テiler、cell パターン等に分類されて保存される。これらのデータはデータ統合用シーケンサからの入力に従い、ROD-SSW 間のデータフォーマットに変換されて 16bit づつ出力される。

4.2.3.4 データ統合用シーケンサ

ステージ 1 バッファの出力を制御して ROD-SSW フォーマットのデータを作り、準備が出来たワードをステージ 2 バッファに書き込む。

4.2.3.5 ステージ 2 バッファ

ROD-SSW 間のデータフォーマット 4.6 のヘッダには、レベル 1 トリガが出たにもかかわらず応答がないチャンネルの情報が含まれている。「あるチャンネルから応答がない」というのは、他のチャンネルの FIFO にはデータが入力されているのに、一定時間待ってもそのチャンネルの FIFO が空のまま、という意味である。この状況 (あるいは全てのチャンネルが正常に機能しているという状況) が各チャンネルの FIFO の状態を監視しているバスコントローラによって報告された時点でイベントヘッダを作ることが出来る。ステージ 2 バッファはイベントヘッダを作るのに必要なこの情報が揃うまで、イベントヘッダ以降に送るべきデータを保持する。

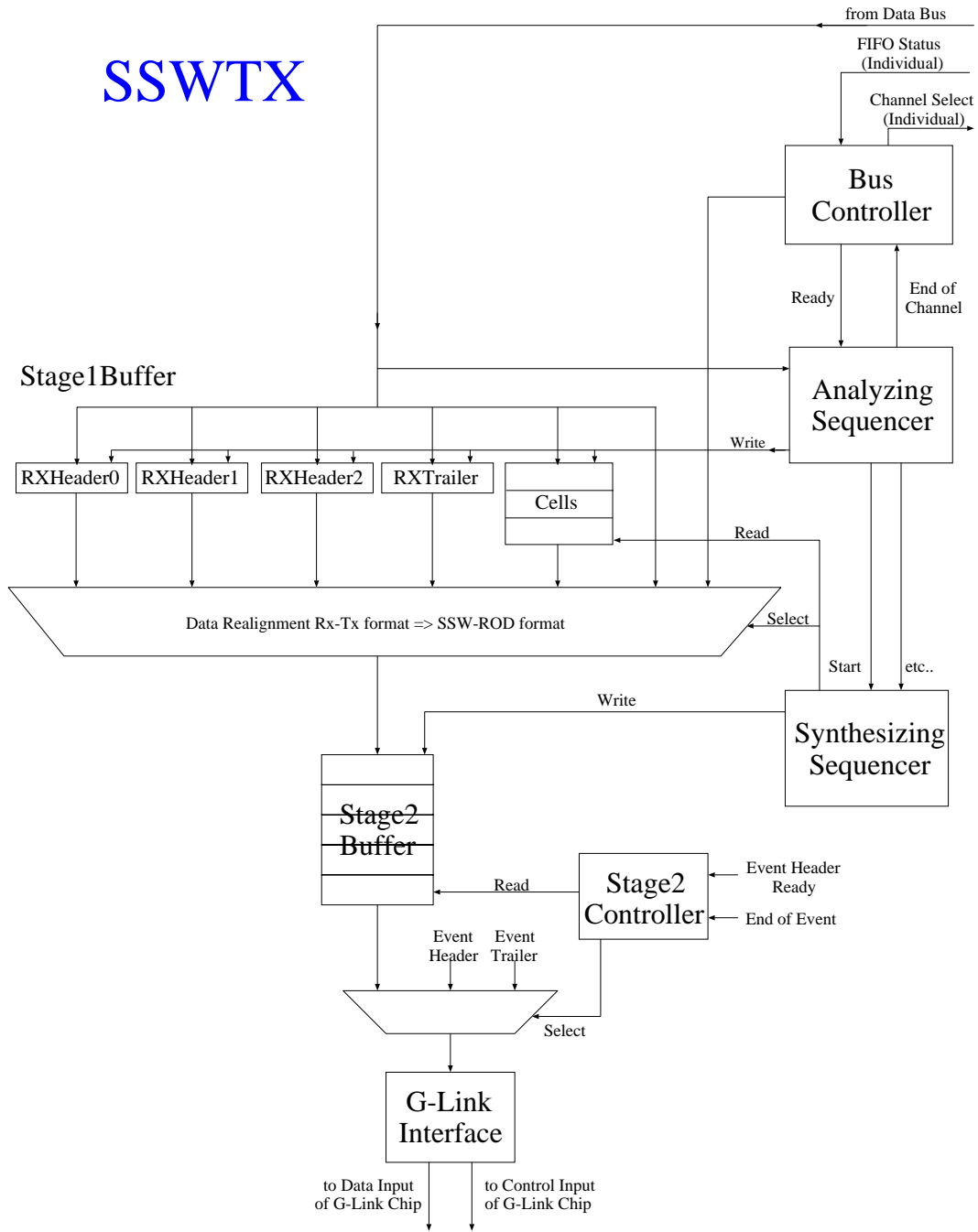


図 4.9: SSWTX のブロック図

4.2.3.6 イベントヘッダ及びイベントテイラー付加用シーケンサ

バスコントローラからイベントヘッダが揃ったという情報と、全てのチャンネルから1イベント分づつの読み出しが終了したという情報、またステージ1バッファとステージ2バッファから全てのデータが出力されたという情報を得て、イベントヘッダ、イベントテイラーとステージ2バッファの出力を切り替える。

4.2.3.7 G-Link インターフェース

G-Link での ROD へのデータ転送は1クロック毎に16bit ずつであるが、ROD-SSW 間のデータフォーマットの論理構造は32bit を1単位としており、ROD はSSW がこの32bit を間を空けることなく連続したクロックで送ることを要求しているため、この1単位が揃うまでデータの転送を止める制御を行う。

4.3 SSW プロトタイプボードのテスト

4.3.1 読み出し機能のテスト

ここではFPGA を用いて実装したSSW プロトタイプボードの読み出し機能部のテストについて述べる。

4.3.1.1 セットアップ

図4.10 にセットアップを示した。

図4.10 でPT4 とあるのは、我々のグループで開発された汎用のVME 互換ボードで、FPGA を3つ搭載している。また、フロントパネルからの入出力はメザニンカードを使い分けることで、さまざまな規格に対応することができる。今回はSSW の入力側にPT4 内にパターンジェネレータを構成することで2つのSLB ASIC をエミュレートし、出力側のPT4 内にはFIFO を構成してVME 経由で読み出しを行った。SSW のコントロールは実際の実験での環境どおりCCI-HSC システムを介して行った。このテストを行うためのソフトウェアはC++言語で記述した。

4.3.1.2 テストベクタ

SSW への入力は以下のようにした。

- チャンネル数
使用可能なPT4 の台数による制限から、全15チャンネル中2チャンネルのみを用いた。
- イベントレート
100kHz 固定のイベントレートとした。
- Hit Occupancy
入力する各イベントのパターンは次のようにして作成した。まず1イベント中に25あるcellのうちランダムに1cellを選び、そのcellのみヒットがあったとした。つまり、毎イベントヒットがあるわけで、これは実験本番で想定されているよりもかなり高いレートである。ランダ

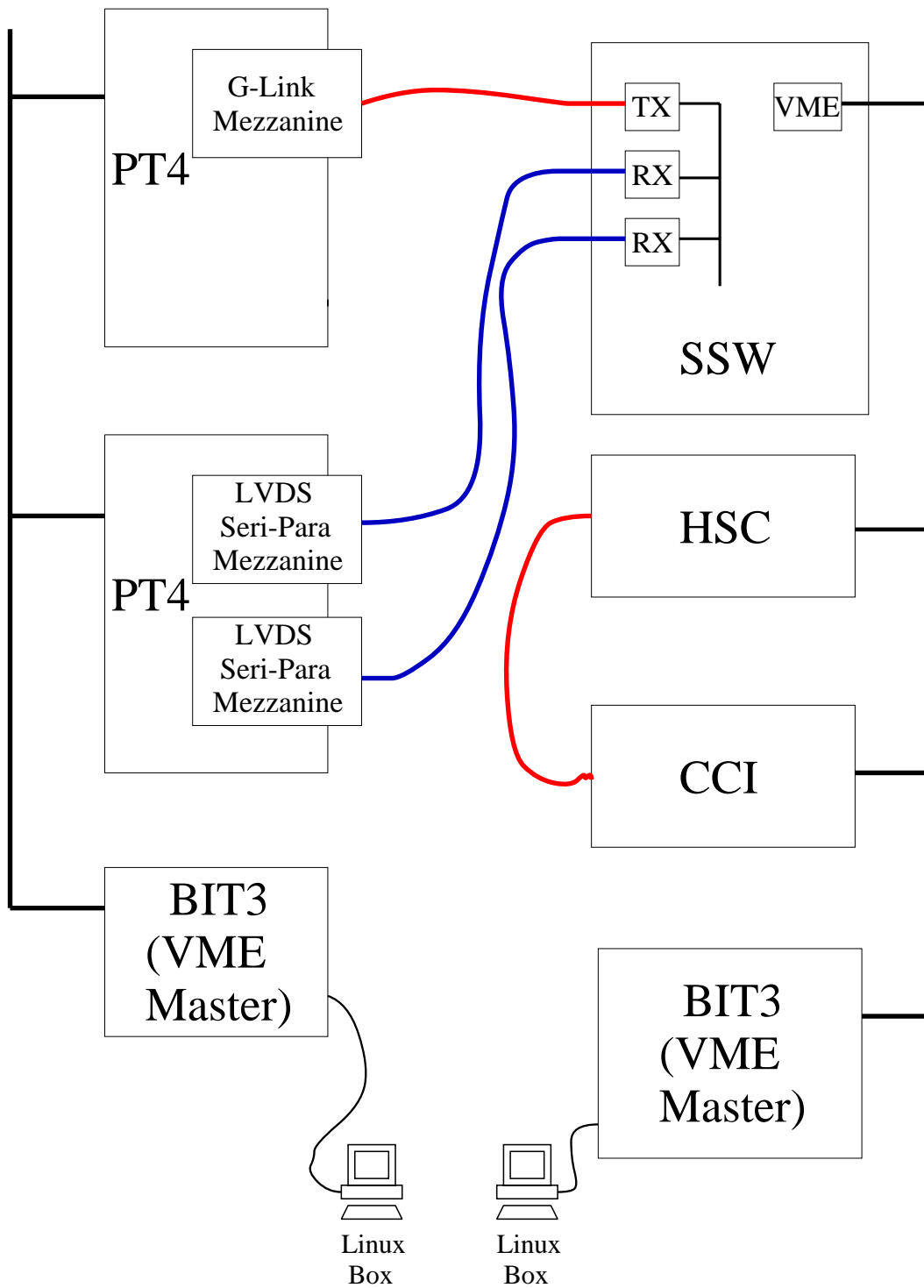


図 4.10: SSW ボードのテストのセットアップ

入力イベント数	入力チャンネル数	イベントレート	ヒットオキュパンシー	エラー回数
10000 パターン	2	100kHz 固定	1/25	0

表 4.1: SSW プロトタイプボードの読み出し機能テストの結果

VME アクセス回数	エラー回数
10^7	0

表 4.2: SSW プロトタイプボードの VME アクセステストの結果

ムに選ばれた cell のビットパターンもランダムな 8 ビットとした。このようにして 10000 イベントの入力を用意し、それらに対応して SSW が出力すべきパターンを用意した。

4.3.1.3 テスト手順と結果

このように作成した 10000 イベントのパターンをのうち 30 イベントを PT4 内に構成したパターンジェネレータにロードして繰り返し SSW へ出力し、SSW の出力を PT4 内の内の FIFO から読み出す。このような手順をとったのは PT4 内にパターンジェネレータと FIFO を実装する際に使用可能な FPGA 内のメモリサイズの制限による。PT4 内の FIFO はこのループの 6 回目、170 イベントを受け取って溢れはじめる。この 170 イベントを VME 経由で読み出し、用意しておいた出力用テストベクタと比較した。これをくりかえし、10000 パターンについて行ったが、SSW の出力とテストベクタは全て一致した。

結果を表 4.1 にまとめる。

4.3.2 VME アクセステスト

4.3.1.1 節で示したのと同じセットアップで VME アクセスのテストを行った。VME プロトコルチップは現在のプロトタイプボードでは CPLD で実装されているが、論理回路としては実際の実験で使用される VMEASIC(5 章参照) とほとんど同じなので、このテストは VMEASIC の SSW ボード上での機能のテストも兼ねている。

SSW ボード上の全ての設定レジスタに順にランダムなデータを書き込み、読み出しを行って、書き込んだデータと比較した。 10^7 回の VME アクセスを行ったがエラーは起こらなかった。

FPGA のコンフィギュレーションデータのダウンロード機能については特にテストという形をとっていないが、FPGA のデザインの開発中に、デザインをアップデートするたびに、また、電源を落とすたびに、ダウンロードを行っているので、ダウンロード回数は少なくとも 100 回を悠に超えていると思われる。これに対し一度のエラーも起きていない。

結果を表 4.2 にまとめる。

第5章 VMEASIC

5.1 VMEASIC の概要

HPT ボードとSSW ボードは、VME 互換ボードとして実装され、基本的な入出力はフロントパネルから行うが、パラメータ設定などのスピードの要求されない部分については VME 経由で行う。VME プロトコルを解釈する機能は、それぞれのボードの主要な機能を担うチップのピン数の制限などから、独立したチップに実装することにした。今回このために開発した VMEASIC¹ と呼ばれるチップのレイアウトマスクを図 5.1 に示す。先日この VMEASIC の試作品が届き、現在テスト用のボードを設計中である。

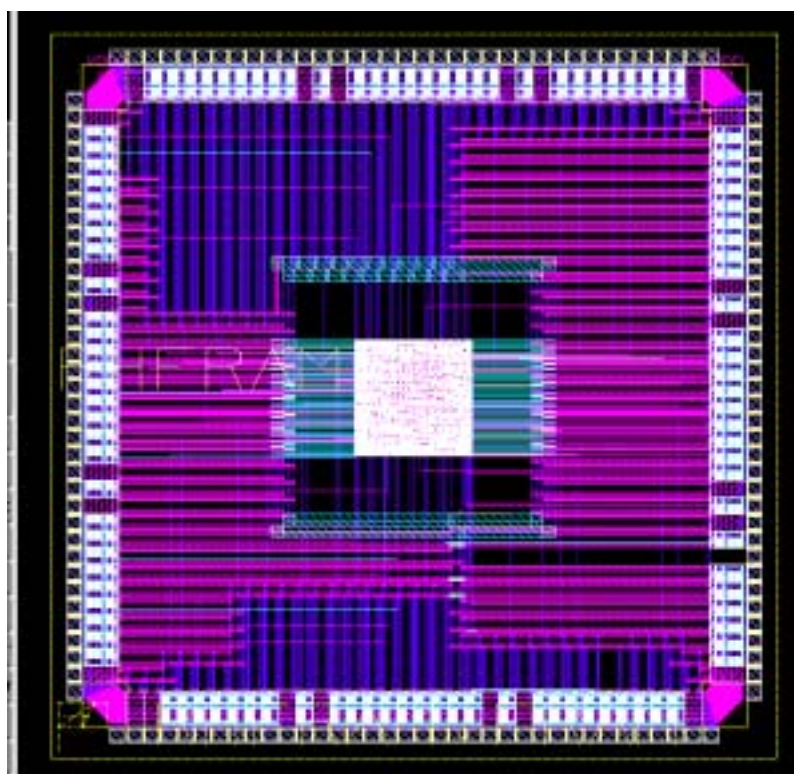


図 5.1: VMEASIC のレイアウトマスク

¹本チップ試作は東京大学大規模集積システム設計教育研究センターを通しローム (株) および凸版印刷 (株) の協力で行われたものである。

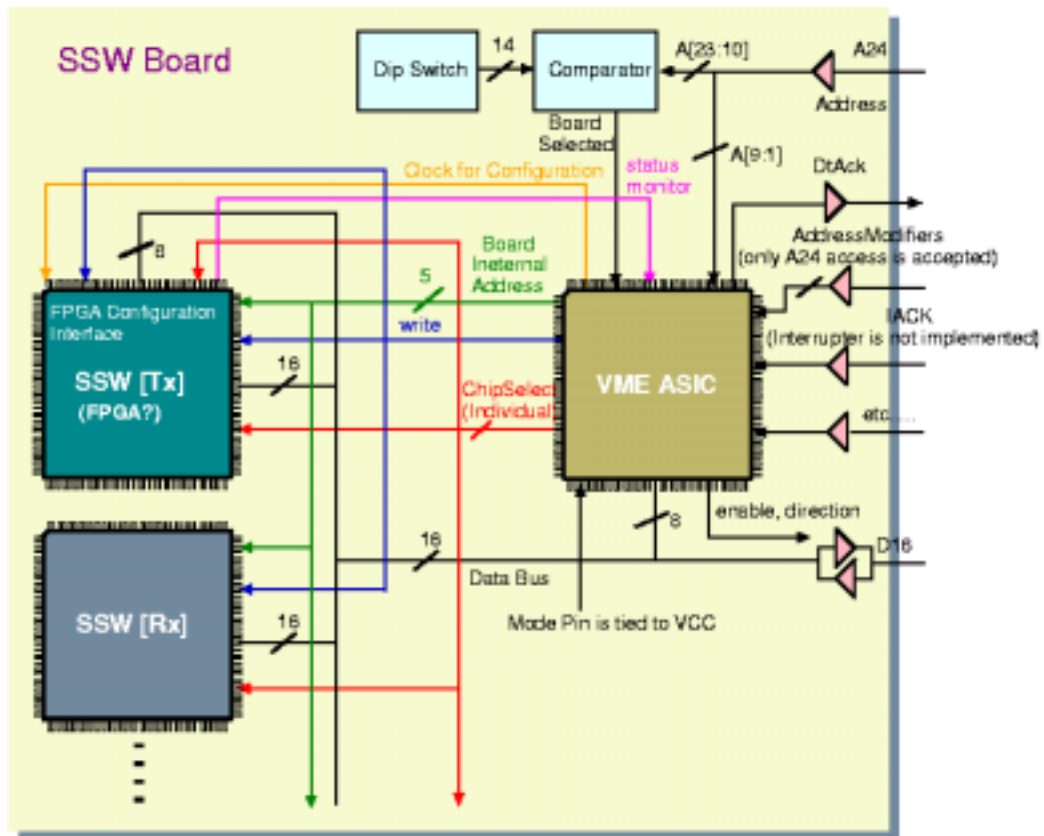


図 5.3: SSW ボード上の VMEASIC

ブ、G-Link チップを用いている。これらのチップの内部では入力クロックをビット幅分だけ逡倍したものをを用いて入力データ信号、出力データ信号の間の同期を取っているが、この同期がうまくいっているかどうかを表す信号が外部ピンに出力されている。VMEASIC はこれらのピンの状態をモニターして、同期の失敗を内部レジスタに保存する。

- HPT のみ

- ディレイの設定

HPT ボードは複数の SLB ASIC からの信号を受け取りコインシデンス処理を行うが、ケーブル長の違いなどの理由からこれらの信号間では同期が取れていないため、HPT ASIC の入力部には可変長のディレイが設けられている。これらの設定を VMEASIC を介して行う。このために、VMEASIC 内にはディレイの値を保持するレジスタとこの値を HPT ASIC ないに書き込むためのストロープ信号用のレジスタを持つ。

- G-Link チップのコントロール

G-Link のトランスミッタチップにはレシーバチップが入力データ信号と同期が取れないときのために、同期が容易なパターンを出力する機能があり、この機能は外部ピンの電位でコントロールされる。HPT ボード上の G-Link トランスミッタチップのこのピンを駆動するレジスタを VMEASIC 内部に持つ。

- JTAG アクセスの許可/非許可の設定

HPT ASIC は HSC クレートのバックプレーンに走る JTAG 信号によっても設定が可能であり、この設定操作を有効にするかどうかを決定するピンを持つ。このピンを駆動するレジスタを VMEASIC 内部に持つ。

- SSW のみ

- VME プロトコルの翻訳

SSWRX チップ、SSWTX チップは内部の設定レジスタにアドレスを持っており、このアドレスを指定することで VME バスから直接設定が可能である。よって、HPT ASIC に対して行ったように VMEASIC から設定値をドライブする必要はない。VMEASIC は VME バスのアドレス線の値をボードの内部アドレスに変換し、/WRITE 線をラッチして保持した後、SSWRX、SSWTX チップにストロープ信号を出すことで、VME バスに対しての読み込み、書き出しを命令する。

- FPGA のコンフィギュレーションデータのダウンロード SSWRX チップは今後 ASIC 化される予定だが、SSWTX チップは ROD-SSW 間のデータフォーマットに柔軟性を持たせたい等の理由で、実験本番の仕様のもので FPGA を用いた実装をする可能性がある。Xilinx 社の Virtex-E シリーズ FPGA の Select Map 方式 [10] でのアクセス用のインターフェースを備える。

5.3 放射線対策

HPT ボード、SSW ボードは放射線環境下にある実験ホール内に設置されるので、VMEASIC は放射線耐性を持つ必要がある。そこで SEU 対策として、TGC エレクトロニクスで使用される他の ASIC と同様に多数決論理回路を用いた。

多数決論理回路とは図 5.4 に示すように、3つのフリップフロップの多数決を取って出力を決定する回路である。

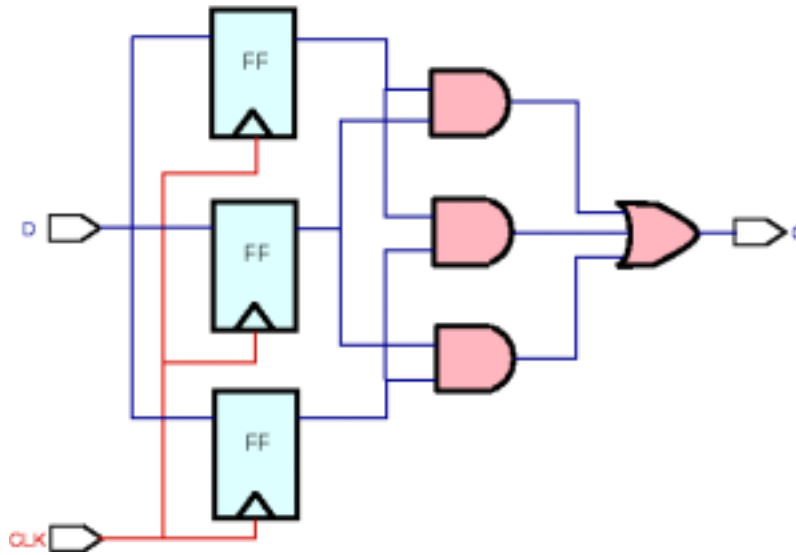


図 5.4: 多数決論理回路

フリップフロップの代わりにこの回路を使うことで、3つのフリップフロップのうち1つにSEUが起こっても出力を正しく保つことができる。また図 5.4 には示されていないが、多数決が割れたことを検出する回路も搭載される。この出力はVMEASIC内の全てのレジスタでORがとられ、この値をVME経由で読み出すことでSEUの有無を検出することができる。

5.4 VMEASIC のテスト

5.1 節で述べたように現在 VMEASIC のテストは準備中であるが、SSW プロトタイプボード上での VME プロトコルチップでは、多数決論理回路を採用していない点を除いてほぼ同じ論理回路を CPLD で実装しているので、これを用いてテストを行った。これについては 4.3.2 節を参照されたい。

第6章 スライステスト

今まで述べてきたように、我々のグループではTGCエレクトロニクスの各構成要素を開発してきた。そして単体テストの結果、これらの構成要素のうちトリガー信号を生成する部分については全てのモジュールが、完成、もしくは改善点はあるものの十分使用しうるレベルに達したので、これらのモジュールを接続してのシステムテストを行っている。このシステムテストをスライステストと呼んでいる。

6.1 セットアップ

図 6.1 にテストのセットアップを示す。

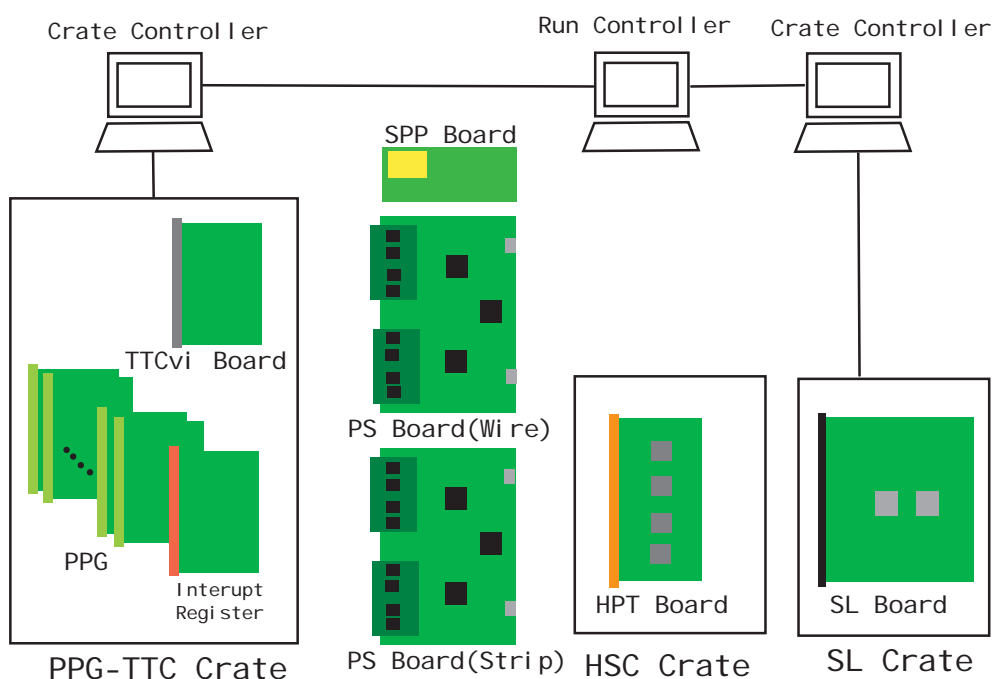


図 6.1: スライステスト セットアップ図

6.2 テスト方法

動作の正当性の確認には我々のグループで開発されたトリガーシミュレーションソフトを用いた。トリガーシミュレーションによって得られた入力テストベクタはPPG50というパターンジェネレータの機能を持つVMEモジュールを用いてPS Boardに入力した。SLからの出力はTOMというFIFO機能のVMEモジュールに保存したあと読み出され、ファイルに出力された。そのデータ

トラック数	入力パターン数	エラー回数
1	10 ⁴	0
2	10 ⁴	0

表 6.1: トリガー信号生成系テスト結果

をトリガーシミュレーションによって得られた出力と比較した。入力テストベクタとしてはミュオンのトラックが1本のものと2本のものをそれぞれ10000パターンずつ使用した。

また、PP ASICのインプットからSLのアウトプットまでの処理時間を、オシロスコープを用いて測定することにより、トリガー生成系のレイテンシーを評価した。

6.3 テスト結果

表 6.1 にまとめたように10000パターンの入力に対し、エラーは観測されなかった。

レイテンシーの測定結果を表 6.2 に示す。実際の実験時と今回のスライステストではケーブル長が異なるため、各 ASIC、リンク関係の IC の処理時間も個別に測定した。

Part	観測値 (ns)	要求値 (ns)
TOF to TGC	75	75
TGC	25	25
ASD	10	25
Cable	50	50
PP	43	50
SLB	49	75
LVDS(Tx,Rx)	83	75
Cable	75	75
HPT	55	75
Glink(Tx,Rx)	105	75
Fiber	450	450
SL	160	175
Cable	25	25
TOTAL	1205	1250

表 6.2: レイテンシー

観測値においてケーブル、ファイバーに関しては、5ns/mとしてケーブル長から求めたものである。また、ASD以前に関しては要求値を用いた。全体を通して見てみると、TGCエレクトロニクス全体のレイテンシーは1205nsとなり、目標の1250nsを満たしている。ただし、この測定においては、プログラブルディレイの値を全て0としているため、この結果は満足できるものではない。表を見てわかるように、我々の開発したASICに関しては要求値よりも早く処理できているが、LVDSやGlinkなどのリンク関係に関しては(恐らくラッチのタイミングのずれ等による効果により)スペックより若干遅い値になってしまった。これをどう改善するかは現在検討中である。

第7章 放射線耐性テスト

ここでは、CYRIC(東北大サイクロトロン RI センター)で行なった PP ASIC の SEE の発生率の評価について述べる。

7.1 テスト概要

SEE は高エネルギーのハドロン粒子の通過によって起こる偶発的な現象であり、TID のように、シミュレーションからクリアすべき積算線量などは与えられておらず、SEE の評価のための絶対的な基準は存在しない。従って、各デバイスに対する SEE の評価は、SEE の発生率を調べることで、各自で判断基準を定義していかなければならない。今回、一時的にメモリ素子の情報が反転することで誤動作をおこさせる SEU と呼ばれる現象の断面積を求めるために、PP ASIC と同じローム社の $0.35\mu\text{m}$ プロセスで開発された JRC ASIC の中に搭載した 256 段 *times4* のマスタースレーブ型のシフトレジスタを照射した(図 7.1 参照)。

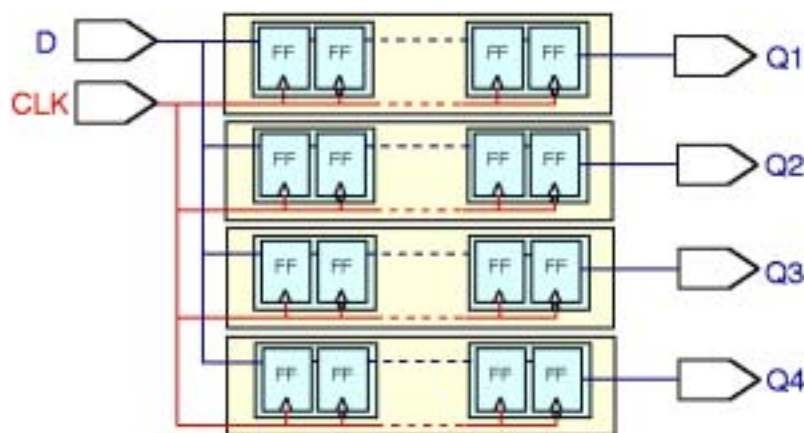


図 7.1: シフトレジスタの回路図

このシフトレジスタは JRC ASIC の本来の機能に必要なものではなく、ASIC の SEU 断面積を測定する目的で搭載されたものである。SEU の発生率は、半導体の構造や集積度に依存するため、シフトレジスタから求めた SEU 断面積の値は、そのまま PP ASIC の設定レジスタにあてはまると考えてよい。また、PP ASIC 自体も照射し、照射中、定期的に JTAG プロトコルによるデータレジスタの読み書きを行なうことで、半導体素子が永久的に壊れてしまうハード SEE が起きてないかも調べた。

放射線による SEU の影響は、主に 20MeV 以上のハドロンビームによって引き起こされ、20MeV 以上のハドロンにおける SEU 断面積はほぼ一定である。従って、SEU の測定にエネルギー依存性は無視してよく、今回の照射試験では、エネルギーが 70MeV(直径 20mm ϕ 、ビーム電流:2nA) の陽子ビームを用いて照射した。陽子ビームによる照射試験の測定内容を表 7.1 に示す。PP ASIC、

JRC ASIC 共に、それぞれ 4 チップずつ照射し、また陽子ビームによる TID の影響も調べるために、電流値と、PP ASIC については VCON¹ の値も測定することにした。

		照射時間 [min]	照射中の測定内容
PP	Chip1	33	リーク電流
	Chip2	31	30 秒毎に JTAG の読み書き
	Chip3	30	VCON
	Chip4	30	
JRC	Chip1	30	リーク電流
	Chip2	30	シフトレジスタの値の読み出し
	Chip3	30	Chip1,3:All Low(初期設定)
	Chip4	30	Chip2,3:All High(初期設定)

表 7.1: 陽子ビーム照射試験の測定内容

7.2 プロトンビーム照射時のセットアップ

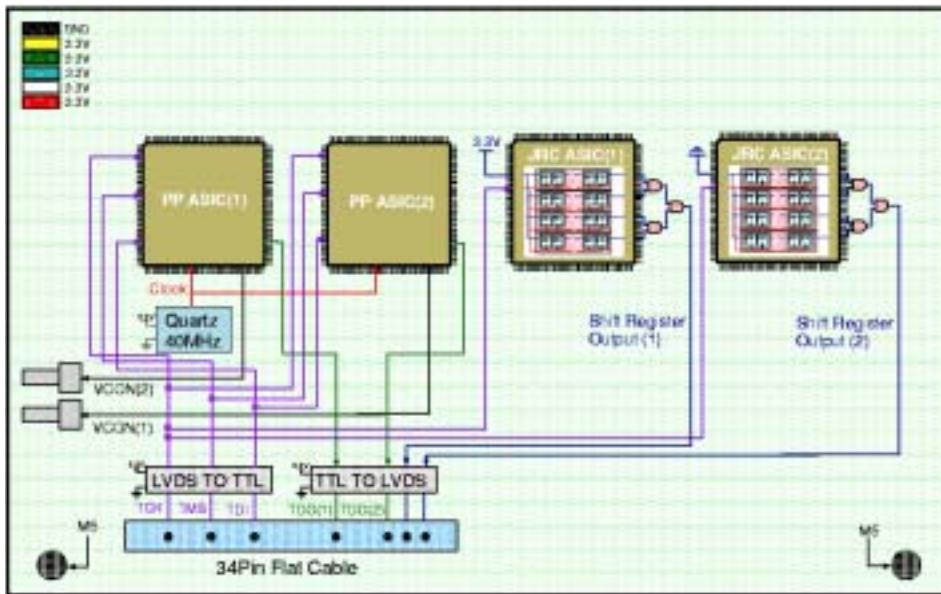
図 7.2 に、今回の照射試験のために設計した照射ボードの構成図を示す。1 つの照射ボードに、PP ASIC と JRC ASIC をそれぞれ 2 チップずつ搭載し、インターフェイスとしてコントロール用の 34 ピンコネクタ、LVDS 信号を TTL 信号に変換するチップ、40MHz のクロックを発する水晶発振器などが設置される。水晶発振器からのクロックは、PP ASIC に供給され、PLL 回路をロックする。JRC には照射テスト用に、4 つのシフトレジスタが共通の入力を持って実装されており、2 チップのうち 1 つ (Chip2,4) は入力を High に、もう片方 (Chip1,3) は入力を Low にそれぞれボード上で接続した。これは、内部のシフトレジスタを All-1 と All-0 の状態にしたことを意味する。4 系統の出力はそれぞれ、ボード上で AND が取られ、最終的な出力は 34 ピンコネクタに繋がる。

図 7.3 に、実験の全体のセットアップ図を示す。照射室に設置された照射ボードから、JTAG 信号などのコントロール用のフラットケーブル、電源ケーブル、VCON モニター用のケーブル、X-Y ステージコントロール用のケーブルが伸ばされる。コントロール用のケーブルは、VME クレート内の PT4 に接続され、Linux OS の PC に接続される。PT4 内には JTAG プロトコルによるデータレジスタの読み書きやシフトレジスタの出力の読み出しなどの機能を構成した。この PC はさらにネットワーク経由で測定室にある PC から遠隔操作される。チップへの電源や電流、PP の VCON はデジタル・マルチメータで測定され、RS232 コネクタに Windows OS の PC に接続した。この PC はネットワークを経由して、制御室の PC から VNC² よりコントロールした。また X-Y ステージとは、照射の度に照射室に入り取り換える手間を省くよう、ターゲットやビームモニターの位置を遠隔操作出来るために導入されたもので、専用コントローラに Windows OS の PC に接続し、この PC も VNC によって遠隔操作した。

図 7.4 に照射室の写真を示す。陽子ビームは厚さ 100 μ m、直径 20mm のチタンフォイルを通して空気中に導き出され、各チップに照射された。照射ボードの後ろには、ファラデーカップを内蔵したビームダンプがある。このビームダンプの近くに、陽子ビームの ON/OFF モニターとして使

¹位相調整用の可変ディレイには PLL が用いられており、ここで VCON というのはディレイをコントロールしている電圧のことである。よって、放射線の照射によりディレイセルの動作スピードが変化するとこの電圧も変化することが期待される。

²Virtual Network Computer



⊗ Proton Beam Direction

図 7.2: 陽子ビーム照射試験用テストボード

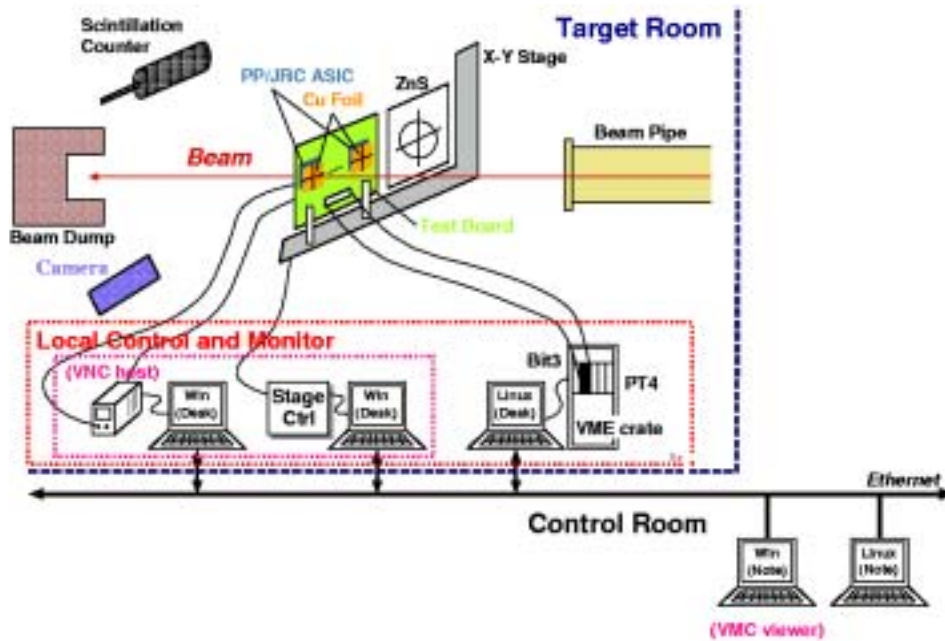


図 7.3: 陽子ビーム照射試験のセットアップ図

うためのファイバースynchレシオンを設置した。またビームダンプ手前には、測定室から X-Y ステージの様子がモニター出来るように、カメラを設置した。

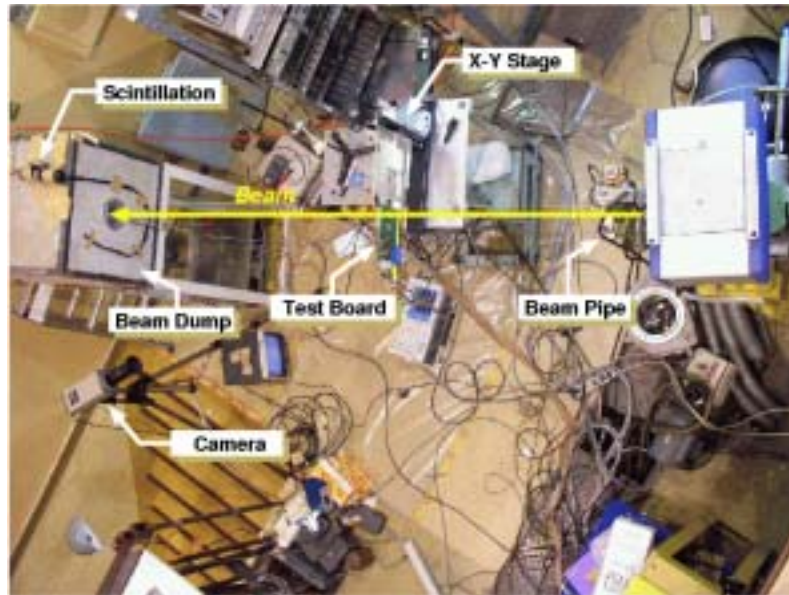


図 7.4: 陽子ビーム照射試験のセットアップ (写真))

図 7.5 に X-Y ステージのセットアップ図を示す。X-Y ステージには、照射ボードとビームプロファイルモニターするために、アルミファイルに ZnS(硫化亜鉛) を塗った蛍光性のスクリーンを設置した。照射中は、まず最初にこの蛍光性のスクリーンをモニターすることで、ビームの位置合わせを行ない、それからターゲットをビームの位置に動かした。この間、ビームラインのスリットは閉じ続けた状態にしている。実際のビームプロファイルと強度の測定は、それぞれの照射チップの前面に張り付けた線量測定のための Cu フォイル (25mm×25mm、厚さは 100 μ m と 250 μ m の 2 種類) を用いて行なった。ビームラインの最終段のストッパーで測定したビーム電流は約 2nA であり、またビームの直径は最大 20mm まで広げることが出来る。

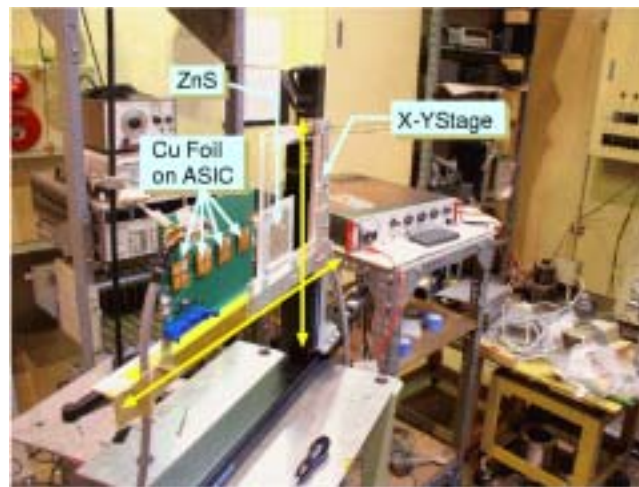


図 7.5: 照射ボードと X-Y ステージのセットアップ (写真))

次に SEE の評価テストについての測定手順について、それぞれの ASIC ごとに以下に説明する。

- PP ASIC

陽子ビーム照射によってハードな SEE が起きて、半導体素子が永久的に故障してしまっていないかを調べるために、定期的に JTAG プロトコルによるデータのレジスタの読み書きを行った。具体的には、まずデータレジスタに任意のデータを書き込み、30 秒たってからこのデータレジスタに書き込まれたデータを読み出し、書き込みを行なったデータと読み出したデータが一致しているかを比較した。このサイクルを照射が終わるまで続けた。

- JRC ASIC

JRC ASIC に実装したシフトレジスタは、マスタスレーブ型の 256×4 のフリップフロップから構成されており、先に述べたように照射ボード上で、All-1 か All-0 の状態にしている。照射中は、10MHz のクロックを供給することで、シフトレジスタ内のデータの読み出しを行なった。例えば、SEU によってフリップフロップに記憶している情報が反転してしまった場合、All-1 の状態にしている JRC では、0 の出力が見られる。この 0 を出力した回数を数えることで、照射による SEU の全発生数を測定することが出来る。この測定結果を用いて、ローム社の 0.35 μ m プロセスにおける SEU 断面積を計算することが出来る。

7.3 測定結果と考察

7.3.1 Dosimetry(線量測定)

照射線量を定量的に押さえるために、今回の照射試験では、金属フォイルを使用した線量測定を行なった。用意した金属フォイルは Cu0.1mm(99.99% 以上)、Cu0.25mm(99.99% 以上) の 2 種類で、この銅ファイルの不純物成分は、Au10, Cu_j1, Fe3, Mg_j1, Mn_j1, Ni3, Pb2, Sn1(ppm) である。このフォイルを 25mm 角に切って各チップの上面に張り付けて照射し、照射後 Ge 検出器により γ 線スペクトルの測定を検出器の Dead Time を除いて 1000 秒間行なった。例として、図 7.6 に JRC ASIC(Chip4) に張り付けた Cu フォイルの γ 線スペクトルを示す。線量測定はこの図に書かれている γ 線のピークを用いて行ない、各チップごとに Ge 検出器で観測される γ 線の種類に違いはなかった。

また Ge 検出器の効率補正は、 ^{60}Co , ^{133}Ba , ^{137}Cs , ^{22}Na , ^{241}Am の標準線源を使用した。図 7.7 に、これらの標準線源を各 500 秒間測定して得られた効率補正のデータを、Freeman-Jenkin の式³を参考にして $\varepsilon = A \exp(-BE) + C$ (A, B, C : 測定値から決める定数) でフィットした結果を示す。

また各チップで相対強度の補正を行なうために、IP(イメージングプレート)を使用して、ビームプロファイルの測定を行なった。IP は光輝尽性蛍光体を使った位置敏感型放射線検出器であり、放射線などの最初の刺激の後で、発光波長よりも長波長の光による第二の刺激で再発光する現象(輝尽)を利用している。IP は積分型検出器であるため、高いフラックス密度でもあってもパルス検出器で生じる放射線検出の数え落としがないため、今回使用した。IP の輝尽性蛍光の強度は PSL という単位で表現され、PSL は IP システムの共通した照射線量に比例した読み取り強度となっている。輝尽からの光を収集し電気信号に変換することでデジタル記録し、コンピューター上で解析処理を行なうことが出来る。各チップの IP で測定した相対強度の分布を図 7.8~7.15 に示す。

³Ge 検出器の効率に合わせた半実験式の一つで、 $\varepsilon = 1 - \exp(-\tau x) + \sigma A \exp(-BE)$ で定義される。ここで、 τ は光電効果の断面積、 x は検出器の厚さ、 σ はコンプトン散乱の断面積、A, B は測定値から決める定数である [7]。

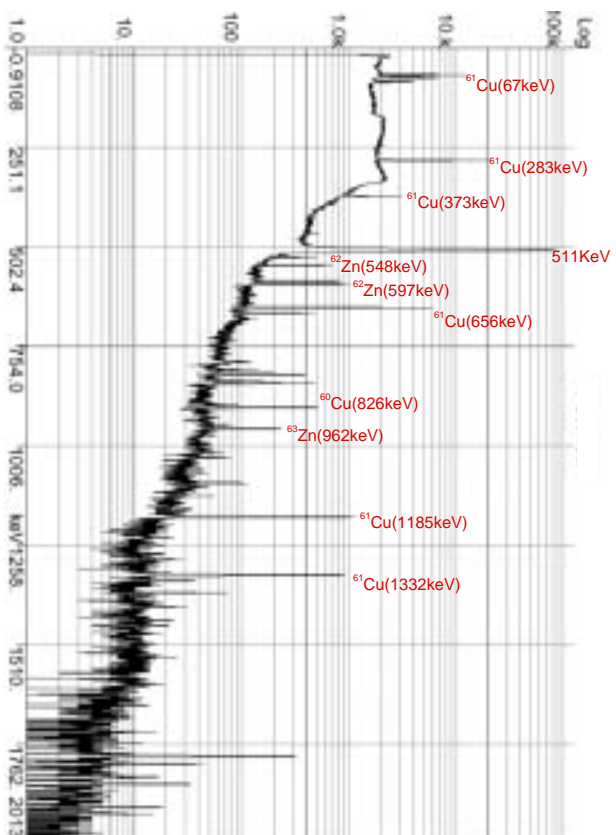


図 7.6: Cu Foil からの γ 線スペクトル

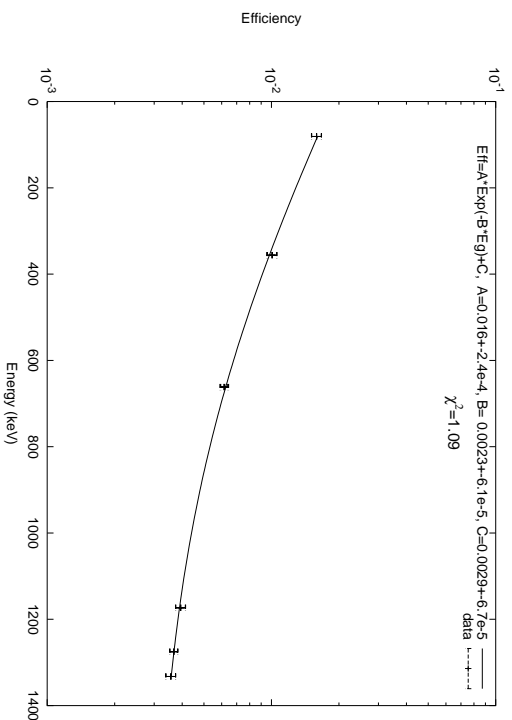


図 7.7: Ge 検出器のキャリブレーション

この等高線では PSL 値を全体を 1 として表現しており、相対強度 ε_r は次式のから、PSL 値の分布図を 100 ピクセルに分割して、中央の 4 ピクセルを使用して求めた。

$$\varepsilon_r = \frac{\sum_{i=A,B,C,D} PSL_i}{100 \sum_{i=1} PSL_i} \quad (7.1)$$

7.3.2 陽子フラックスの見積もり

ここでは Cu フォイルの線量測定から求めた陽子フラックスの見積もりについて述べる。

生成核の個数を N 、入射粒子束を ϕ [cm²/sec]、ターゲットの原子数を N_t 、有効反応断面積を σ_{eff} 、崩壊定数を λ [1/sec] とすると、放射性核種生成の速度は以下ようになる。

$$\frac{dN}{dt} = \phi \cdot \sigma_{\text{eff}} \cdot N_t - \lambda \cdot N \quad (7.2)$$

ここで有効反応断面積 σ_{eff} は、陽子と直接反応することによって生成する断面積と、Precursor(他の核種)から目的とする核への崩壊によって生成する断面積を加えたものであるが、今回の照射実験ではプロトンビームのエネルギーが 70MeV とそれほど高くないため、Precursor からの効果は無視してよい。 T_r を照射時間として、7.2 式を積分すると以下ようになる。

$$N = \frac{\phi \cdot \sigma_{\text{eff}} \cdot N_t}{\lambda} (1 - \exp(-\lambda \cdot T_r)) \quad (7.3)$$

7.3 式で、 N_t の値はターゲットである Cu フォイルの厚さを t ($= 100\mu\text{m}, 250\mu\text{m}$)、面積を S ($= 2.5\text{cm} \times 2.5\text{cm}$)、密度を ρ 、原子量を A 、アボガドロ数を N_A とすると、

$$\begin{aligned} N_t &= t \times S \times \rho N_A / A \\ &= 0.01(0.025)[\text{cm}] \times 6.25[\text{cm}^2] \times 8.93[\text{g/cm}^3] \times 6.0 \times 10^{23} / 63.5[\text{g}] = 5.27(13.18) \times 10^{21}[\text{個}] \end{aligned}$$

になる。照射終了時刻を $t = 0$ として、時刻 t にこの核から放出する放射能の強さ $B(T)$ [Bq] は以下ようになる。

$$B(T) = \lambda \cdot N(t) = \lambda \cdot N \cdot \exp(-\lambda \cdot t) [\text{Bq}] \quad (7.4)$$

よって照射後 T_m [sec] 時間後より T_c [sec] 時間測定を行なった際に得られる γ 線の数 C_γ は、測定 γ 線への分岐比を Br 、検出効率を ε とすると、

$$\begin{aligned} C_\gamma &= Br \cdot \varepsilon \int_{T_m}^{T_m+T_c} B(t) dt \\ &= Br \cdot \varepsilon N \cdot (\exp(-\lambda \cdot T_m) - \exp(-\lambda \cdot (T_m + T_c))) \end{aligned} \quad (7.5)$$

になり、これに 7.3 式を代入すると、陽子フラックス ϕ は、

$$\phi = \frac{C_\gamma \cdot \lambda}{\varepsilon \cdot Br \cdot \sigma_{\text{eff}} \cdot N_t (1 - \exp(-\lambda \cdot T_r)) \cdot (\exp(-\lambda \cdot T_m) - \exp(-\lambda(T_m + T_c)))} \quad (7.6)$$

となる。ただしここで求めた陽子フラックス ϕ は、2.5cm 角の Cu フォイルに一樣にビームが照射している仮定した値である。しかし実際には、IP によるビームプロファイルで見たように、チッ

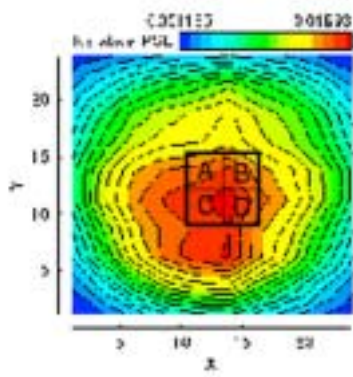


図 7.8: PP(Chip1) のビームプロファイル

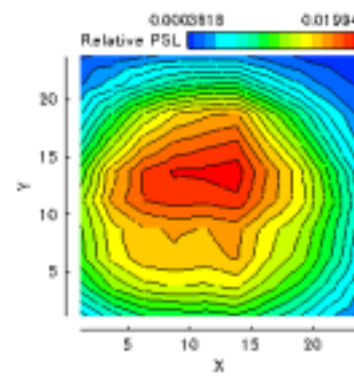


図 7.9: PP(Chip2) のビームプロファイル

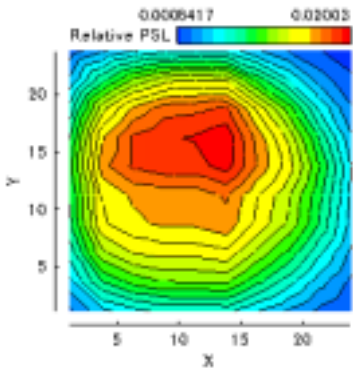


図 7.10: PP(Chip3) のビームプロファイル

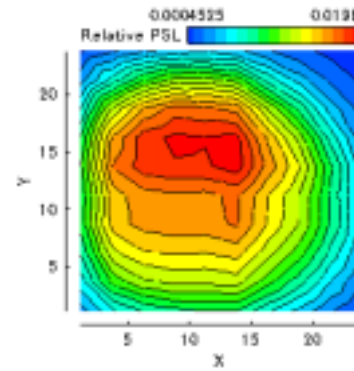


図 7.11: PP(Chip4) のビームプロファイル

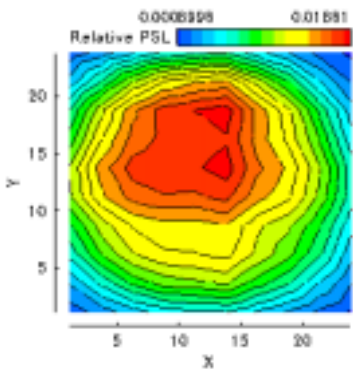


図 7.12: JRC(Chip1) のビームプロファイル

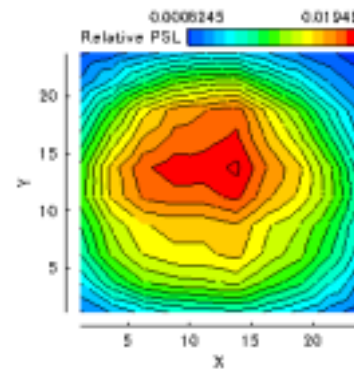


図 7.13: JRC(Chip2) のビームプロファイル

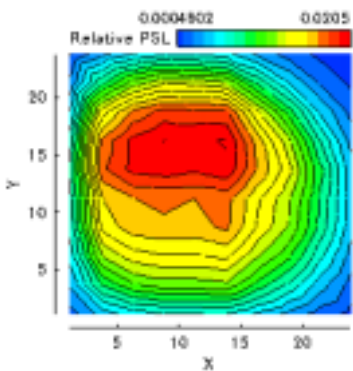


図 7.14: JRC(Chip3) のビームプロファイル⁷⁰

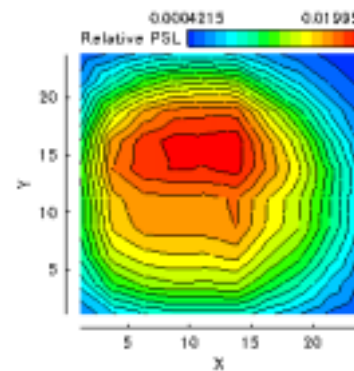


図 7.15: JRC(Chip4) のビームプロファイル

プのコア部分には平均よりも高い強度のビームが照射している。そこで 7.1 式で求めた相対強度 ε_r を用いると、チップの中心部の陽子フルーエンス F [protons/cm²] は以下ようになる。

$$F = \phi \times Tr \times 2.5^2 \times \varepsilon_r / 0.5^2 \quad (7.7)$$

図 7.16~7.23 に、いくつかの γ 線ピークに対し、この式から求めた各チップ照射時の陽子フルーエンスを示す。各チップの陽子フルーエンスは、 $1.45 \sim 1.85 \times 10^{12}$ [1/cm²] と安定した値を示しているが、PP ASIC(Chip3) だけは、1桁小さい値となった。これは PP ASIC(Chip3) の照射時に加速器の調子が悪く、まともな照射が出来なかったためである。

次に各チップが受けた吸収線量 X を求める。70MeV の陽子によるシリコン中のエネルギー損失 dE/dx は、

$$\begin{aligned} dE/dx &= 7.6[\text{MeV} \cdot \text{cm}^2/\text{g}] = 7.6 \times 10^6[\text{eV} \cdot \text{cm}^2/\text{g}] \times 1.6 \times 10^{-12}[\text{erg/eV}] \\ &= 1.2 \times 10^{-5}[\text{erg} \cdot \text{cm}^2/\text{g}] \end{aligned}$$

である [3]。この値と陽子フルーエンス F から、吸収線量 X は以下ようになる。

$$\begin{aligned} X &= dE/dx \times F \\ &= 1.2 \times 10^{-5} \times F [\text{erg/g}] \\ &= 1.2 \times 10^{-7} \times F [\text{rad}] \end{aligned} \quad (7.8)$$

以上の結果を表 7.2 に示す。この表より、PP ASIC(Chip3) 以外はほぼ同じ状態で照射が行なわれことがわかる。

Chip Name	Beam Curr	Irrad Time[min]	Radiation Dose [krad]	Fluence [1/cm ²]
PP ASIC(Chip1)	~2nA	33	227.1 ± 7.9	$1.89 \times 10^{12} \pm 6.52 \times 10^{10}$
PP ASIC(Chip2)	~2nA	31	222.8 ± 8.8	$1.86 \times 10^{12} \pm 7.28 \times 10^{10}$
PP ASIC(Chip3)	~2nA	30	48.4 ± 2.5	$4.03 \times 10^{11} \pm 2.08 \times 10^{10}$
PP ASIC(Chip4)	~2nA	30	178.7 ± 11.0	$1.49 \times 10^{12} \pm 9.16 \times 10^{10}$
JRC ASIC(Chip1)	~2nA	30	202.7 ± 8.9	$1.69 \times 10^{12} \pm 7.40 \times 10^{10}$
JRC ASIC(Chip2)	~2nA	30	191.9 ± 9.6	$1.60 \times 10^{12} \pm 7.98 \times 10^{10}$
JRC ASIC(Chip3)	~2nA	30	178.2 ± 8.9	$1.49 \times 10^{12} \pm 7.47 \times 10^{10}$
JRC ASIC(Chip4)	~2nA	30	180.7 ± 8.3	$1.51 \times 10^{12} \pm 6.86 \times 10^{10}$

表 7.2: 照射線量と陽子フルーエンス

7.3.3 リーク電流と VCON の測定

今回の照射実験では、照射ボードに供給する電流の変化と、シンチレーション・カウンターによるビームの ON/OFF モニターも照射中に測定した。また PP ASIC については、VCON の値も測定した。ここでの測定は各チップの TID の影響を見ると共に、我々のグループが以前行った γ 線照射による結果と比較することで、Ge 検出器による線量測定が正しく行なわれているかの確認を行なうためである。図 7.24~7.31 に各チップのリーク電流の変化とビームモニターの様子と、PP については VCON の値の変化を示す。ビームモニターの信号は NIM 信号で送られてくるので、ビー

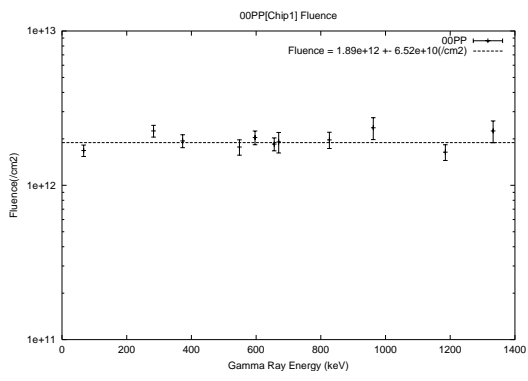


図 7.16: PP(Chip1) の陽子フルーエンス

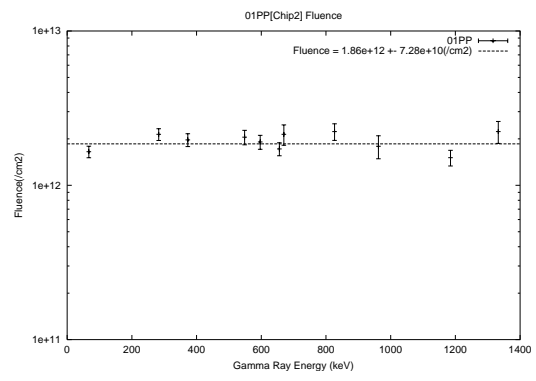


図 7.17: PP(Chip2) の陽子フルーエンス

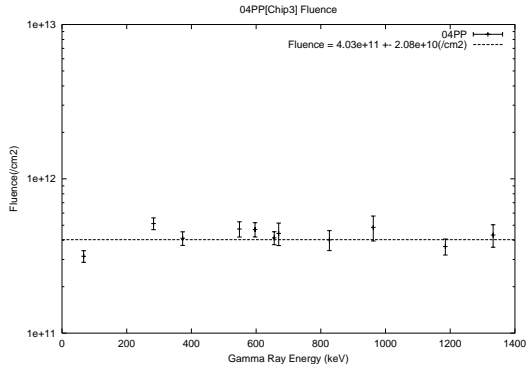


図 7.18: PP(Chip3) の陽子フルーエンス

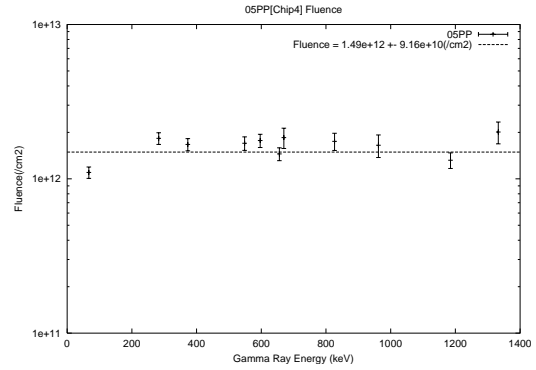


図 7.19: PP(Chip4) の陽子フルーエンス

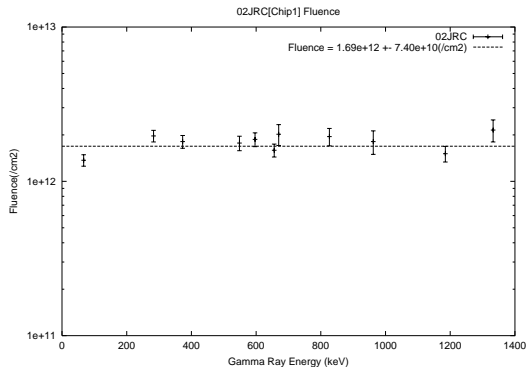


図 7.20: JRC(Chip1) の陽子フルーエンス

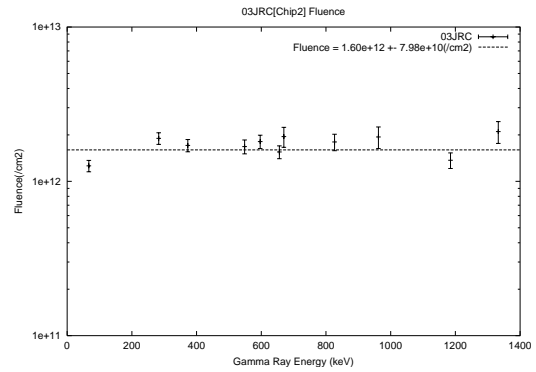


図 7.21: JRC(Chip2) の陽子フルーエンス

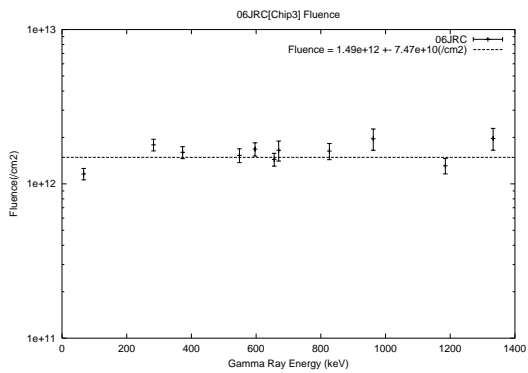


図 7.22: JRC(Chip3) の陽子フルーエンス

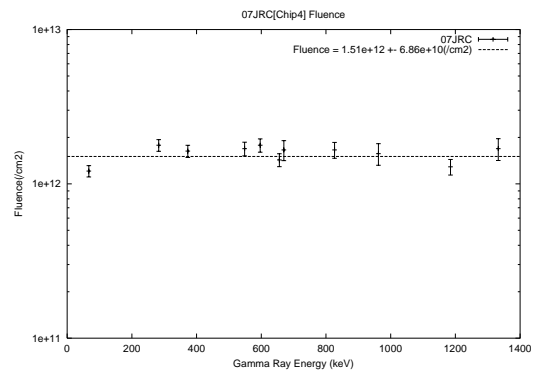


図 7.23: JRC(Chip4) の陽子フルーエンス

ムが出ている状態は、この図で電圧が下がっている時である。この図を見ると、照射がうまくいかなかった PP(Chip3) については、500sec 近くからビームモニターであるシンチレーションの応答が不安定になり、リーク電流と VCON の値の変化は見られない。その他のチップについては、電流の増加はほぼ一定となっており、これは線量測定の評価と一致する。

また図 7.32~7.33 に、照射線量とリーク電流の変化の γ 線照射ですでに得られている結果と、今回の陽子ビーム照射によって得られた PP ASIC の Chip1 と Chip4 の結果の関係を示す。この図では、陽子ビームによる吸収線量が常に一定であると仮定しており、さらにボードの違いからくる初期電流は、電流の増加量を比較するために、共に零としている。この図からわかるように、電流が増加し始める所を比較してみると、 γ 線と陽子ビームの 2 つの照射実験で吸収線量が数 10% 異なることがわかる。両者が完全に一致しなかった原因としては、2 つの照射実験で使用した照射ボードが異なっていた事、リーク電流の値が陽子でも γ 線でも吸収線量で決まるとした仮定に間違いがあることなどが考えられるが、はっきりとした理由はわかってない。今後、この原因を解明するためには、実験の精度を上げて、もう一度測定し、リーク電流の変化を比べる必要がある。今回は安全係数として、線量測定から求めた陽子フラックスには、数 10% の不確定性を含んでいるとみなし、SEE に対する評価を行なう事にする。

7.3.4 SEU 断面積

表 7.3 に、JRC ASIC に搭載したシフトレジスタから測定された SEU の回数と SEU 断面積 σ_{SEU} を示す。ここで、 σ_{SEU} は以下の式から計算した。

$$\sigma_{SEU} = (\text{SEU の発生数}) / F(\text{フルエンス}) / (256 \times 4 : \text{全レジスタ数}) \text{ [cm}^2/\text{bit}] \quad (7.9)$$

チップ名	フルエンス [1/cm ²]	ラッチアップ の有無	レジスタ の状態	レジスタ数	SEU の発生数	σ_{SEU} [cm ² /bit]
JRC(Chip1)	1.69×10^{12}	None	All-0	1024	79	4.6×10^{-14}
JRC(Chip2)	1.60×10^{12}	None	All-1	1024	18	1.1×10^{-14}
JRC(Chip3)	1.49×10^{12}	None	All-0	1024	69	4.5×10^{-14}
JRC(Chip4)	1.51×10^{12}	None	All-1	1024	19	1.2×10^{-14}
Total	6.29×10^{12}	None			185	2.8×10^{-14}

表 7.3: SEU 断面積の計算結果

SEU の発生数は、ボード上でフリップフロップにセットした値が 0 の時の方が、1 にセットした時に比べて、4 倍程大きい結果となった。原因としてはデバイスのスレッシュホールドの値の違い (例えば、デバイスのスレッシュホールドの値が 1.2V くらいだと 3.3V からの変動 (3.3-1.2=2.1V) に対して 0V からの変動 (1.2-0=1.2V) の方が影響を受けやすい) などが考えられるが、はっきりとした理由はわかっていない。次にこの SEU 断面積の値と、RHA で定義された ATLAS の 10 年間の運転期間に相当するフルエンスの値を用いて計算すると、PP ASIC の場合、データレジスタは 67bit 存在し、約 1 万個使う予定なので、TGC エレクトロニクスシステム全体の SEU 発生数 SEU_{rate} は次

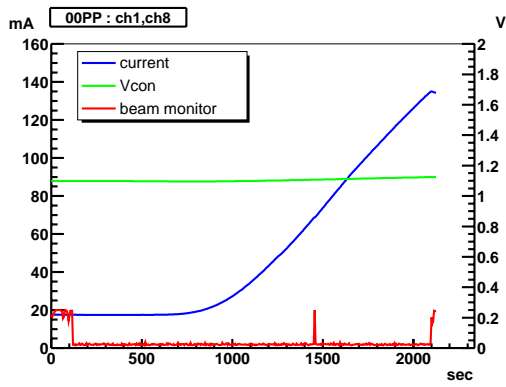


図 7.24: PP(Chip1) の照射中のリーク電流と VCON の推移

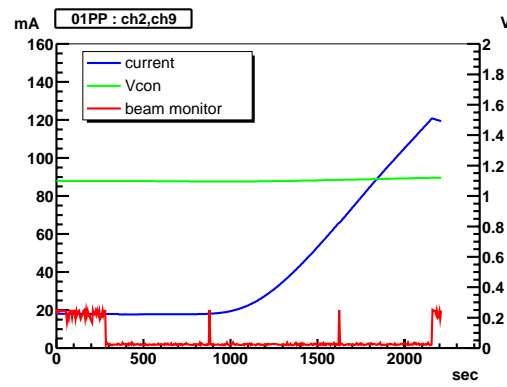


図 7.25: PP(Chip2) の照射中のリーク電流と VCON の推移

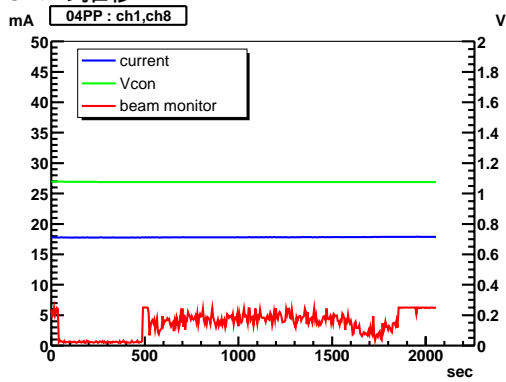


図 7.26: PP(Chip3) の照射中のリーク電流と VCON の推移

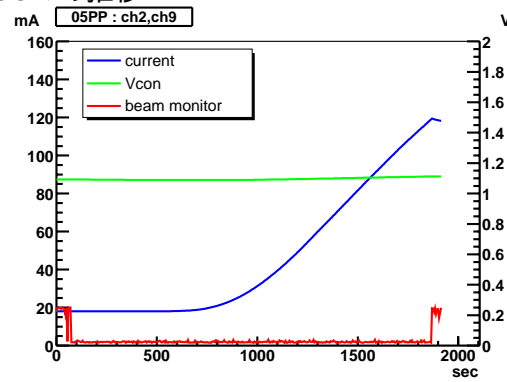


図 7.27: PP(Chip4) の照射中のリーク電流と VCON の推移

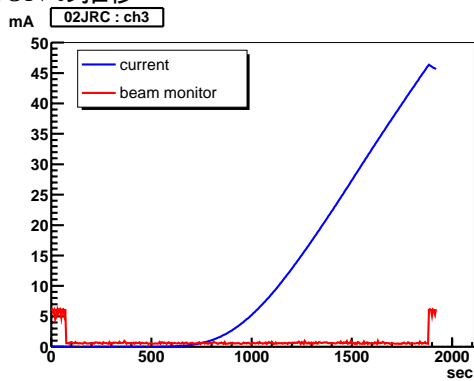


図 7.28: JRC(Chip1) の照射中のリーク電流の推移

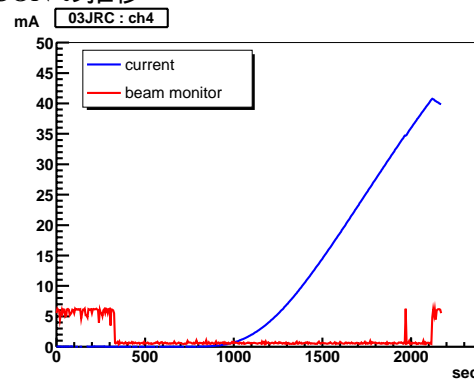


図 7.29: JRC(Chip2) の照射中のリーク電流の推移

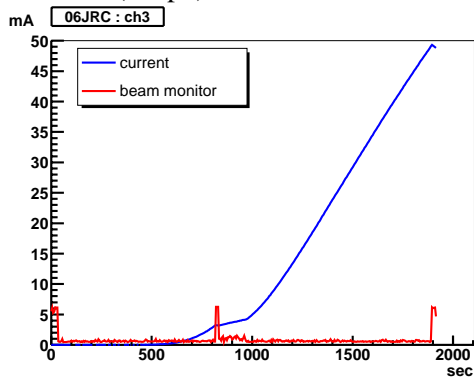


図 7.30: JRC(Chip3) の照射中のリーク電流の推移

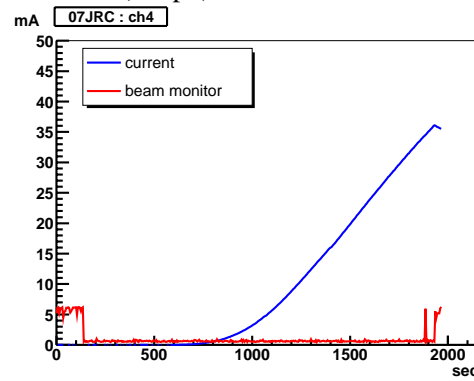


図 7.31: JRC(Chip4) の照射中のリーク電流の推移

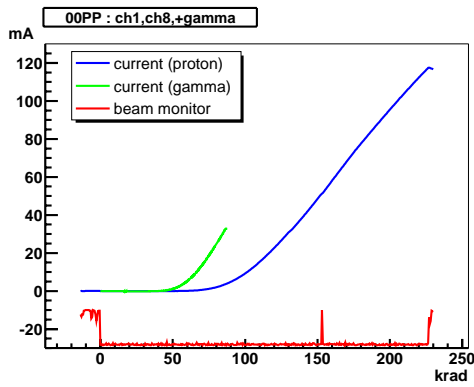


図 7.32: γ 線照射と陽子ビーム照射での PP(Chip1) のリーク電流の推移の比較

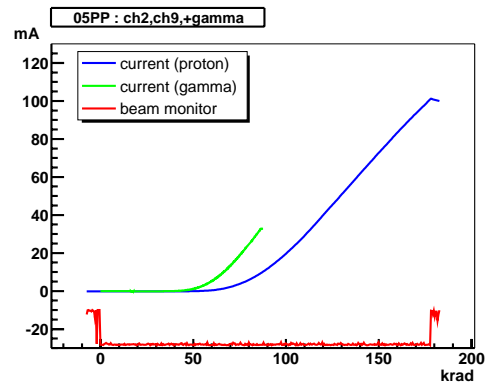


図 7.33: γ 線照射と陽子ビーム照射での PP(Chip4) のリーク電流の推移の比較

のようになる (3.4 節 3.8 式参照)。

$$\begin{aligned}
 SEU_{rate} &= \frac{\sigma_{SEU}[\text{cm}^2/\text{bit}] \times RTC[\text{cm}^2/10\text{years}]}{\text{ATLAS の 10 年分の稼働時間 [s]}} \times \text{全 bit 数 [bit]} \times \text{使用チップ数} \\
 &= \frac{2.8 \times 10^{-14} \times 7.0 \times 10^{10}}{10^8} \times 67[\text{bit}] \times 1.0 \times 10^4 \\
 &\approx 1 \times 10^{-5} [\text{SEU}/\text{sec}/\text{TGC_All_System}] \\
 &\approx 1 [\text{SEU}/\text{day}/\text{TGC_All_System}]
 \end{aligned} \tag{7.10}$$

この値は線量測定から生じた数 10% の不確定性を考慮しても、実用上十分小さな値であり、同一レジスタに、2 回以上 SEU が発生する確率は、ほとんど皆無である。従って、多数決論理回路によって十分対処可能であり、SEU による IC の誤動作が起きる確率は非常に小さいと言える。

また PP ASIC の照射中、定期的に JTAG の読み書きを行ない、書き込んだデータと読み込んだデータの比較を行なったが、多数決論理回路を搭載しているため、書き込みと読み込みのデータが一致しないといったエラーは一度も見られず、ハード SEE の現象も起きなかった。以上のことから、今回設計した PP ASIC は、SEE に対して十分な放射線耐性が言える。

7.4 放射線耐性に関するまとめ

今回、PP ASIC の放射線耐性について調べるために、70MeV の陽子ビームを照射した。SEU 断面積を調べるために、JRC ASIC に搭載したシフトレジスタも照射対象とした。JRC ASIC は、PP ASIC と同じプロセスで作られているので、ここで起きる現象は、PP でも同様に当てはまると考えて良い。ここまでへのべた結果から、PP ASIC は、SEE の観点からは ATLAS 実験で使用するには十分な放射線耐性を満たしているといえる。

第8章 まとめと今後の展望

ATLAS 実験でのレベル1トリガーを担うミュオン検出器である TGC の信号を処理するエレクトロニクスを開発している。本研究ではこのうち、Star Switch と VMEASIC の開発、単体のテストではほぼ完成に近いレベルにあることが確認されているトリガー信号生成系のモジュール群の統合接続テストを行った。また、Patch Panel ASIC の放射線耐性を陽子ビームを用いて確認した。

Star Switch はレベル1トリガー判定を受けたデータを収集、圧縮し、また、フロントエンドのモジュールに制御信号を分配するモジュールである。今回はこのプロトタイプを FPGA を用いて設計、製作し、読み出し機能の動作検証を行った結果、正しくデータを圧縮、収集することが確認された。今後は現在行っている統合接続テストへの組み込みを行い、フロントエンドのモジュールへの制御信号分配の機能と併せて、システムレベルでの検証を行うことになる。また、今回のプロトタイプでは FPGA を用いて実装した SSWRX チップの ASIC 化も行う。

VMEASIC は HPT ボード、SSW ボードに搭載予定の VME プロトコルを解するチップである。Star Switch のプロトタイプボード上では CPLD で実装されており、VME アクセスのテストを行ったところ正しい動作が確認された。現在、先日届いた試作品の ASIC をテストするためのボードを設計中である。

トリガー信号生成系を構成するモジュール群の統合接続テストでは最大2つまでのミュオンのトラックに対応する入力で、シミュレーションとの一致をみた。今後のテストではさらに多くのトラックを用い、網羅的な検証を行う。レイテンシーの測定では要求されているよりも短い値を得たが、ASIC 内のタイミング調整用ディレイを考慮に入れていないため、十分な結果とは言えない。今後、ケーブル長を工夫するなどの改善方法を考えねばならない。

TGC のエレクトロニクスで使用される電子デバイスは実験ホール内に設置されるものが多く、それらの全てのデバイスに対して放射線耐性が確認されねばならない。今回は初段のタイミング調整を行う Patch Panel ASIC の SEE について評価し、十分な耐性を確認したが、今後他のデバイスについてもビーム照射テストを行っていく。

関連図書

- [1] CERN/LHCC/98-14 *ATLAS First Level Trigger Technical Design Report*, 30 June 1998
- [2] Radiation Hardness Assurance(RHA) <http://atlas.cern.web.ch/Atlas/GROUPS/FRONTEND/radhard.htm>, 2000
- [3] Physics Laboratory Physical Reference Data <http://physics.nist.gov/PhysRefData>, 2000
- [4] Martin Dentan *ATLAS Policy on Radiation Tolerance Electronics ATLAS Project Document* <http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm>
- [5] *Radiation Levels Simulated for Various ATLAS Project Document* <http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm>
- [6] F.Faccio M.Huhtinen *Computational method to estimating Single Event Upset rates in an accelerator environment* <http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/WWW/RAD/RadWebPage/Tutorial/seu.pdf>
- [7] Nicholas Tsoulfanidis 放射線計測の理論と演習 下巻 応用編 第 12 章現代工学社, 1986
- [8] K.Jakobs.et.al *Search for the Standard Model Higgs Boson in ATLAS using Vector Boson Fusion (in preparation for ATLAS NOTE PHYSICS). 2003*
- [9] T.Takemoto, S.Asai, J.Kanzaki, and R.Tanaka *Study of $H \rightarrow \tau\tau$ (lepton and hadron mode) via Vector Boson Fusion in ATLAS(in preparation for ATLAS NOTE PHYSICS). 2003 Search for the Standard Model Higgs Boson in ATLAS using Vector Boson Fusion (in preparation for ATLAS NOTE PHYSICS). 2003*
- [10] Xilinx Application Note *Virtex FPGA Series Configuration and Readback* <http://www.xilinx.com/xapp/xapp138.pdf>

謝辞

二年間の研究生生活において、終始懇切丁寧な御指導と多くの助言を頂きました佐々木修氏^bに深く感謝します。本研究を行なう機会と適切な指導並びに助言を頂いた坂本宏氏^a、に深く感謝します。本研究で技術面を中心に多大なる御支援と御指導を頂いた池野正弘氏^bと狩野博之氏^{a1}にも深く感謝します。モジュールの製作を行っていただいた株式会社ジー・エヌ・ディーの宮沢正和氏に深く感謝します。またTGCエレクトロニクスグループにおいて、様々な御指摘と助言を頂いた福永力氏^c、蔵重久弥氏^d、新井康生氏^b、前野忠嗣氏^d、蓮子和巳氏^{a2}、長谷川庸司氏^eにも深く感謝します。ソフトウェア開発において非常に重要なご協力を頂いた安芳次氏^b、仲吉一男氏^bに深く感謝します。また様々な面で貴重な意見と御指導を頂いた近藤敬比古氏^b、岩崎博之氏^b、田中秀治氏^b、石井恒次氏^d、石野雅也氏^a他 ATLAS 日本グループの方々に深く感謝します。TGCエレクトロニクスグループで共に研究を行ない議論した一宮亮氏^d、溝内健太郎氏^f、中村佳央氏、田中健一氏、石田康明氏、戸塚真義氏、小松知氏^c、竹本享史氏^a、里山曲彦氏^e、松本悠氏^a、片岡洋介氏^a、澁谷和弘氏^a、作間考雄氏^g、高田徳之氏^eにも深く感謝します。また折に触れ適切な助言、励ましを頂いた西田昌平氏^fに深く感謝します。

また放射線テストでは、池田秀松氏を始めとする東京大学原子力研究総合センターの方々や東北大学サイクロトロン・ラジオアイソトープセンターの方々に大変お世話になり、この場を借りて感謝したいと思います。また ASIC を開発する上でお世話になった池田誠氏を始めとする VDEC(東京大学大規模集積システム設計教育センター)の方々、ローム株式会社の方々にも感謝します。上記の方々の協力がなければ、私の研究生生活は成り立たなかったと思います。最後に全ての方々に、心から感謝を申し上げたいと思います。

所属 : 東京大学素粒子物理国際研究センター (ICEPP)^a、高エネルギー加速器研究機構 (KEK)^b
東京都立大学 理学研究科^c、神戸大学 自然科学研究科^d、信州大学 理学系研究科^e
京都大学 理学研究科^f、東京農工大学 工学系研究科^g

¹現在、高エネルギー加速器研究機構 (KEK) 研究員。

²現在、理化学研究所研究員。