
ATLAS 前後方ミューオントリガーシステム用エレクトロニクス
読み出し系の開発
- インテグレーションテスト動作報告 -

京都大学大学院理学研究科 物理学宇宙物理学専攻
物理第二分野 高エネルギー研究室
溝内健太郎

Contents

1	LHC (Large Hadron Collider)	7
1.1	Large Hadron Collider	7
1.1.1	Parameters	7
1.2	P-P Collider Physics	8
1.2.1	Pseudo-Rapidity	8
2	Physics in ATLAS	10
3	ATLAS Detector	12
4	Thin Gap Chamber (TGC)	14
4.1	Introduction	14
4.2	Design and Parameters	14
4.2.1	基本原理	14
4.2.2	Demands as a Trigger Chamber	15
4.2.3	Signal Analysis for On-Detector Electronics	15
4.2.4	信号到達時間とタイムジッター	15
5	ATLAS Trigger System	17
5.1	Introduction	17
5.2	Trigger Logic	17
5.3	Level-1 Trigger System	18
5.3.1	Requirements	19
5.4	Level-2 Trigger System	19
5.5	EF (Event Filter)	20
6	TGC Trigger System	21
6.0.1	Introduction	21
6.0.2	Chamber System	21
6.0.3	Principle of Hit Search and P_T Decision	21
7	Design of TGC Level 1 Electronics System	23
7.1	Overview of TGC Electronics System	24
7.2	Design of Trigger Part	26
7.2.1	Functions and Requirements	26
7.2.2	Design of Trigger Part	26
7.3	Design of Readout Part	31
7.3.1	Introduction	31
7.3.2	Functions and Requirements	31
7.3.3	Design of Readout Path	31
7.4	Design of Control Part	33
7.4.1	Introduction	33
7.4.2	Functions and Requirements	33
7.4.3	Design of Control Path	33

8	Integration Test	36
8.1	Integration Test - Control Part -	37
8.1.1	Control Path	37
8.1.2	Setup	37
8.1.3	Test Process	37
8.1.4	Result	39
8.1.5	Conclusion	40
8.1.6	Discussion	40
8.2	Integration Test of Trigger Part	41
8.2.1	Level 1 Trigger Simulation Project (L1Sim)	42
8.2.2	Test Process	42
8.2.3	Result	43
8.2.4	Conclusion	43
8.3	Integration Test of Readout Part	45
8.3.1	Emulation Setup	45
8.3.2	Test Process	45
8.3.3	Result	46
8.3.4	Conclusion	46
9	Implementation of Readout Path	48
9.1	Development of General Purpose VME Module - PT4 -	49
9.1.1	Introduction	49
9.1.2	Motivation	49
9.1.3	Requirements	49
9.1.4	Implementation	50
9.1.5	Applications	51
9.2	Development of Star Switch (SSW)	52
9.2.1	Functions	52
9.2.2	Requirements	52
9.2.3	Prototyping with PT4	52
9.2.4	Test	53
9.2.5	Development of SSWRX ASIC	53
9.2.6	Future Plan	54
9.3	JTAG Route Controller (JRC)	55
9.3.1	Introduction	55
9.3.2	Mechanism	55
9.3.3	Implementation	55
9.3.4	Arbitration	56
9.3.5	Development of JRC ASIC	56
9.4	Radiation Effect on Electronics Devices	57
9.4.1	Introduction	57
9.4.2	Radiation Effects	57
9.4.3	Total Ionization Dose (TID)	57
9.4.4	Single Event Effects	58
9.5	JTAG	61

9.6	Application Specific Integral Circuit (ASIC)	63
9.6.1	Introduction	63
9.6.2	Advantage	63
9.6.3	Disadvantage	63
9.6.4	Acknowledgement	64
9.7	Inner Detector	65
9.7.1	Pixel Detector	65
9.7.2	Semiconductor Tracker	65
9.7.3	Transition Radiation Tracker	65
9.8	Calorimeter	67
9.8.1	Electromagnetic Calorimeter	67
9.8.2	Hadronic Tile Calorimeter	67
9.8.3	Hadronic End-Cap and Forward Calorimeter	68
9.9	Muon Trigger Chamber	69
9.9.1	Resistive Plate Chamber	69
9.9.2	Thin Gap Chamber	69
9.10	Muon Precision Chamber	70
9.10.1	Monitored Drift-Tube Chamber	70
9.10.2	Cathod Strip Chamber	71

- ABSTRACT -

LHC(Large Hadron Collider)は欧州原子核研究機構(CERN)に建設中の完成すれば全世界で最高重心エネルギー(14TeV)と最大ルミノシティー($10^{34}\text{cm}^{-2}\text{s}^{-1}$)を得ることになる陽子・陽子衝突型の加速器である。ATLAS 実験とはこのLHC リングの衝突点の1つにおいて行われる(1)ヒッグス粒子探策(2)B physics(3)トップクォークの質量の精密測定(4)超対称性粒子の探索等を目的としたエネルギーフロンティアにおける汎用実験である。現在この実験のために、長さ44m・高さ22m・総重量7000tを超える大型検出器が製作されている。

TGC(Thin Gap Chamber)はこのATLAS 検出器の一部として開発されている、前後方のエンドキャップ部分を覆うミュオン用トリガーチェンバーである。このTGCは以下に述べる2つの点で、ATLAS 検出器の中で最も重要な検出器部分の1つであるといえる。

- (1) 大量のQCDバックグラウンドが生成されるハドロンコライダー実験において、TGCは最もクリーンなシグナルの得られるミュオンをターゲットにした検出器である。LHCでは、より高いルミノシティーを得るためにバンチ衝突が40.08MHzの高速で行われ、イベントレートは1GHzに及ぶとみられている。
- (2) このようなハイレート実験では望む物理現象のみを選択的に取得する高いセレクション効率が要求されるため、トリガー検出器の性能とそれを使ったイベント選択手法は実験成功の鍵となる。

著者はこのTGCに用いられるエレクトロニクスシステムの開発を行っている。ATLASトリガーシステムによるとLevel 1判定によって採用されたバンチに関しては全チャンネルのデータが読み出されなければならないと決まっている。しかし、TGCの総読み出しチャンネルは32万を超えており、L1A(Level 1 Accept)は最大100kHzのレートで発行されるため、TGCエレクトロニクスでは $3.2 \times 10^9\text{bps}$ のスループットを持つ読み出しシステムを開発しなければならない。

著者は修士の研究として主にこのTGCの読み出しスキームの研究開発をおこなった。そして2つのASIC(特定用途IC)と1つのデータコンセントレータモジュールを製作することでこれを実現した。現在、これらは個々の試作段階を経て、モジュール間のコネクションを含めたシステムとしての動作を検証するインテグレーションテストの段階に入りつつある。

本修士論文では、著者の開発した個々のモジュールの詳細を報告するとともに、これらをインテグレーションテストにおいて実際に動作させ、システムとして動作を評価した時の結果をのべる。

- 本論文の流れ -

シンクロトロン放射による加速限界が近づき、円形加速器はレプトンコライダーからハドロンコライダーへと移行を始めた。LHCでは加速粒子としてハドロンを用いる事で更に高いデザインエネルギーを設定し、加えて稀少イベントに対しても十分なイベント数を確保するため、より高いデザインルミノシティを設定している。この要求を満す1つの工夫として非常に短い間隔でバンチ衝突をくり返し行うデザインを選んだのだが、この結果としてハドロン同士の衝突による大量のQCDバックグラウンドと高いバンチ衝突レートがトリガーシステムに対して高い要求を突き付けることになった。

トリガーチェンバーであるTGCのエレクトロニクスシステムではこの高い要求を満たすため様々な研究をおこない、データ取得システムとしては今までにない革新的なデザインを組み上げた。本論文ではそのシステムがどのようにデザインされ、著者の開発によってそれが現時点でどの程度実現されているかを実際の動作報告をもって示す。

まず、§1にて

- Large Hadron Collier

示して、ハドロンコライダーの物理がATLASのトリガーシステムに対して何を要求するかを明かにする。

次に§2では

- ATLASの目指す物理

を紹介して、その物理が目指すイベントを取るにはどのようなトリガーシステムが必要になるかを述べる。

3番目に§4では

- ATLASのトリガーシステム

を説明し、これらの要求を満たすためにどのようなフレームワークを構築したかを述べる。

そして§6で、

- TGCのトリガーエレクトロニクスシステム

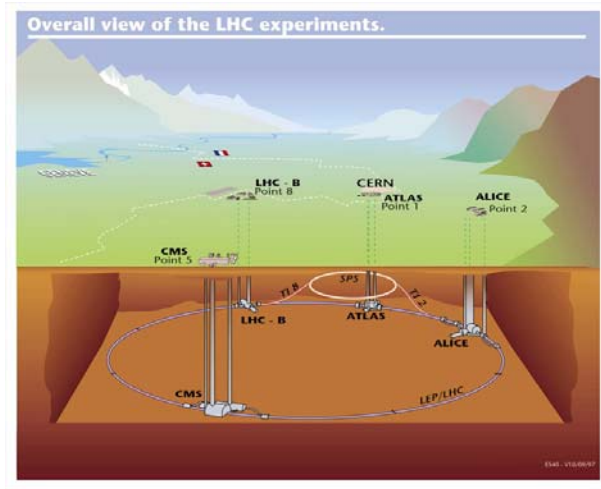
について説明し、実際にこのATLASフレームワークの下でTGCエレキがどのようなデザインを持ってこの要求を満たしているかを示す。

最後に§8で、

- TGCのトリガーエレクトロニクスシステム - インテグレーションテスト -

について記述し、このエレクトロニクスデザインにより現在如何なることが出来るのかを実際のテストの結果をもって報告する。

1 LHC (Large Hadron Collider)



現在 CERN にて建設中の Large Hadron Collider の Overview. LHC には 4 つの衝突地点があり、その中の 1 つで ATLAS 実験が行われる。

上図は LHC 加速リングを示した絵である。この章では LHC とハドロンコライダーの性質について述べる。

1.1 Large Hadron Collider

シンクロトロン放射によるエネルギーロスで加速限界を迎えた LEP (Large Electron Positron Collider) は、さらに高いビームエネルギーでのコライダー物理を行うため、加速粒子として e^- に比べて質量の大きい陽子を用いた LHC (Large Hadron Collider) にとって代られる事になった。

この加速粒子の変換により、シンクロトロン放射によるエネルギー損失は大幅に減り、LHC のシンクロトロン放射によるエネルギー損失はビームエネルギー 7 TeV の下で 3.7 kW にまで下がっている。参考までに LEP のエネルギー損失は 23MW と言われている。なおこの値は表 (LHC-1) から引用している。

この変更により LHC はデザインビームエネルギーを飛躍的に上げ、現在その値を 7TeV と設定している。これは LEP の 70 倍に相当し、完成すれば世界最高エネルギーの加速器となる。

さて、一般にビームエネルギー (E) が上がると反応断面積は $1/E^2$ で小さくなる。LHC では高いビームエネルギーを保ちながら、反応断面積の小さい稀少イベントを減らすことなく生成したいために、 $10^{34} \text{ cm}^2\text{s}^{-1}$ という高いデザインミノシティーを設定しており、これは同じ Hadron Collider ($P-\bar{P}$ タイプ) の TEVATRON ($2 \times 10^{32} \text{ cm}^2\text{s}^{-1}$) の 50 倍に相当する。

ここで重要なのは、LHC はこのデザインミノシティーを実現するため以下の特徴を持つと言う事である。

1. バンチ衝突を高速の 40.08MHz で起こそう。
2. 加速粒子として $\bar{P}$ では無く、 P を用いている。
3. 1 つのバンチに 10^{11} 個の陽子を入れている。

この結果、1 回のバンチ衝突で約 25 個のイベントが起こり、バンチ衝突レートと合わせるとイベントレートは 1GHz となる。

このバンチ衝突頻度とイベントレートの値はトリガーシステムにとって重要な基礎パラメーターとなる。

1.1.1 Parameters

ここでは、LHC の主要なパラメータの一覧を掲載する。なお、前述の値はここから引用している。

Beam Energy	7.0 (7.4) TeV
Luminosity	$10^{34} \text{ cm}^{-2} \text{ s}^{-1}$
Bunch crossing rate	40.08 MHz
Bunch spacing	24.95 ns
Circumference	26.66 km
Dipole field	8.3 T
Beam-beam parameter	0.0032
Injection energy(SPS)	450 GeV
Circulating beam current	0.530 A
Particle num per bunch	1×10^{11}
Stored beam energy	332 MJ
Normalized transverse emittance	$3.75 \mu\text{m}$
R. m. s. bunch length	0.075 m
Beta values at I.P.	0.5 m
Full crossing angle	$300 \mu\text{rad}$
Beam lifetime	22 h
Luminosity lifetime	10 h
Energy loss per turn	6.9 keV
Critical photon energy	45.6 eV
Total radiated power per beam	3.7 kW

(LHC-1) LHC のパラメーター一覧

1.2 P-P Collider Physics

陽子は 3 つの valence クォークとそれを取りまく sea クォークやグルーオンからなる。

コライダーで陽子同士を衝突させた場合、大半はこの sea クォークやグルーオンが反応を起こす soft scattering 反応である。この soft scattering 過程においては運動量遷移が小さいため、陽子・陽子コライダーでは衝突点の forward 方向に大量のバックグラウンド生成し、興味のある物理イベントの取得を困難にしてしまう。

ヒッグス粒子の生成など我々の興味のある物理イベントは valence クォーク同士の衝突で起こる hard scattering 過程を必要とし、これらは比較的大きい運動量と散乱角度をもって出て行く。加えて、異った運動量を持つパートン同士の衝突ではビーム軸方向に 1 次粒子がブーストされるので、ビーム軸に平行な運動量成分 P_L を総和しても 0 にはならない特徴を持つ。

よって基本的に

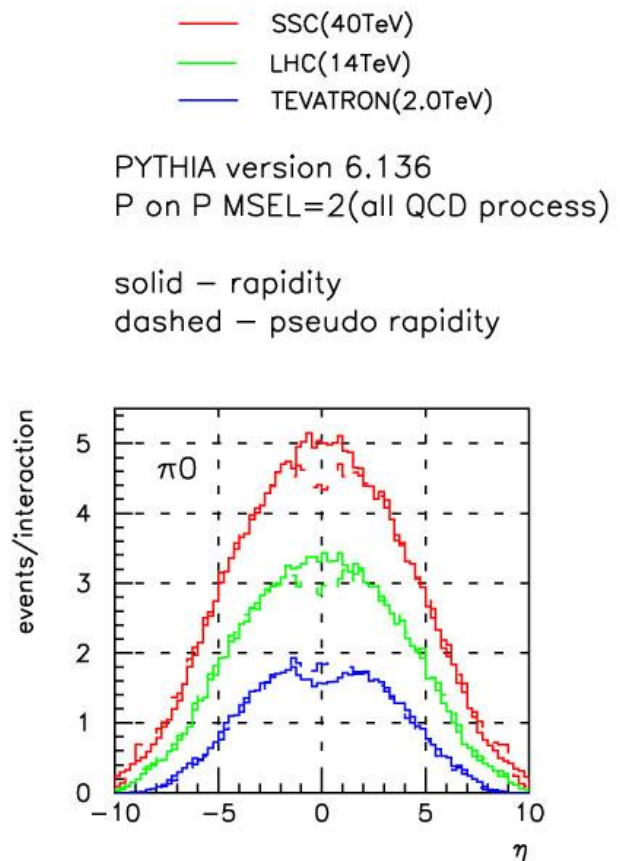
- 横方向運動量 P_T を用いたイベントの測定
(※) ΣP_T は必ず 0 になる。
- QCD バックグラウンドを避けるため P_T の大きいものを選択するトリガー

というスキームを持ったイベント取得システムが必要になる。

1.2.1 Pseudo-Rapidity

ビーム軸となす角を θ として、 η を $\eta \equiv -\ln \tan \frac{\theta}{2}$ と定義すると、これは擬ラピディティと呼ばれる量になる。

以下に示すのはこの η に対するイベント数の分布をシミュレートしたものである。



x 軸は η 値、y 軸は η 方向に飛散するイベント数を示す。ここでは一例として散乱粒子が π^0 の場合を取り上げたが、その他の粒子も基本的にこれと同じ分布を取る。

$\theta = 90^\circ \sim 5.7^\circ$ は η で 0~3 に対応するのだが、グラフ見るとこの範囲でイベント数の分布は幾ど変わらないことが分かる。($\eta = 0$ は θ で

言うと 90° 、 $\eta = 3$ は 5.7° にそれぞれ対応する。) 即ち、ハドロンコライダーにおいては、イベント数を N とすると、 $\frac{dN}{d\eta}$ が一定になる傾向がある。よってハドロンコライダーに対する検出器を作る場合、 η を基準にしたリージョン分け (粒度設計) が行われ、forward 方向では特に細かい分割が要求される。

2 Physics in ATLAS

ATLAS は、

- Higgs 粒子の探策
- B の物理
- トップクォークの 質量精密測定や希崩壊
- 超対称性粒子の探策

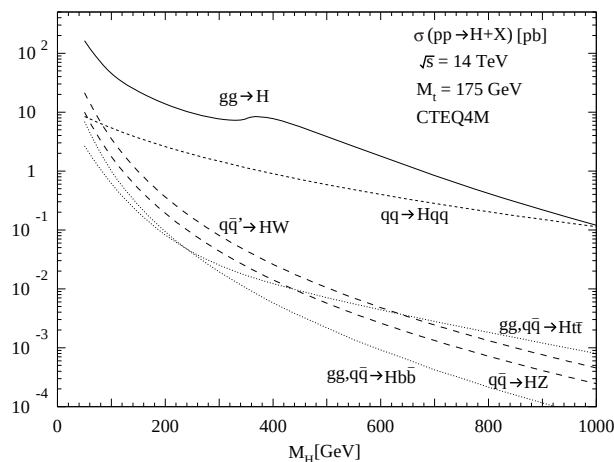
の測定を主な目的とした汎用実験である。

ここでは、その中でも特に Higgs 粒子の探策について取り上げる。

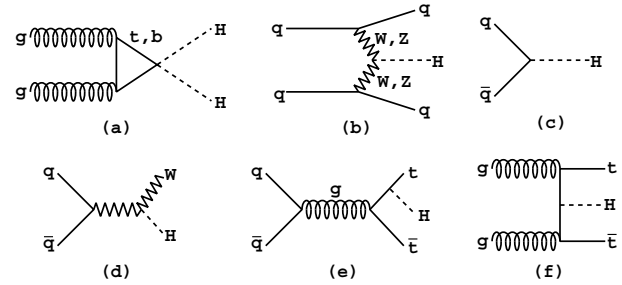
P-P Collider Physics の節で述べたが、ハドロンコライダーは大量の QCD バックグラウンドを生成するため、ヒッグス粒子のような反応断面積の小さいイベントを取りだすには、生成あるいは崩壊過程において起こる特徴的なイベントを選択的に利用しなければならない。

そこでまず、ヒッグスの生成過程において特徴的な性質が無いかを考察する。

以下にヒッグス粒子の生成時の散乱断面積のグラフとそのモードにおけるファインマンダイアグラムを掲載する。以降、これらを参照しながら議論をすすめる。



Higgs 粒子生成における散乱断面積



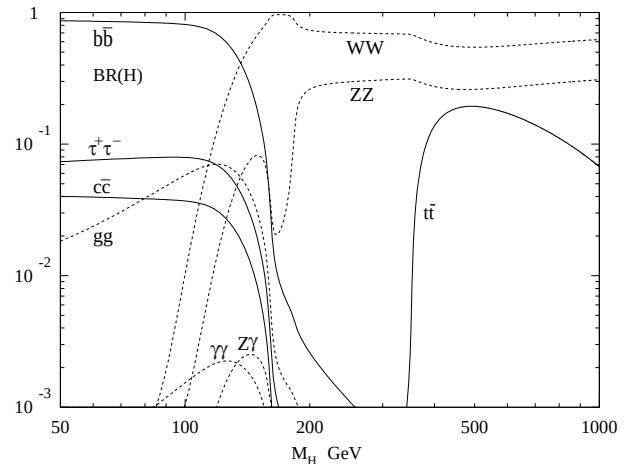
Higgs 粒子の生成過程のファインマンダイアグラム

もっとも散乱断面積が大きいのは $gg \rightarrow H$ であるが、このチャンネルにおいては、ヒッグス粒子以外に大きな P_T を持ったものは生成されないため特に目立った特徴はなく、崩壊過程に特徴を求めるしか無い。

$qq \rightarrow Hqq$ は反応過程で前方に qq からくる 2 本のジェットを作るので、これを利用してヒッグスイベントにトリガーをかけることができる。

$qq \rightarrow HW$ は終状態がヒッグスとゲージボソンなので比較的きれいなチャンネルになる。

$gg \rightarrow ttH$ も同様に 2 本の t のジェットを生成するから、これを利用してヒッグスイベントをタグづけすることが出来る。



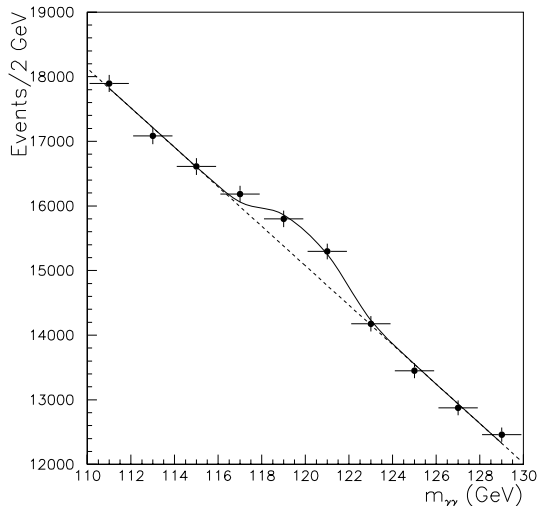
Higgs 粒子の崩壊過程の分岐比

次に崩壊チャンネルの考察をおこなう。崩壊チャンネルには 2 つの重要なモードがあり、

1 つ目はヒッグスの質量が小さいときに有用なモードである $H \rightarrow \gamma\gamma$ である。このモード

は、崩壊分岐比は小さいが、終状態に γ しか残さないで電磁カロリメータの性能がよければきれいにヒッグス粒子の質量を再構成することができる。

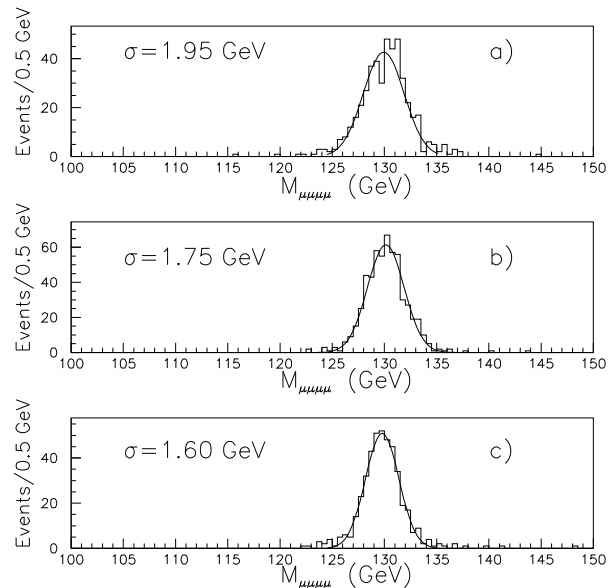
次に示す図はシミュレーションにおいて γ からヒッグス粒子の質量を組んだグラフである。



Expected signal from $H \rightarrow \gamma\gamma$ decays with $m_H = 120$ GeV over the $\gamma\gamma$ continuum background after one year of operation at high luminosity.

2つ目の崩壊チャンネルは 所謂 gold-plated と呼ばれるモードで $H \rightarrow ZZ^{(*)} \rightarrow 4l$ である。これは、終状態にレプトンしか残さないクリーンなモードで、しかも適切な2つのレプトンを選べばZの質量を組むことができるので特にトリガーとしては、効率的に取得したいイベントである。また、ヒッグスの質量が比較的大きな時には分岐比も大きいので、ヒッグス粒子の探策に最も効力を発揮するモードと言える。

次に示す図はシミュレーションで4つのミュオンからヒッグス粒子の質量を組んだものであが、非常に綺麗に mass peak が組まれているのが見て取れる。



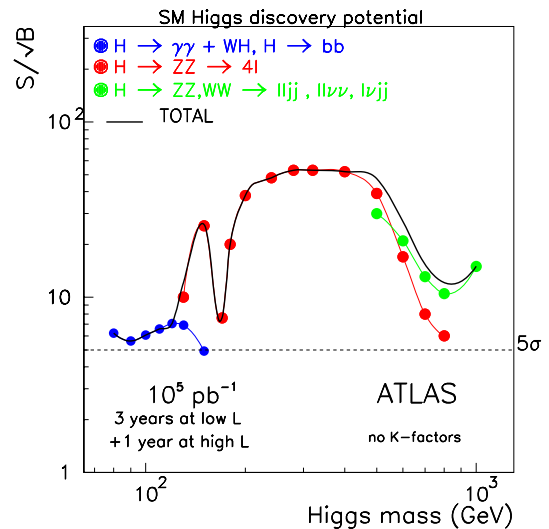
4 μ から Higgs の mass を再構成した図

(a) はミュオン検出器の情報を利用

(b) は内部飛跡検出器の情報を利用

(c) は両方の情報を合わせたもの

各チャンネル毎のヒッグス粒子の発見能力が見積もられており、それは図(ph-1)のようになっている。



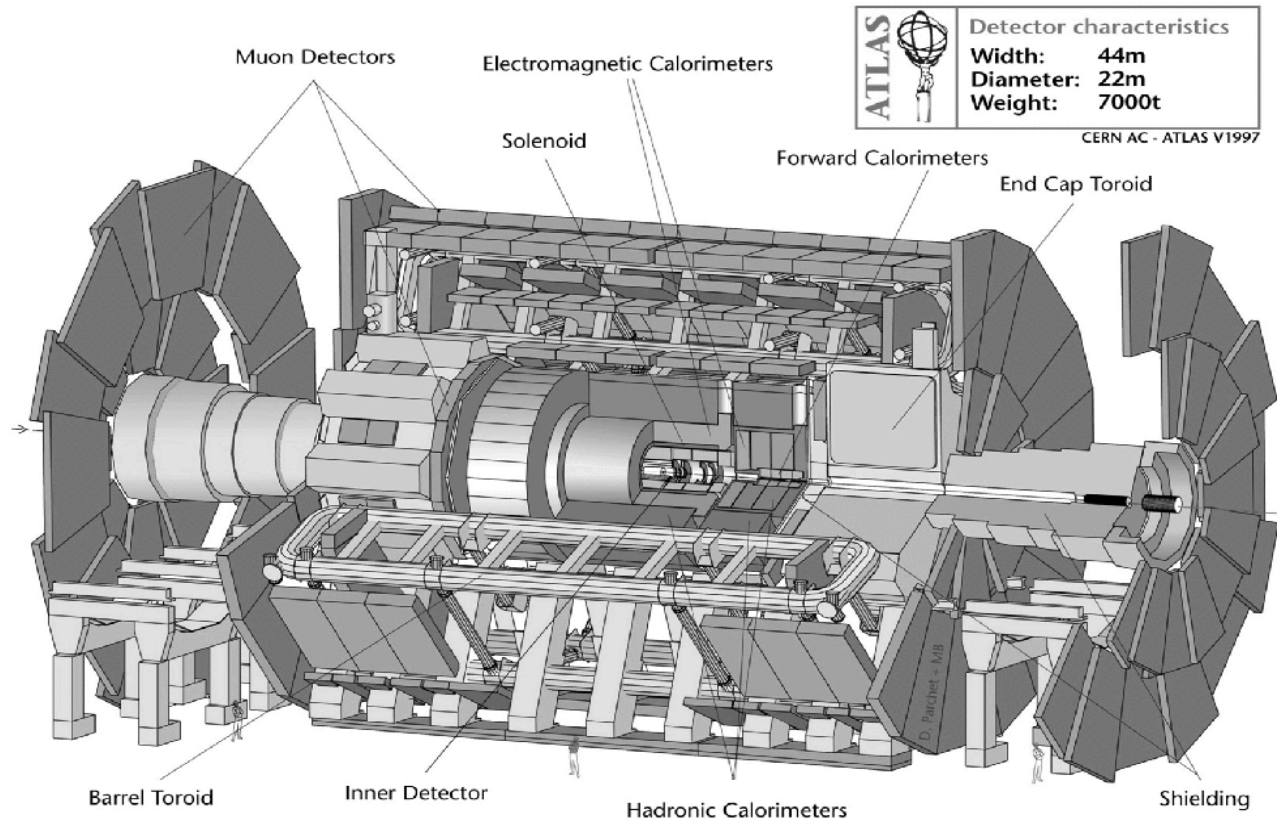
(ph-1) ATLAS discovery potential for a Standard Model

Higgs boson after three years of operation at low luminosity and one year of operation at high luminosity.

ここで重要なのは、ヒッグス粒子の質量が大きい場合レプトンシグナルのみでも十分発見能力がある事である。

これらをまとめると、ヒッグス粒子の探策での、レプトンをターゲットにした検出器の重要性が良くわかる。

3 ATLAS Detector



ATLAS Detector の Overview。長さ 44m、幅 22mm、重さ 7000t からなる大規模汎用検出器である。

ATLAS 検出器は以下の構成要素からなる。

- Magnet System
 - Electromagnetic Calorimeter
 - Hadronic Calorimeter
- Inner Tracker
 - Pixel Detector
 - Semiconductor Tracker (SCT)
 - Transition Radiation Tracker (TRT)
- Calorimeter
 - Muon Spectrometer
 - Resistive Plate Chamber (RPC)
 - Thin Gap Chamber (TGC)
 - Cathode Strip Chamber (CSC)
 - Monitored Drift-Tube Chamber (MDT)

上に示すように ATLAS 検出器は主に内部飛跡検出器とカロリメータ、ミューオン検出器の 3 部に大別出来る。

大量の QCD バックグラウンドを生成するハドロンコライダーにおいて、衝突点との間にカロリメータなどの多くの物質があるミューオンチェンバーは、他の粒子による contamination が小さく、最もきれいなシグナルが得られる検出器の 1 つである。このためミューオンチェンバーからのシグナルは貴重なトリガー情報源となる。

さらに細部を見ると、ミューオン検出器部は反応速度を速めてトリガー処理を専門に行うトリ

ガーチェンバーと、反応は速くないが精密測定のできる精密測定用チェンバーの 2 種類から構成されている。

本論文で扱うエレクトロニクスシステムが対象とする Thin Gap Chamber (TGC) については、より詳細に記述したいので次節に特別なセクションを設けた。それ以外の各検出器の詳細は本論文の最後に別途参考資料として付属する。

4 Thin Gap Chamber (TGC)

この章では TGC がトリガーチェンバーとしての役割を果たすために、どのような工夫の下にデザインされているかを示す。

4.1 Introduction

トリガーチェンバーとして最も重要なことは取得するイベントに対してバンチ識別 (BCID) が出来ることである。

これは、検出器に対して 25ns のバンチ衝突時間と同等あるいはそれ以下での信号の読み出しを要求している。

一般にガスチェンバー内部での荷電粒子のドリフト速度は、電圧や圧力にも依存するが、おおよそ 20 ns/mm と見積もられる。これから概算するに、トリガーチェンバーとしての性能を満たすためには、ドリフト距離が 2mm を切る非常にワイヤー間隔の狭い検出器が必要になる。

加えてハドロンコライダーの物理の節で示したように、フォアワード部分はバレル部分¹に比べて入射粒子のフラックスが大きいと、高頻度の入射に耐え、しかも位置測定にすぐれた検出器が必要になる。

このために、以前より比較的生産コストが安く簡単な構造のトリガーチェンバーである RPC が開発されているにも関わらず、ガスギャップがかつて無い程狭い MWPC (Multiwire Propotional Chamber) がデザインされた。

Detector	Rate Capability
TGC	150kHz/cm ²
RPC	1kHz/cm ²

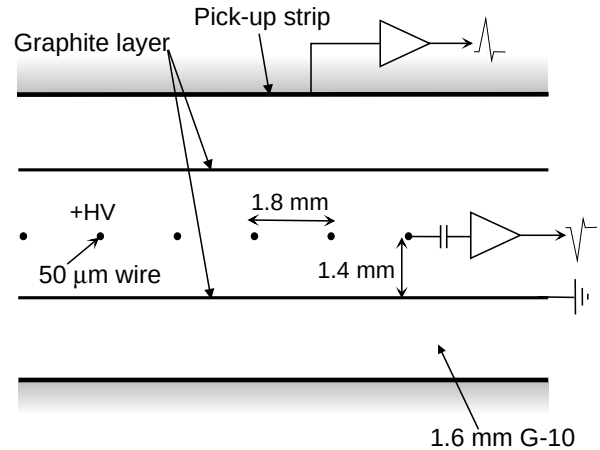
(TGC-1) 粒子の入射許容レート

表 (TGC-1) に示すように、TGC は RPC に対して 100 倍の入射レートを許容している。

¹円筒型検出器の胴体側面部のこと

4.2 Design and Parameters

まず、以下に TGC の構造図とパラメータ表を掲載する。これらを参考に TGC について説明を行う。



- TGC の断面図 -

wire 間隔	1.8 mm
wire カソード 間隔	1.4 mm
付加電圧	3.1 kV
ガス	CO ₂ -n-pentane (55:45)
ガス増幅率	10 ⁶

- TGC の主なパラメータ表 -

4.2.1 基本原理

TGC は MWPC の一種である。よって原理は MWPC のそれと全く同じと思って良い。

ガスギャップ内を通過する荷電粒子がガス分子をイオン化すると、ガス分子からはぎ取られた e^- は電場によりアノードワイヤーへと加速される。この間 e^- が加速により十分なエネルギーを得ると、ガス分子中の e^- を弾き飛ばしさらなる 2 次電子を生成する。

この反応が連鎖的に起きるいわゆるガス増幅が起こりアノードから観測可能なシグナルが読み出される。

また、 e^- を奪われたイオンの方だが、同じく電場により加速されてカソードへとドリフトして行く。この時にイオンの持つ電荷がカー

ボン抵抗面を挟んで反対側にある読み出しストリップにキャパシター成分を通して信号を誘起する。

よって、アノードワイヤに対して垂直に読み出しストリップを切ることで、2次元読み出しを行う事ができる。

さて、カソードに到達したイオンは e^- を供給されてもとの分子へと戻って行くのだが、この時紫外線を放出してしまう。

カソード付近で出た紫外線はやっかいで、カソード面等から e^- を叩き出し、この e^- による更なるガス増幅を呼び起こしてしまう。この連鎖反応によって起こるイオンと e^- の雪崩がある域値を超えると目に見える放電現象として現れる。

一般にMWPCではこの紫外線を吸収(クエンチ)するために、イソブタンやメタノールなどの高分子ガスを混入する。TGCの場合ギャップが狭い分放電が起こり易く、特に高いクエンチ能力を必要とするので CO_2 -n Pentaneを利用している。

4.2.2 Demands as a Trigger Chamber

TGCにはトリガーチェンバーとしての要求を満たすために、通常のMWPCにはない更なる工夫が必要となる。

1. 不感の原因にもなるイオンのドリフト時間を短くするため、アノード・カソード間距離を通常のMWPCよりも狭い、1.4mmに縮めている。
2. 同じ理由でギャップ間が狭いにも関わらず高い電圧を付加している。
3. 電場の弱い不感領域を減らすため、アノードワイヤを1.8 mmの狭い間隔で張りめぐらせている。

そのままでは読み出しチャンネル数が多くなりすぎるので、ワイヤグループを作って数本でまとめて読み出す。

4. 高い入射頻度に耐えるため、カーボン抵抗を下げて電荷の吐きだしを速くしている。

あまり抵抗を下げると、電荷が拡散してストリップの読み出し信号が小さくなるので注意が必要である。

4.2.3 Signal Analysis for On-Detector Electronics

TGCの読み出しエレクトロニクスを作るには、まずこのチェンバーが出す信号を良く理解することが必要となる。

Shape TGCの作りだす波形は主に2つの成分に別けて考えられる。

1つは、移動速度の速い電子が作る波形成分であり、主に信号の立ち上がり部分を形成する。

2つめは移動速度の遅いイオンが吐けて行く過程で作られる波形成分であり、長いテールを引く立ち下がりをつくる。

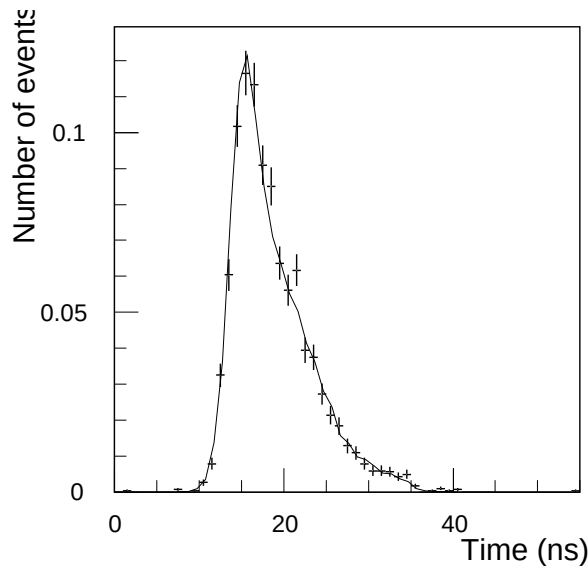
Amplitude TGCは単発的に大きな信号を出す事がある。以下に理由を説明する。

クエンチ用ガスのペンタンはその組成に水素原子を多く持つ。バックグラウンドの多くをしめる中性子はこの水素原子核(陽子)と質量が近いので頻繁に陽子を弾き飛ばす。そして弾き飛ばされた陽子はミューオンのつくる信号よりも相当大きい信号を落す。

読み出しエレクトロニクスを製作する時は、これら2点をよく考慮しなければならない。

4.2.4 信号到達時間とタイムジッター

以下に示す図は実際にビームテストを行って、信号到達時間分布を測定したものである。x軸が信号が到達するのにかかる時間で、y軸がそのイベント数である。



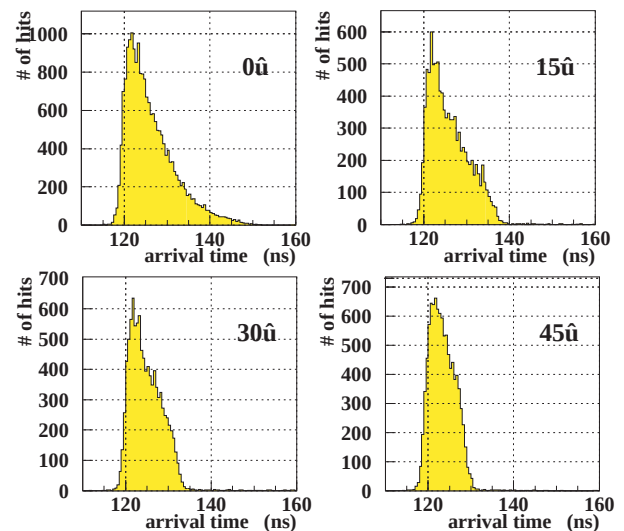
- ビーム入射から信号が出て来る
までにかかる時間分布 -

上図はチェンバーに対して垂直(0度)にビームを入射したもので、信号到達時間のばらつきとしては最悪値を与えるものである。

トリガーチェンバーの検出効率として99%を要求し、この図において99%のイベントが含まれる時間幅を持つウィンドウを切ると幅は27 nsになる。

トリガーシステムとして見たときに、利用出来る最大ウィンドウ幅はバンチ衝突間隔に相当する25nsであり少しオーバーしているが、実

際は衝突地点からのビームは角度をもってチェンバーに入射するので下図に示すように、さらに短い時間幅のウィンドウで99%の検出効率を上げることが出来る。



チェンバーに対するビームの入射角度の違いによる信号到達時間分布の変化を示す図。0°、15°、30°、45°と入射角度を変えてシグナルの到達時間分布を測定した。

上図から分かるように、TGCシステムは全体で平均的に見た場合、タイムジッターの観点では99%以上の検出効率を持っていると言える。

5 ATLAS Trigger System

この章では TGC トリガーシステムに大枠を与える ATLAS 全体のトリガーシステムについて述べる。

5.1 Introduction

LHC は以下の 2 点で ATLAS トリガーシステムに対して高い要求を突き付けていると言える。それは

1. イベントが 10^9 Hz という高い頻度で起こる。
2. バンチ衝突が 25 ns という非常に短い間隔で起こる。
つまり、次の衝突が起こるまでに現在のバンチデータを取得するかどうかの判断を下す事は不可能である。

よって、ATLAS トリガーシステムには

1. 10^9 Hz のイベントの中から 100Hz まで取得イベントのレートを落す高いセレクション能力。100 Hz と言うのはデータ記録システムからの要請である。(現在 数百 Hz まで上がっている。)
2. デッドタイム無く、つまり VETO 処理を要求せずに全バンチに対してトリガー判断が出来ること
の 2 つのスキームが要求される。

また、ATLAS の目指す物理方針から

3. トリガーロジックは高い汎用性を保つこと。(ATLAS は汎用実験である。)
を守らなければならない。これとは矛盾するようだが、Higgs イベントのような低い生成断面積のイベントに対してもトリガーが行えるように、
4. 稀なイベントに対して高いトリガー efficiency を保つこと。
例えば、 $H \rightarrow 4l$ は、およそ 10^{13} イベントに 1 回しか起こらない

事が必要とされる。

ATLAS では次に示すトリガーシステムを構築することで、この高い要求に答えている。

5.2 Trigger Logic

ATLAS のトリガーシステムは次頁の図に示すように 3 段階に別けてイベント選択を行うスキームを取っている。

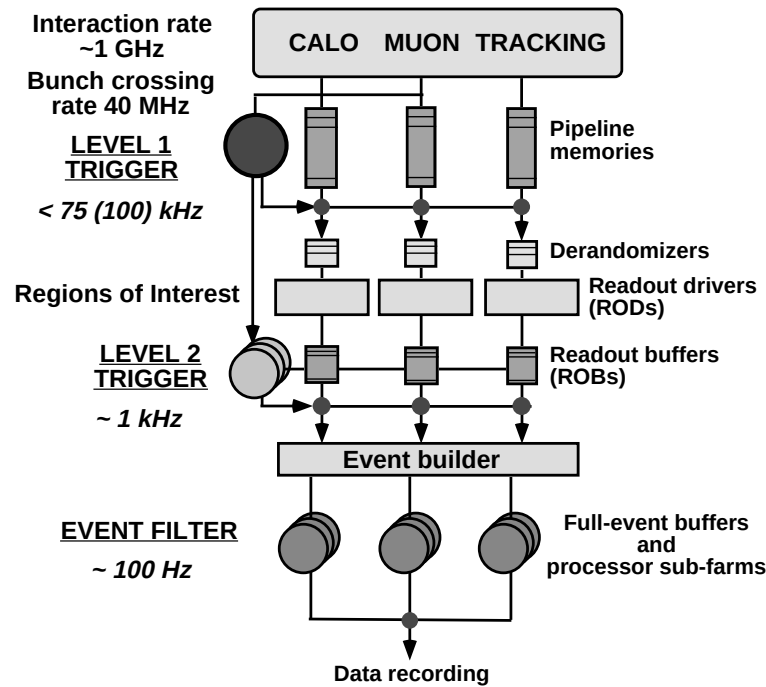
1. Level 1 Trigger
2. Level 2 Trigger
3. EF (Event Filter)

Level 1 判定では稀なイベントを捨ててしまう事と汎用性を失う事の 2 点が決して起こらないよう、特徴があるイベントは全て取得するという方針を取る。そのために accept のレートは 100kHz という高い設定にデザインされている。

Level 2 トリガーは判定に Software を用いて柔軟なトリガーシステムを実現する。Level 1 で出来るだけ多くのイベントを拾い、ソフトで解析を行う所に汎用性を失わない仕組みがある。また、Level 2 では全種類の検出器を用いて解析をし、その上で判定を下すので、稀少イベントなどの欲しいイベントを逃す事なく取得できるように配慮されている。

ただし、全種類の検出器の全チャンネルを扱う事になると、Level 2 で用いるデータ量が大きくなり処理を破綻させるので、Level 1 判定時に特徴的なイベントがあった検出器エリアを前もって調べておき、解析はそのエリア付近に限定して行う。

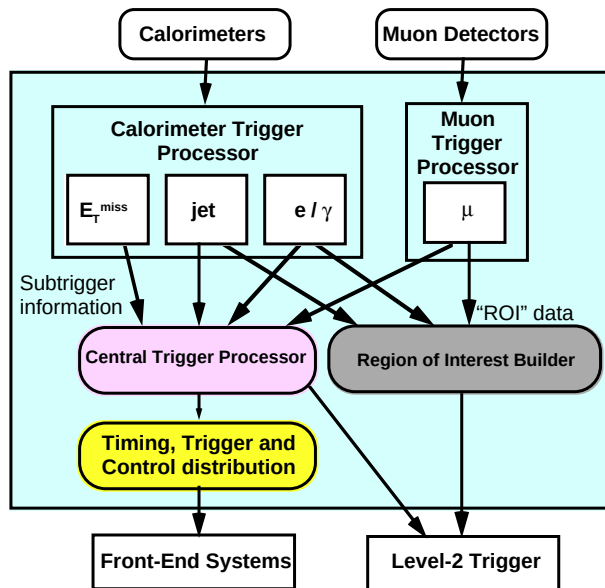
以下の節ではこの各トリガーレベルの詳細に触れる。



(TR-1) ATLAS トリガーシステムのフレームワーク。3 段階に分けてトリガー処理が行われる。

5.3 Level-1 Trigger System

Level 1 のトリガースキームは下図のようになっている。



(TR-2) Level 1 トリガー部のダイアグラム

この図 (TR-2) を参照しながら議論を進める。

Level 1 システムでは速いバンチ衝突頻度に対応するため、

- 反応の速い検出器であるカロリメータとミューオントリガーチェンバーの情報のみを利用する。

基本的にはこの情報をもとに、高い P_T を持つミューオン・ e/γ ・ハドロン・ジェットと大きい E_T^{miss} を持つイベントを選び出して CTP² がアクセプト判定を下す。このアクセプト信号を L1A (Level 1 Accept) と言う。

アクセプト判定は、TTC³ を通じて各フロントエンドエレクトロニクスに配信される。

Region of Interest Builder については後述するが、一言で言うところ Level 2 で詳細に解析しようと思う所に前もってめぼしをつけておくロジックである。

以下に具体的なトリガー条件の幾つかを列挙する。

²CTP : Central Trigger Processor

³TTC : Timing, Trigger and Control Distribution System

- Muon -	
$P_T > 20 \text{ GeV}$	single muon
$P_T > 6 \text{ GeV}$	muon pair
- e/γ -	
$E_T > 30 \text{ GeV}$	EM クラスタ
$E_T > 20 \text{ GeV}$	EM クラスタペア
- jet -	
$E_T > 290 \text{ GeV}$	single jet
$E_T > 130 \text{ GeV}$	3-jets
$E_T > 90 \text{ GeV}$	4-jets
- E_T^{miss} -	
$E_T > 100 \text{ GeV}$	jet
AND	$E_T^{\text{miss}} > 100 \text{ GeV}$
.....	
Level 1 trigger の 採択条件	

この判定により採択されるイベントレートは 100 kHz となっている。これらが、Level 1 Trigger System の大枠である。

5.3.1 Requirements

先述したスキームを実現し、ハドロンコライダーの物理から来る高い要求を満たすため以下の実装が必要になる。

まずトリガー判定によるデッドタイムを無くするため、

1. トリガーアルゴリズムは並列的かつパイプライン的なプロセスを用いて実装されなければならない。
また、Level 2 トリガーシステムからの要請で、
2. Level 1 判定がでるまでの間、全データがパイプラインメモリーに保存されていなければならない。
とある。この為に、トリガー判定にかけられる最大レイテンシー⁴は厳しく設定されており、
3. 粒子の TOF⁵や検出器の応答時間、エレキハットまでのケーブル遅延等、全てを

⁴処理に費す時間のこと

⁵TOF : Time of flight

含めて $2\mu\text{s}$ で Level 1 判定を下さなければならない。

さらに、扱うデータ量を縮小するために、

4. トリガーするバンチは曖昧さを残さず必ず 1 つに決定されなければならない。
つまり、バンチを特定せずにイベントが含まれそうな周辺数バンチ分全てを取得するという方法を許さない。

これらの要求は TGC のトリガーエレキを作る上で重要な要素となるのでこの場で強調しておく。

5.4 Level-2 Trigger System

Level 2 トリガーシステムでは、内部飛跡検出器やミュオン精密測定用チェンバーからの情報も合わせて、全種類の検出器を用いたイベントの判定を行う。

ただし、全種類の検出器からのデータは数億チャンネルに及ぶので、データ転送量や解析に使うデータ量を出来るだけ削減する工夫として、

Region-of-Interest (RoI) メカニズム

を使う。これはミュオン、 e/γ 、ハドロン、ジェットに関して特徴的なイベントの起こった検出器エリアの情報を Level 1 Trigger System からもらい、そのエリア付近に限定してデータを取り出し、解析を行う手法である。

Level 2 トリガーシステムでは、その判定をソフトウェアで行うのだが、出来るだけ多くのイベントデータを処理できるようプロセッサファームを用いた並列処理の方法を使う。

このため Level 1 Trigger System と大きく違い、Level 2 Trigger System ではレイテンシーが可変となっており、平均で $\sim 10 \text{ ms}$ と見積もられている。

5.5 EF (Event Filter)

ROB⁶に散らばった各検出器のデータで、Level 2 トリガーで採択されたものは Event Builder において 1 つのイベントデータとして構築される。

その後、このフルイベントに対して記憶媒体に書き込むかどうかの選択を行う。これが **EF** である。

フルイベントに対する解析は、高い演算処理能力を必要とするので、複数の演算処理プロ

セッサからなるプロセッサファームをさらに複数システム用いて行われる。

Event Builder からのフルイベントデータは Switch Farm Interface (SFI) システムを通して、複数のプロセッサファームに割り振られ、各ファーム毎に全く独立かつ並列に処理される。

1 つのイベントを処理するのにかかる時間は 1000 MIPS のプロセッサで およそ 1 ms と見積もられている。

⁶ReadOut Buffer : Level 1 判定で選択されたデータはここに保存される。

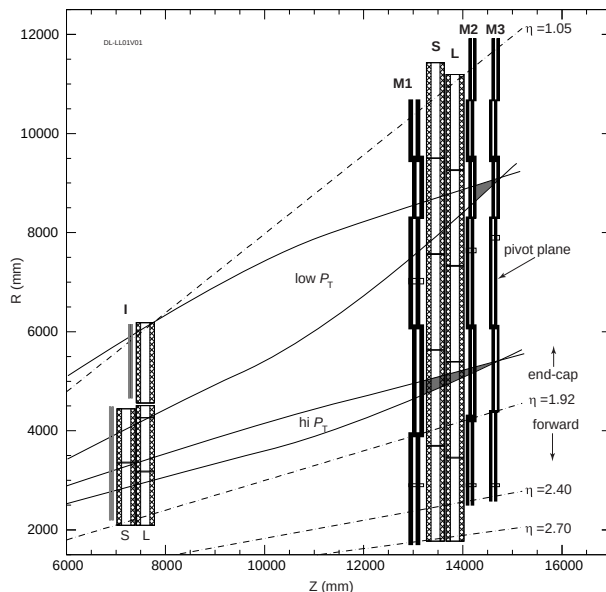
6 TGC Trigger System

6.0.1 Introduction

P-P Collider Physics の節で説明したように、ハドロンコライダーのトリガーシステムでは総和を取ったときに必ず0になるビーム軸に対して垂直な**横方向運動量 P_T** を利用したシステムを構築する。このため chamber system は P_T の測定が出来るように組み上げられる。また、大量に出る QCD バックグラウンドイ

ベントを避けるため、基本的には P_T の**大きなもの**を取りだしてトリガーかけるスキームになっている。

6.0.2 Chamber System



(TGC-TR-1) TGC チェンバーのアライメント図。

ミューオントラックが ϕ 方向のトロイダル磁場によって r-z 平面で曲がっている。

Alignment and Naming ここでは、トリガー判定方法を説明するために、chamber system がどのように構成されているかを述べておく。また、説明のために必要な各部の名称も合わせて記述しておく。

TGC は 3 つのプレーンから構成され、衝突地点に近い方から M1、M2、M3 と名付けられている。上図 (TGC-TR-1) を参照のこと。

実際は更に衝突地点に近い所に EI/FI という TGC も設置されるが、このチェンバーはバックグラウンドの reject 用で P_T 判断には利用されないので割愛する。

M1 は TGC を 3 枚重ねてモジュール化したトリプレットモジュールと呼ばれるチェンバーを平面状にならべたもので、ワイヤー 3 層とストリップ 2 層からなる。

M2 と M3 はそれぞれ TGC を 2 枚重ねてモジュール化したダブルットモジュールと呼ばれるものを並べたプレーンで、こちらはワイヤー 2 層とストリップ 2 層からなる。

Aliases チェンバープレーンを M1、M2、... と呼ぶのは直感的に分かり辛いので、実際はこれらの機能を代表する別称で呼ばれることが多い。

説明を分かり易くする意味でこちらの別称を利用することもあるので適宜読み換えて頂きたい。

M3 は P_T 測定時の基準面となるので

- ピボットダブルット層

と呼ぶ。この時 M2 を区別して

- インナーダブルット層

と呼ぶ。M1 は唯一のトリプレットモジュールからなるプレーンであるから、そのまま

- トリプレット層

と呼ぶ。

6.0.3 Principle of Hit Search and P_T Decision

TGC トリガーシステムでは、

1. Low- P_T 判定
2. High- P_T 判定

3. R 情報と ϕ 情報を組み合わせた P_T 判定からなる。

ここでは、具体的に TGC システムにおけるヒット判定の仕方と P_T のデジタイズ方法を述べる。

TGC の設置領域には ϕ 方向にトロイダル磁場が作られている。ミュオンはチャージを持つので図 (TGC-TR-1) に示す通りこの磁場によって R-Z 平面で曲げられる。

実際は、この磁場が理想的なトロイダル磁場からずれていて他軸方向にも磁場成分を持つため、ミュオントラックは ϕ 方向にも曲率を持つ。

この R 方向と ϕ 方向の曲率から P_T の判定を行う。

Low- P_T Decision Low- P_T 判定の仕方は簡単で、まずピボットプレーン上のヒットと IP⁷ を結ぶ直線を引く。これが所謂 $P_T = \infty$ におけるミュオンのトラックである。このラインと M2 の交点を計算すると、 $P_T = \infty$ の仮想ミュオンのヒット位置が求まる。基本的には、この位置と実際のミュオンヒットの位置との差 δR を求めて、r 方向の曲率を代表する値として使う。

これらの曲率から P_T の判定を行う。 ϕ 方向の曲率もまったく同様で、こちらはストリップの数を数えて、その $\delta\phi$ の値を ϕ 方向の曲率を代表する値とする。

実際は最終的に δR と $\delta\phi$ を組み合わせて初めて、 P_T が分かるのだが、Low- P_T 判定ではそこまで行わず、 δR 、 $\delta\phi$ 各々の値をもって P_T の代表値とする。

- Method of Hit Decision -

さきほど、ミュオンのヒット位置から P_T を出す方法を示したが、この際に用いられる具体的なヒットの判定方法を挙げておく。

ダブレットプレーンは M2 層と M3 層の両方を合わせて合計 4 本のアノードワイヤーを持つ。

この 4 本のワイヤーに対して、3/4 のコインシデンスが取れた時、即ち 3 本以上のワイヤーで信号が検出されたときにヒットがあったとみなす。

複数本のコインシデンスを取るのは偽ヒットを落すためであり、コインシデンスが 4/4 を要求していないのはワイヤーサポート⁸などの局所的な不感領域の存在によるトリガー効率の低下を防ぐためである。

ストリップの場合も同様に 4 層あるので 3/4 コインシデンスを用いたヒット判定が行われる。

High- P_T Decision High- P_T 判定と Low- P_T 判定との大きな違いは、High- P_T 判定が M1 も用いた全層のチェンバーデータを利用する点である。

無限運動量トラックからのずれを P_T の代表値として使うやり方は全く同じである。

- Method of Hit Decision -

ダブレットモジュールと違い、トリプレットモジュールは単体でヒット判定が行われる。

アノードワイヤーは 3 本であるので前述したのと同じ理由で 2/3 コインシデンスが取られる。

ストリップの方は 2 層しかないので 1/2 コインシデンス、つまり OR がとられる。

これは第 1 座標側⁹のアノードで δR の測定が出来たにも関わらず、第 2 座標¹⁰のストリップ側の為にヒットを捨てなければならないというケースを減らすためである。

なお、 P_T の選別は 6 段階に行われ、典型的な P_T threshold は Low- P_T に対して 6 GeV、High- P_T に対して 20 GeV となっている。

⁷IP : Interaction Point

⁸アノードワイヤーとカソードとの間隔が狭いため、適所にこの間隔を固定するサポーターが入っている。

⁹R 座標のこと

¹⁰ ϕ 座標のこと。理想的なトロイダル磁場では ϕ 方向には曲率を持たないので第 2 座標と呼ばれる。

7 Design of TGC Level 1 Electronics System

TGC では 30 万を超えるチャンネル数が 40MHz の高速で処理される。アトラスで決められているデータ取得システムのスループットを満たすには、これらの要求を理解し、それを実際のハードウェアでどう実現するかをイメージすることが必要である。この要求はそう低いものではない。時にはこの解として、今までに無かった或いは現時点での最新の技術を使用しなければならないときもある。

ここからは、どういうスキームを用いてこれらの要求を解決し、TGC の Level 1 エレクトロニクスシステムを作り上げたかを述べる。

以後、TGC エレクトロニクスシステム説明するにあたり、

- Trigger Part
 - トリガープリミティブ¹¹を生成するパート
- Readout Part
 - Level 1 アクセプト判定が出たバンチのデータを読み出すパート
- Control Part
 - トリガーパートやリードアウトパート用に開発されたモジュールのコントロールをつかさどるパート

の 3 つのカテゴリーに大別して説明して行く。

また、これから以降は、エレキシステムを説明するにあたり以下の知識が必要となる。

1. 放射線がエレクトロニクスに与える影響
2. JTAG

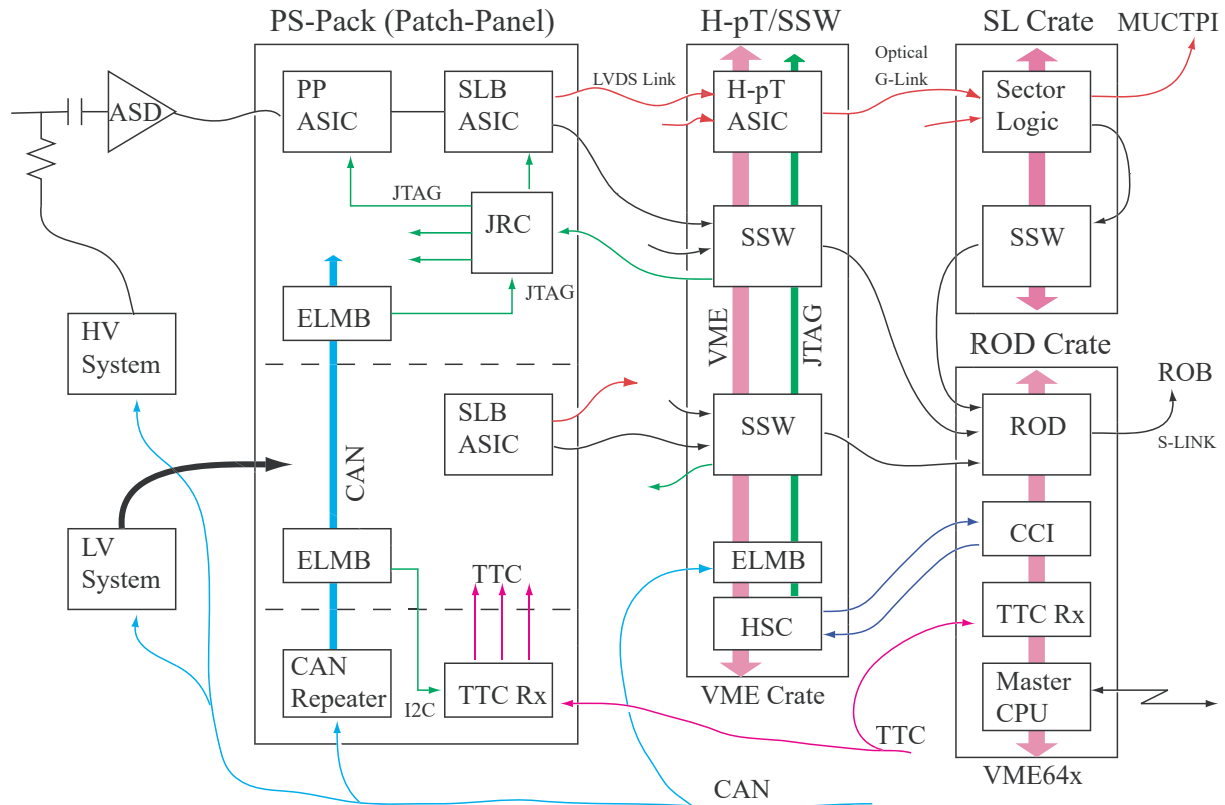
これらについて、必要な情報を Appendix の

1. Radiation Effect on Electronics Devices
2. JTAG

に掲載した。是非、これらを参照してから次の章に入って頂きたい。

¹¹中央トリガー処理システムがトリガー判断を行う際に利用するもので、 P_T やミューオンの電荷の正負などトリガーに必要な情報をまとめてエンコードしたもの。

7.1 Overview of TGC Electronics System



TGC エレクトロニクスの Overview

上図掲載したものが TGC エレクトロニクスシステムのデザインの全てである。

この図には TGC エレクトロニクスシステムで使用される全ハードウェアとリンクが掲載されている。

ここでは、以降の論文展開の助けとなるよう、TGC エレクトロニクスシステムの概観を示し、その構成要素のモジュールを一言にて説明する。各モジュールの詳細とそれが持つ意味は後述するので、まずはグロッサリーとして利用されたし。

図の左方から、

1. ASD (Amplifier Shaper Discriminator) : チェンバー信号の増幅と整形、デジタル化をおこなう回路。
2. PP-ASIC (Patch Panel ASIC) : 信号のバ

ンチ識別を行う回路

3. SLB-ASIC (Slave Board ASIC) : ヒット判定や Low- P_T 判定を行う回路、Level 1 判定ができるまでの間データを保持するバッファ等を持つ。
4. JRC (JTAG Route Controller) : フロントエンド ASIC に制御信号である JTAG¹²を配信するルーター。
5. ELMB (Local Monitor Board) : 温度モニターなど検出器の状態を見張るモジュール。
6. TTC Rx (Timing Trigger and Control Distributor - Receiver -) : L1A¹³や LHC

¹²Control Protocol の 1 つ。

¹³L1A : Level 1 Accept

- クロック¹⁴などを配信する System の 1 つ。
7. PS-Pack : PP-ASIC や SLB-ASIC 等が格納される箱。ちなみにこれらの ASIC が載るボードは PS-Board と言う。
 8. H- P_T ASIC : High- P_T 判定をする ASIC。
 9. SSW (Star Switch) : データの収集と圧縮を行うモジュール。PS-Pack 内のチップに向けて、JTAG という制御信号を発信するコントロール系の中継基地でもある。
 10. HSC (High- P_T Star Switch Controller)
H- P_T を SSW の入る VME クレートのマ
 - スター。
 11. Sector Logic (SL) : 別々に読み出される R 方向と ϕ 方向のデータを結合して最終的な P_T の判定を行うロジック。
 12. ROD (Readout Driver) : Level 1 トリガーにより採択されたデータを読み出すドライバー。
 13. CCI (Control and Configuration Interface) : 光リンクを通じて HSC を制御するモジュール
 14. Master CPU : ROD クレートの VME マスター。

¹⁴LHC で利用される共通クロック。周期が 40.08 MHz でありバンチ衝突レートと一致している。

7.2 Design of Trigger Part

7.2.1 Functions and Requirements

TGC トリガーパートでは上位プロセスの MUCTPI¹⁵ にトリガープリミティブを渡すまでに以下の処理を行うことを要求されている。

- ヒット判定
 - wire 間, strip 間 のコインシデンス処理
- Low- P_T の判定
- High- P_T の判定
- 第1座標(R座標)と第2座標(ϕ 座標)の情報を統合する R- ϕ コインシデンス

この節ではこの処理の為にどのようなエレクトロニクスデザインを行ったかを設計理由とともに説明する。まず、これらを行うにあたり ATLAS 全体のトリガーシステムから以下の要求が満たされなければならない。”ATLAS Trigger system - Level1 Trigger”を参照。

1. 全信号について、どのバンチ衝突で起こった事象なのか一意に決定されなければならない。
2. ミューオンの TOF やケーブルの伝播遅延等全てを含めて、 $2\mu\text{s}$ 以内に Level 1 判定を下さなければならない。

これは Level 1 システムの判定が出るまでの間、全データを保持するようになっているからである。さて、この制約を TGC トリガーパートに当てはめると、 $1.25\mu\text{s}$ 以内にこれらの処理とデータの転送を終えなければならない事になる。

3. イベントレートやヒット占有率¹⁶によらず、処理にかかるレイテンシーは一定でなければならない。

これらの要請と照らし合わせながら、次の節では、

- なぜ TGC のトリガーパートがこのようなデザインになったか?
- なぜトリガーパートではこのテクノロジーを採用したか?

等、トリガーパートのデザインの説明を行う。

7.2.2 Design of Trigger Part

検出器側に設置されるエレクトロニクスにおいては以下の思想の下で設計が行われる。

- コストをかけずに大量のシグナルを高速に処理するため、早い段階でデジタル化と同期化をおこなう。

ASD 先ずデジタル化を行うために、チェンバー読み出し口に ASD (Amplifier Shaper Discriminator) が取り付けられる。ASD はデジタル化の他に

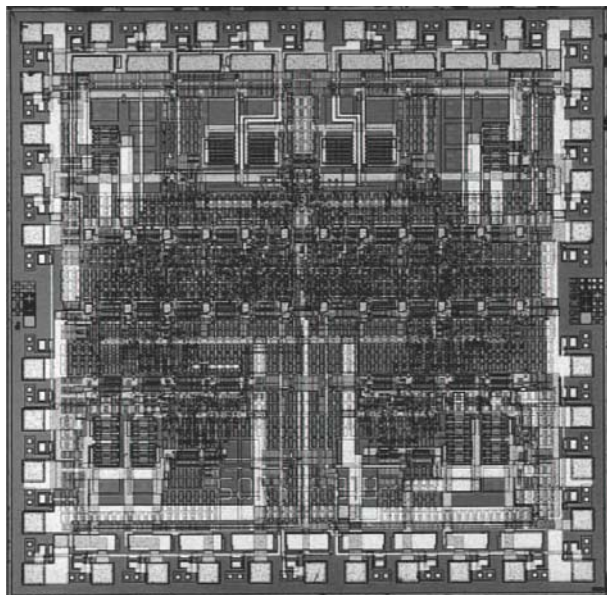
1. 信号の増幅
2. MWPC 特有の信号の長く伸びるテール部分を切る波形整形
3. クロストークや対ノイズ性能をあげるため差動信号 (ECL レベル) への変換

ASD は開発コストを下げるためマスタースライプロセス¹⁷を用いて独自に開発してある。

¹⁵MUCTPI : Muon 用の CTP (Central Trigger Process) Interface

¹⁶検出器の全チャンネルに対してヒットあった数の割合。

¹⁷予め決まった値の抵抗やコンデンサーが並んでおり、ユーザが適宜その中から素子を選んで配線し、回路を作る事が可能なプロセス。



ASD のチップ写真

上図は ASD チップの写真である。ASD は既に開発を終え量産の段階に入っているので、以後本論文ではふれない。

PP ASIC 次に、チェンバー信号はそのままでは LHC クロックに非同期であるから同期化を行う。LHC クロックと同じタイミングで衝突を起こしている実験なので同期化することとは、事象のバンチ決定を行っているという事と同義である。

この同期化の為に PP ASIC (Patch Panel ASIC) が製作された。PP ASIC は信号の同期化を行う際に

- チェンバーの反応時間の差やケーブル遅延の差を埋め合わせるタイミング調整回路
- タイミングゲートを開き、入って来る信号がどのバンチに属するのかを判断する BCID (Bunch ID) 回路

を持つ。チェンバー信号はきっちり 1 クロック幅あるとは限らないし、逆に 1 クロック以上ある場合もあるので注意が必要である。また他にも、

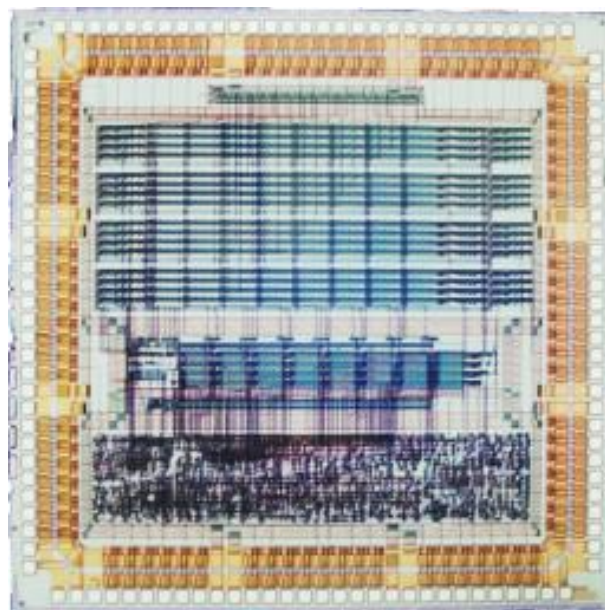
- ECL レベルから TTL へのレベル変換

- ASD チェック用のアナログテストパルスの生成

等を行う。

PP ASIC はアナログ・デジタル混載回路なのでフルカスタム ASIC を用いて開発されている。アナログ部分は手でレイアウトする必要があり、開発には多くのノウハウの蓄積が要求される。

次に示すチップの写真は PP-ASIC のもので、現在最終版のレイアウトを終えている。



PP-ASIC のチップ写真

SLB ASIC バンチ判定を終えると、次にヒット判定つまり wire 間・strip 間同士のコインシデンスを取る回路が必要になる。これが SLB ASIC (Slave Board ASIC) である。ヒット判定回路には以下のようにチェンバーの種類に応じて幾種類もある。

1. ダブルレット ワイヤー用
2. トリプレット ワイヤー用
3. ダブルレット ストリップ用
4. トリプレット ストリップ用

幾種類もの SLB ASIC を開発するのはコストがかかる上に維持が大変である。そこで1つの SLB ASIC に全種類のヒット判定回路を載せ、それを外部から切替えられる仕組みにしてある。

ヒット判定の後は Low- P_T 判定を行う回路を作らなければならない。Low- P_T 判定は2つのダブルットチェンバー間のコインシデンス判断に帰却できるので、ヒット判定と同じく SLB ASIC に搭載することにした。

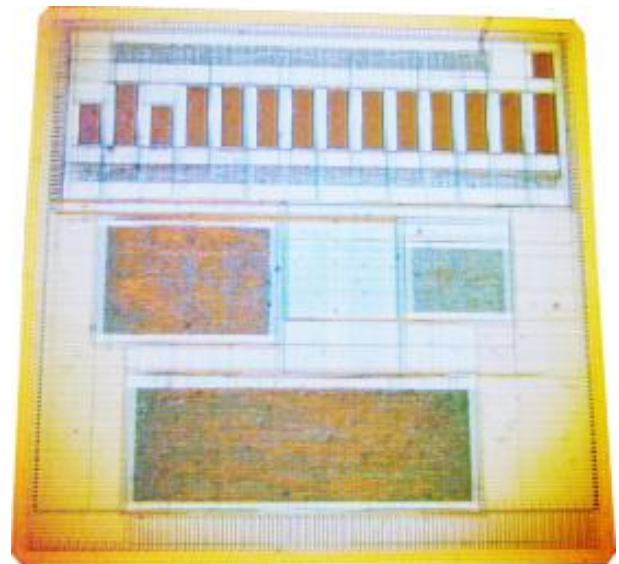
Low- P_T 判定回路にもストリップ用、ワイヤー用と存在するが、こちらも複数種類の ASIC を製作して、維持するのは大変なので、1つのチップに両方の回路を搭載している。

SLB ASIC には他にも

- 複数のワイヤーグループ (あるいはストリップ) に渡ってヒットがある、つまりヒットがクラスターを作っている時に、代表点に絞って1つのヒットとして扱う de-clustering logic。
- ホットチャンネル・デッドチャンネルをマスクする信号マスク回路
- Level 1 判定が出るまでの間全データを保持するバッファや、トリガーされたバンチデータをシリアル化して読み出す回路

等が備わっている。

この様に SLB ASIC は種々の回路を積むため、大規模回路チップとなっている。開発には Rohm 0.35 プロセス、ダイサイズ 9mm 角が利用される。



SLB-ASIC のチップ写真

PP-ASIC と SLB-ASIC の設置される board は PS-Board と呼ばれ、この board は PS-Pack に入れられて、検出器の側に設置される。

Link ここで思い出して欲しいのが Low- P_T 判定は近接する M2 と M3 層間で行えるが、High- P_T 判定は離れた M 1 層も含めて全層を用いたコインシデンス処理を行わなければならない点である。High- P_T モジュールはケーブルの引き回しのしやすい endcap 外周に設置されるため、SLB ASIC から High- P_T モジュールまでは、距離にして最大 15m である。

通常の TTL¹⁸ ドライバーを用いて 15m 程度シグナルを転送するのは、電氣的にもケーブル資源的にも大変なので、この間のデータ転送に **LVDS によるシリアル転送** を採用した。LVDS¹⁹ は、差動シグナル規格でコモンモードノイズに強く低消費電力である。シリアル転送を利用するのは

- ケーブル資源を削減できる。
- 転送によるチャンネル間スキューを小さくできる。

の2点を考慮しての事である。

¹⁸TTL : Transistor Transistor Logic

¹⁹LVDS : Low Voltage Differential Signaling. 低電圧の差動でシグナルを伝送する規格。

トリガーパスに使う転送ドライバーの選択時に注意したことは、レイテンシーを変えないという制約を守ること、bufferingを行う転送システムしっかり排除するという事である。

ここでは National Semiconductor 社の LVDS シリアライザー・デシリアライザー (DS92LV1023,1224) のペアを選択した。

これは各々10bits のデータをシリアル化（また、それを復元）し、受送信する機能と TTL-LVDS 間のレベル変換器を持つ。



LVDS レシーバ
- DS92LV1224 -

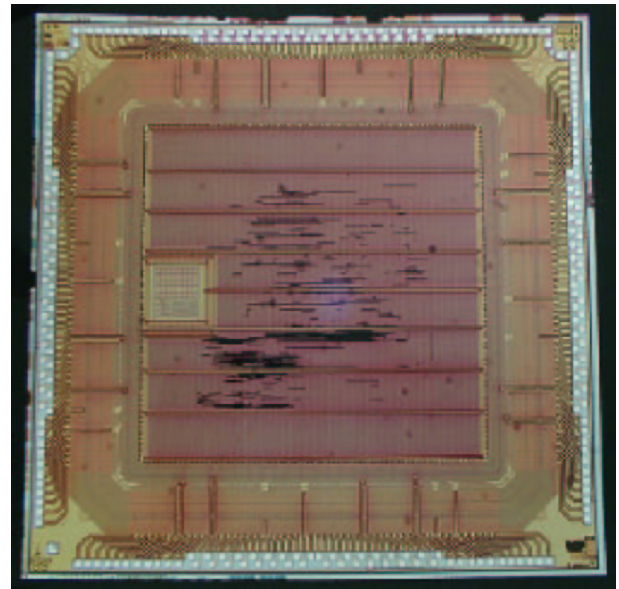


LVDS トランスミッタ
- DS92LV1023 -

転送速度は $40 \text{ MHz} \times 10 \text{ bits} \sim 66 \text{ MHz} \times 10 \text{ bits}$ がサポートされており、LHC クロックの 40.08 MHz での動作を保証している。

この LVDS ドライバーの転送距離は最大 10 m しか想定されておらず、 15 m で運用出来るかどうかを調べるため独自にテストを行って評価している。

High-Pt 判定の回路は 日立 Gate Array (GA) プロセスを用いて製作された。使用理由は、GA プロセスでの開発はフルカスタム ASIC のそれに比べて簡単で、また工場生産時間も含めて短いターンアラウンドが期待できるからである。

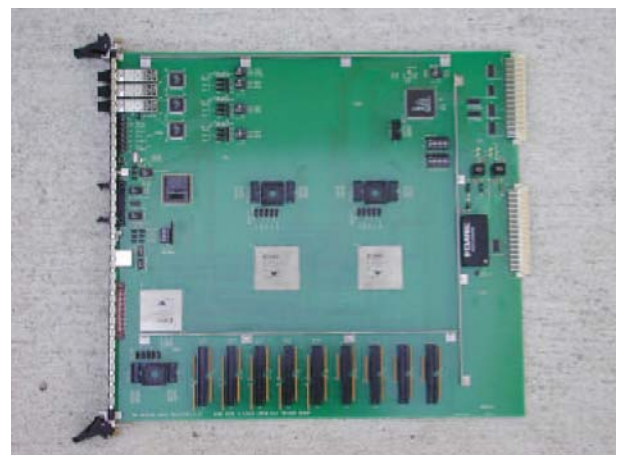


High- P_T ASIC のチップ写真

High- P_T ASIC はほぼ開発を終え、現在最終版のチップが工場にて生産されているのを待っている所である。

High- P_T 判定の後には、R 方向と ϕ 方向の 2 次元情報が 1 つにまとめる。2 つの座標を統合したミューオントラック情報をもとに、イベントセレクションをおこなう。この機能を担うのが Sector Logic (SL) である。

SL には、 δR と $\delta\phi$ から P_T を計算するルックアップテーブルが実装されており、この行列を検索しながら、 P_T が閾値を超えているかどうかの判断をする。取りたい物理にに応じて閾値を変えられるようにロジックの書き換えが可能な FPGA を用いて製作されている。



SL のボード写真

LINK SLはエレキハットにおさめられるので、High-Pt モジュールから SL までは約 90m の距離が出来る。electrical link では減衰が問題になるので、この間のデータ転送には Optical Link を採用する。Optical Link にも幾種類が存在するが、ここでは protocol 変換に HP の G-LINK(HDMP-1032,1034) を利用し、メディア変換の OE/EO コンバータには Infenion 製の

V23818-K305-L57 を利用している。



G-LINK チップ
HDMP-1034



O/E E/O コンバータ
V23818-K305-L57

GLink のデータ転送のエラーレートは十分低く、実際の使用に耐えることが示されている。現在我々は、放射線環境下での動作チェックを行っている。

以上が TGC エレクトロニクスのトリガーパートに関するデザインとなっている。

7.3 Design of Readout Part

7.3.1 Introduction

リードアウトパートの役目は

1. 精密測定用 muon chamber に対するイベント tagging の補助。

精密測定用 muon chamber の drift 時間は 450ns なので、そのままでは 25ns 毎の衝突イベントには tag できない。精密 chamber に近接する TGC のヒット情報と、そのヒットのバンチ ID を提供する。

2. 全チャンネルの読み出しが出来る事から、チャンネル毎の遅延の設定や、ホットチャンネルの等の診断。

等である。

リードアウトパスでは最大 100kHz で約 30 万チャンネルの読み出しが行われる。これらを捌けるスループットをもつデザインが必要となる。

7.3.2 Functions and Requirements

ATLAS 全体のトリガーシステムから以下の事が要求されている。[参照: ATLAS Trigger System - Level 1 Trigger -]

1. Level 1 判定が出来るまでの間は、全データがパイプラインメモリーに保存されておかねなければならない。
2. Level 1 判定によってアクセプトされたイベントは 6%²⁰以下のデータ損失で読み出されなければならない。
ここで、Level 1 判定によってアクセプトされるレートは 100kHz である。

TGC のローカルなパラメータとして、

- 全読み出しデータチャンネル数は 32 万

となっている。

Requirements とは別に読み出しスキームにともなう性質として、以下の事を考慮した設計を行う。

1. 長距離のデータ転送を stable に行いたい。
2. 空間資源、ケーブル資源を削減したい。
3. 分散している信号源から効率的にデータを収集したい。
4. フォールトトレラント²¹な転送システムにしたい。

がある。

これらを元に読み出し系のデザインを行った。以下に、これらと対比しながらリードアウトパートの設計を述べる。

7.3.3 Design of Readout Path

リードアウトパートで最も重要なのは引き回す信号量をできるだけ少なくすることである。そこで、Level 1 判定が出るまでは出来るだけ信号を転送しないという方針で L1A による読み出し回路を BCID 回路の直後である SLB ASIC に搭載した。

SLB ASIC には読み出しロジックとして、

- Bunch ID Counter
- Level 1 ID Counter
- Level 1 Buffer
- デランダムライザー²²
- Parallel to Serial Converter(PSC)

²⁰ここで言う 6%という値は転送リンクの信頼性等という意味ではなく、確率的にとある瞬間には L 1 A が 100kHz をおおきく上回ることもあるが、このような時でも overflow しないような設計をしろという事である。

²¹何処一つが故障したとしても最小限の被害ですむ様な状態

²²ランダム性をもつ L1A で採用されたデータを非ランダム的に読み出せるようにする仕組みなのでこう呼ばれる。

の機能を備えるようにデザインした。

Level 1 ID Counter と Bunch ID Counter というのはデータを読み出す時に、このデータはどの L1A(Level 1 Accept) によって選ばれたデータで、どのバンチクロッシングで起こった(時間情報の付加) イベントだと言うことが分かるようにタグ付するものである。

Level 1 Buffer というのが、全データを格納する pipeline メモリの事で、latency $2.5\mu\text{s}$ の間、全データを保持する必要性から合計で 32 万チャンネル×深さ 100 段の記憶領域を設けている。²³

デランダムマイザーはランダムにくる L1A によって採択されたデータを読み出す仕組みである。L1A を poisson-like なイベントのおこる待時間行列とおもって、データの読み出し能力から 6%以下のデータ損失に抑えるには何段のデータ storage が必要かは既に研究されており、²⁴それによると、6 段となっている。今回メモリーの関係で 43 段分実装したので十分要求を満たしているといえる。

SSW アクセプトされたイベントデータは、各所に用意したデータコンセントレータで一旦まとめる。このデータコンセントレータを SSW (Star Switch) と呼ぶ。

SSW は各地の SLB からデータを収集するので、ケーブルの引き回しに都合の良い場所に設置されるべきで、High- P_T モジュールと同じ場所におく事にした。リンクに関しても同じ議論で、同様に LVDS シリアライザー・デシリアライザーのペアを使用する。

ところで、この SSW だが最大で 18 個分の SLB ASIC のデータをまとめるため、そのままデータを集めるだけでは圧倒的なデータ量に出力が追いつかず、破綻してしまう。

そこで、TGC のヒットオキュパンシーの低さを利用して、ゼロサプレス方式のデータ圧縮アルゴリズムを組み込んだ。

- TGC はカロリーメータ(即ち、大きい物

質量)の外に位置するため、そこまでパンチスルーしてこれるミュオンや中性子しかヒットを作らない。そのために読み出しデータはイベントトラックに相当する部分以外は幾ど 0 になるという性質を持つ。

ここからデータはエレキハットに飛ばされるので、出力は Optical Protocol に変換されなければならない。この役割も SSW が担う。なを、読み出し系のここまでのデザインと開発は著者が行っている。

ROD SSW からのデータはエレキハット内でまとめられて、データの再構築が行われる。

さらに 1 桁オーダの上がったデータ量进行处理する(最大で SSW 13 モジュール分のデータをまとめる。)ので、内部に大きな FIFO を持った Readout Driver (ROD) を作成した。



ROD モジュールの写真

この ROD は SSW からの可変長データを理解する parser を持たなければならないので、CPU を積み込みソフトウェアでのロジックの開発を行うスタンスをとった。

ここまでの TGC Level 1 システムの担当箇所である。

²³実際はメモリー設計の関係と少し余裕を持たせる意味で 128 段としている。

²⁴ATLAS TGC エレクトロニクス読み出し系の開発(西田昌平著 修論)を参照。

7.4 Design of Control Part

7.4.1 Introduction

ATLAS のモジュールやチップの低速制御には主に VME と JTAG が用いられる。コントロール系のデザインでは、VME と JTAG の特性を良く理解したコントロールパスのデザインが要求される。

また、放射線環境下でのコントロールを考慮したりリカバリーパスなどの考慮も必要である。

7.4.2 Functions and Requirements

コントロールパスを設計するにあたり要求されることは、

- モジュールのスムーズな開発を支援するために、少なくとも VME か JTAG の制御パスは提供しなければならない。
- 放射線環境下で用いるため、放射線耐性を持った制御パスの設計をしなければならない。

例えば、クリティカルなプロトコルエンコーダチップには、開発コストはかかるが放射線に弱い PLD を使わずに ASIC を使う。

である。

これらを満たしながら、前章までに述べて来たエレキ回路用の低速制御インフラを提供するのがコントロールパートの目的である。

7.4.3 Design of Control Path

上記の要求とは別に、コントロールパートを設計するにあたり、設計コストやユーザビリティを考えて次のような設計思想を立てた。

1. VME と JTAG コントロールの住み分けについて

低速制御の中でも比較的速度を必要とするところには VME をもちいる。ま

た、VME のクレートを設置できるようなスペースがあり、モジュール化されたエレキ回路があるところには優先的に VME コントロールを用いる。

2. JTAG 信号はよりコンピュータでの扱いが適している VME 制御に自然な形で統合化されるべきである。

最上位階層（ユーザー層）は VME のみのコントロールで JTAG パスも制御できるようにする。

3. 開発コストを下げたり、柔軟性を持たすためにモジュールに CPLD²⁵や FPGA²⁶の使用を許すスキームにしたい。

PLD のコンフィギュレーションが壊れたときの、リカバリーパスを用意する。

ここからは、実際にコントロール系の説明をしていくが、説明の方針としてユーザに近い上流からディテクターへと降りていく順に話を進めていく。

エレキハット内に設置される SL と ROD は、放射線耐性も何も考える必要がないので、ATLAS で普通に利用される single board CPU の VME マスターとその遠隔操作に ethernet を利用する。ここには目新しいデザインはないのでこれ以上ふれない。

Remote VME Control under Radiation Environment

High- P_T と SSW はともにモジュール化されており、設置位置的にも VME クレートを使いたいところである。しかし、ここは放射線環境下である。

VME マスターとして放射線環境に弱い CPU を持ちこむ前述の方法は使えない。そこで独自に VME をリモートでコントロールする新しいスキームをデザインした。

²⁵Complex Programable Logic Device

²⁶Field Programable Gate Array

これが HSC(High- P_T Star Switch Controller) と CCI (Control and Configuration Interface) のペアである。

HSC は High- P_T と SSW モジュールの入るクレート (HSC クレートと呼ぶ) のクレートマスターであるが、これは SEU を起こす可能性のあるレジスターを可能な限り削減してあり、放射線環境下での使用に最適化した作りのモジュールとなっている。

この HSC と放射線の心配のないエレキハット内に置かれる CCI モジュールとが高速光通信で相互コミュニケーションを行うのだが、この分離された 2 つのモジュールの機能を合わせて 1 つの VME 機能を実現する。なお、CCI-HSC 間の距離は 90m 程度であり、これは片道 450ns である。比較的長距離ではあるが、低速制御用の VME にとって負担にならない時間間隔である。

ところで、この CCI はエレキハット内にある VME クレートの 1 スレーブモジュールとして設計されてある。ユーザが CCI に VME アクセスをすると、自動的にアクセスはエンコードされて、転送先の HSC クレート上の VME 制御におきかえられる。このスキームにより、ユーザは HSC クレート内のモジュールに対して CCI の仲介を意識せずに (すなわち透過的に) VME アクセスを行うことが出来る。

Design of PLD Recovery Mechanizm

High- P_T モジュールと SSW モジュールは VME プロトコルの解釈に CPLD を用いている。PLD を放射線環境下で使用する場合、SEU²⁷によってコンフィギュアした回路ロジックが壊されてしまうことがある。そこで HSC はこの PLD に対してリカバリーパスを提供する。

PLD の回復は JTAG による再ダウンロードをすればいいので、HSC には VME 拡張バスを利用して JTAG を配信するスキームを設けた。(この場合も同様にユーザは CCI への VME アクセスのみで透過的に JTAG アクセスを実現できる。)

このメソッドの提供により、High- P_T や SSW モジュールが VME に依存した設計で開発されることが可能になった。これはモジュール開発側にとってとても有利に働く。

Monitor of FPGA Design さて、SSW にはデータの整形の際に一部フレキシビリティを残したい箇所が存在する。そこで、デザインの一部分に FPGA を用いている。FPGA は前述の CPLD に対して回路構成規模が大きく SEU が起きやすい。ここで重要なのは、CPLD の回路損傷はデータパスに影響を与えないが、FPGA のデザイン損傷はデータパスを破壊してしまう事である。よって常に SEU が起っていないかのモニターを行い、起ったときには、直に再 download を行う task が必要である。これを、コントロール系システムがおこなう。

JTAG Distribution to PS-Board SSW より検出器側にあるチップは VME バスをもたない。それは PS-Pack などが on-detector であるため、実装コストを要する VME バスを展開できないからである。そのため、これより下位のモジュールは JTAG 制御を必要とする。

前述したが、PS-Pack までは距離があるため JTAG は LVDS レベルで転送されなければならない。そこで LVDS の転送ドライバーを持つ SSW がこの役目を担う。

次に SSW がもらう JTAG のソースであるがエレキハットから JTAG 用の転送ラインを別途引いてくるというのは現実的ではないので、既にある HSC-CCI の VME インフラを利用して VME から JTAG 信号を作りだすプロトコルコンバータを SSW 内部に設ける仕組みにした。

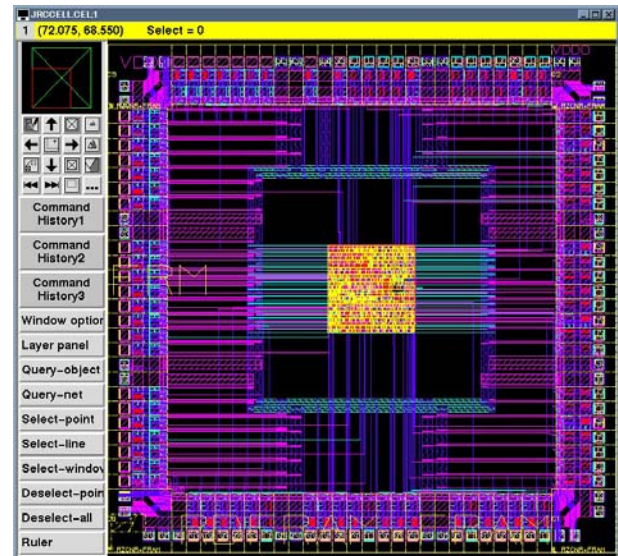
JTAG Distribution for ASICs ATLAS には DCS(Detector Control System) という低速制御システムがある。これは通常、最末端に

²⁷Single Event Upset : レジスターの値が放射線の落すチャージなどで反転してしまう現象。

LMB (Local Monitor Board) を配置して温度モニターなどを行う。

このシステムも同じく JTAG を配信するのだが、JTAG はもともとデバッグ用の規格であるため、トポロジカルにマスター (LMB と SSW) を 2 つ持つような構造は想定されていない。そこで、2 つのマスターから各 ASIC に JTAG を配信する仕組みが必要となった。このためにデザインしたのが JRC (JTAG Route Controller) である。

これは、2 つのマスターからの要求を捌くアービトレーション機能をもった JTAG 用ルータである。この詳細は JRC の章で述べる。



JRC のマスクレイアウト

以上がコントロールパートの全貌である。

8 Integration Test

TGC エレクトロニクスの開発は 個々のモジュールの開発や相互間コネクションテストの段階を経て、現在、システムとしての機能検証を行う段階へと移行しつつある。

これから述べるインテグレーションテストとは TGC エレクトロニクスで開発を担当している全モジュールを統合して動作をさせ、システムとしての動作を検証しようとするプロセスである。

TGC エレクトロニクスグループでは、この 3 大システムを自由に使いこなすホールシステムとしてのランコントロールを最終目標としている。

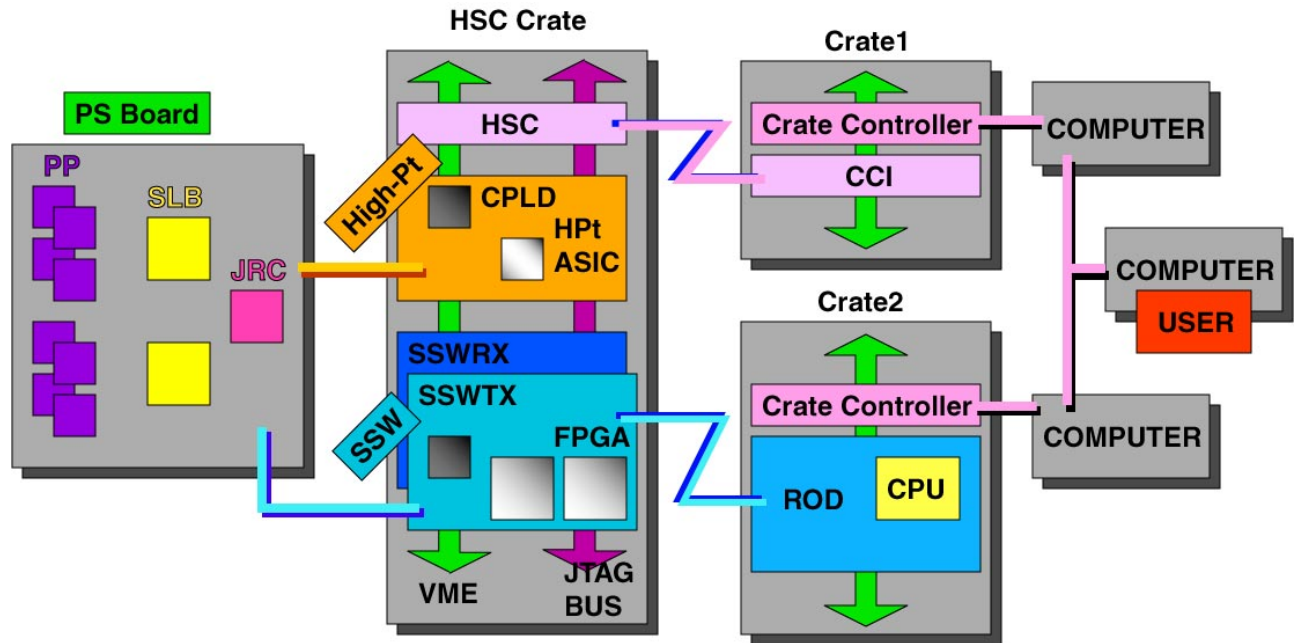
このセクションではこれらのインテグレーションテストの結果をトリガーパス・コントロールパス・リードアウトパスの 3 つにカテゴライズして報告し、その考察を述べる。

8.1 Integration Test - Control Part -

8.1.1 Control Path

アトラスにおけるフロントエンドのコントロールパスは、放射線環境下でのデバイス操作ノウハウを駆使した特殊なスキームとなっている。

8.1.2 Setup



コントロールパートの Integration test 用 setup

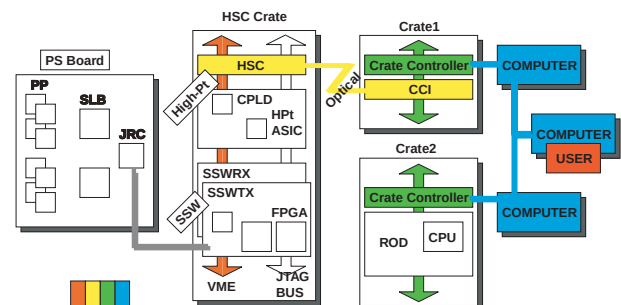
上に示すのはコントロールパートの検証用に準備したセットアップである。注意して欲しいのは、コントロール系についてのみ着目した時、これは本番のセットアップと全く同じになっている事である。

8.1.3 Test Process

テスト手順とテスト項目 以下に示すプロセスは ATLAS 実験での使用されるコントロール手順である。ここでは我々のエレキシステムが果たしてこのプロセスの何処までを満足に実行することができるのかを検証する。

- (A) USER は各 VME クレートのマスタコンピュータにアクセスして VME バスを支配下におく。
- (B) VME プロトコルにより CCI を初期化して、HSC-CCI 間のリンクアップをおこなう。

これで Remote VME Crate を制御下におくことが出来る。ここまでのプロセスは次図を参照されたい。



プロセス (B) までを行ったときの図

- (C-0) HSC をコントロールして J3 の JTAG バスを制御下におく。

(C-1) JTAG バスを通してシャドープロトコルを流し、High- P_T モジュールを指すようにアドレッシングする。

(C-2) High- P_T モジュールの CPLD に JTAG を流し、VME プロトコルを話せるように初期化する。

これにより High- P_T モジュールが VME の制御下におかれる。

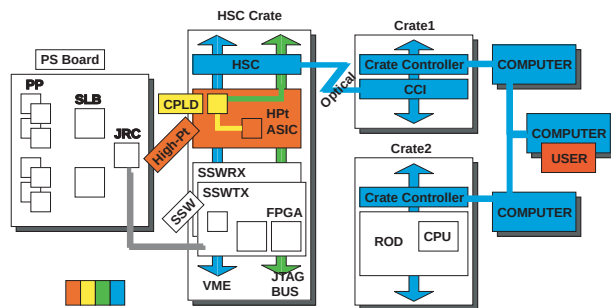
(C-N) (先程と同様に) シャドープロトコルを配信することで N 番目のモジュールにアドレッシングをおこなう。

(C-N*) N 番目のモジュールに JTAG を流し CPLD を初期化することで VME の制御下におく。

今回のテストでは SSW モジュールがまだ J3 の JTAG 特殊バスに対応出来ていないので SSW に関してはこの過程を省略する。

(D) High- P_T モジュールに VME アセスを行い種々のパラメータの設定をおこなう。

High- P_T トリガー回路が利用可能になる。



プロセス (D) までを行った時の図

(E) HSC の VME バスを通して、PT4-1 の FPGA に SSWTX デザインをダウンロードする。

(F) VME バスを通して SSWTX の動作パラメータを設定する。

(G) 同様に VME バスを通して PT4-2 に SSWRX 用のデザインをダウンロード。また動作パラメータの設定も行う。

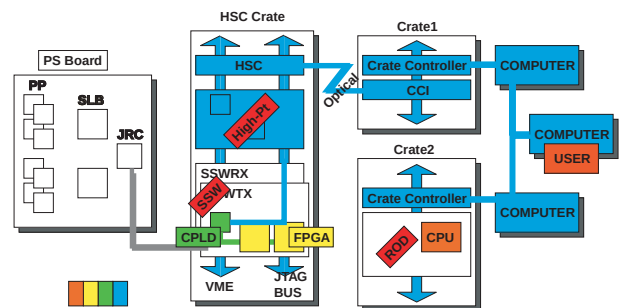
これにより SSW クラスタが利用可能になる。

実際に SSW を使うときはバックプレーンに細工を要するのでスキームチェックの後は SSW 専用の別 VME クレートに移した。

(H) ROD クレートの VME バスから ROD 内の CPU にプログラムをダウンロードする。

(I) ROD のコントロールレジスターを適切な値に初期化する。

これで ROD が制御下におかれる。ここで SSW-ROD 間のデータ転送パスが確立される。



プロセス (I) までを行ったときの図

(J) VME から SSW の VME-JTAG 変換回路にアクセスする。

VME を利用して SSW から JTAG アクセスが可能になる。

(K-1) JRC に対して PP-ASIC-1 にアクセスできるようにルート変更を促す。

(K-2) JTAG により PP-ASIC-1 の動作パラメータを初期化する。

PP-ASIC-1 が制御下におかれる。

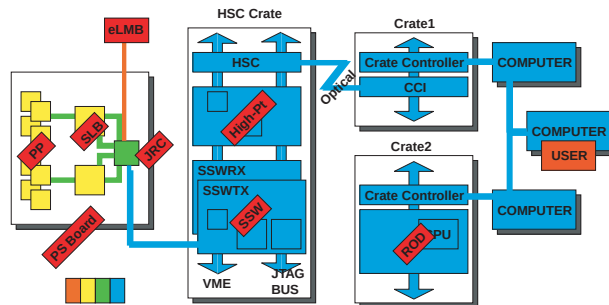
(K-N) JRC に対して PP-ASIC-N にアクセス出来るようルート変更を促す。

(K-N*) JTAG により PP-ASIC-N の動作パラメータを初期化する。同様な処理を SLB ASIC についても繰り返す。

これで PS ボード 上の全チップが SSW の制御下におかれたことになる。

(L) eLMB から同じようにして JTAG を流す。

PS ボード 上の全チップが eLMB と SSW の制御下におかれる。



プロセス (L) までを行った時の図

全コントロールパスが確立する。

8.1.4 Result

前述の項目全てにおいてテストが行われた。

以下に順をおって報告する。記号は前セクションのプロセス番号に対応している。

(B) HSC Crate の VME バスの制御に成功した。USER のコンピューターから HSC の VME バスをコントロールするのに、1MB/sec のスループットが出ることが分かった。

HSC の VME コントロールのメインサイクルは SSW の FPGA デザインのモニターである。FPGA デザインのリードバックサイズは約 200kB で、放射線による SEU²⁸は 0.6 SEUs/hour と見積もられている。この事から常時モニターを行っていても他の VME サイクルを邪魔しないことが分かった。HSC-CCI スキームは現時点でも実用可能と言える。

(D) High- P_T モジュールが持っている入力ディレイを支配するレジスターのコントロールができた。

これにより同じバンチに属するトリプレットからの入力とダブレットからの入力をタイミングの調整を行って、High- P_T コインシデンス処理が出来るようになった。

この制御は次のトリガーパス検証テストに生かされる。

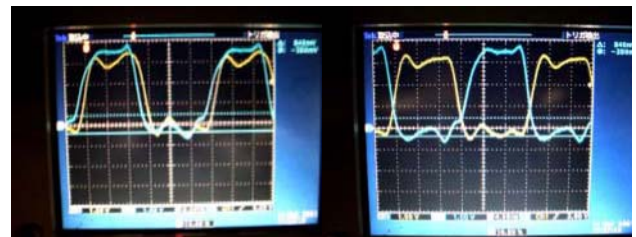
(H) ROD の CPU のコントロールに成功した。次に示すのは ROD の CPU のブートログである。

```
vme_addr (2abba000)
Reset SH4
Sleep
Load start
.....
Completed
COMMAND > START
COMMAND > |
```

ROD の CPU が起動時に残したログ

ブートに成功して CPU がレディ状態に入ることがわかる。

(K-2) 下に掲載した絵は PP-ASIC の要ともいえる可変クロックディレイをコントロールしたときに出力の変化をオシロで見たものである。



ディレイ変更前の
オシロ画面

ディレイ変更後の
オシロ画面

基準クロックに対してディレイがかかったのが分かる。PP-ASIC はコントロール系からみて最末端に位置するデバイスである。これが制御出来たことはコントロールシステム全体が USER の指揮の下動作し始めたことを示す。(L) eLMB からのコントロールとの JTAG 共存環境でのテストはイスラエルとの合同テストの時に行われた。eLMB がコントロールして設定した PP-ASIC の入力マスクを SSW らの

²⁸SEU : Single Event Upset. 放射線によりレジスターの値が反転してしまう現象。

JTAG で再変更を行うことが出来た。入力として全ビット 1 のシグナルを入れ PP-ASIC を通過してくるシグナルをチェックをすると実際に変更されるのが確認できた。

8.1.5 Conclusion

SSW モジュールがエミュレーションボードであることを考慮すると、

このテストから導かれる結果は

1. SSW より上層部では、本番と同じモジュールが使用されていることから、本実験での動作を保証した
2. SSW より下層部のパスは、このデザインならコントロールが出来るというスキームの立証をした

ことになる。

総合して、現状を分析すると、

- 現時点で最上層から末端までのコントロールの全てを必要に応じてエミュレートすることが出来る。
- ただし、これはコントロール系の品質を保証するものではない。

- 例えば長期ランによるコントロールパスの安定性は調べられていない。

ということになる。

この結果が持つインパクトとしては、

1. 初めての全コントロールパスの開通である。
2. スキームが正しい事が証明できた為、以後このデザインでモジュールを作れることをエンカレッジ出来る。

の 2 点である。

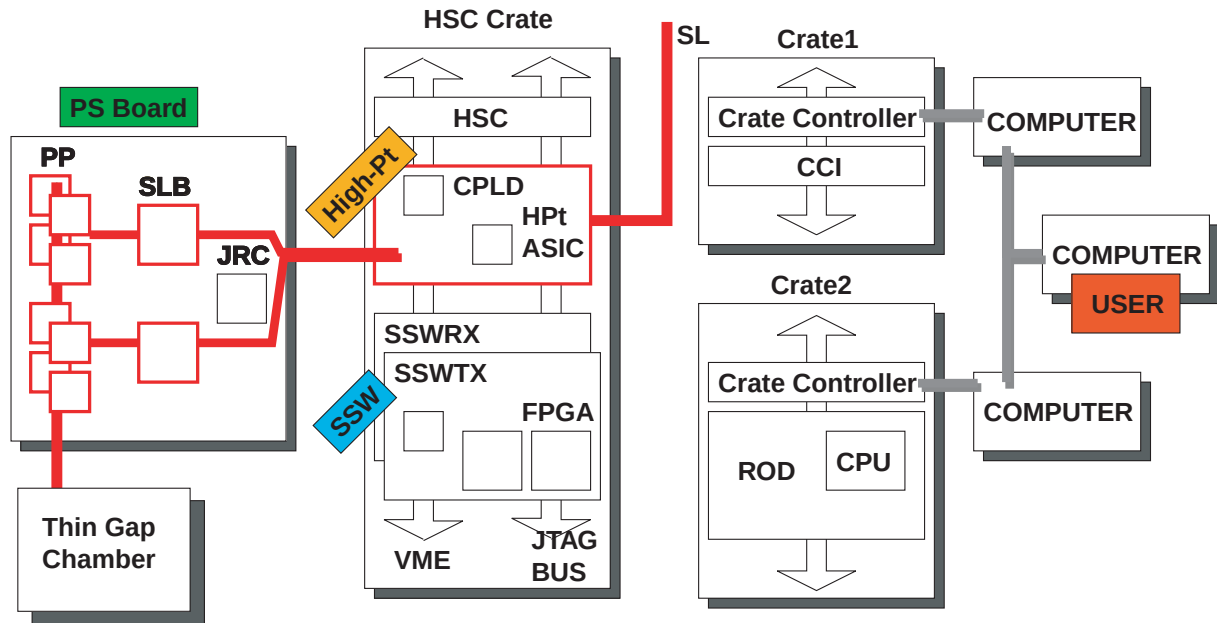
8.1.6 Discussion

放射線環境下でのスローコントロールを扱うスキームを設計する際、我々はここで示したセットアップを答として用意した。

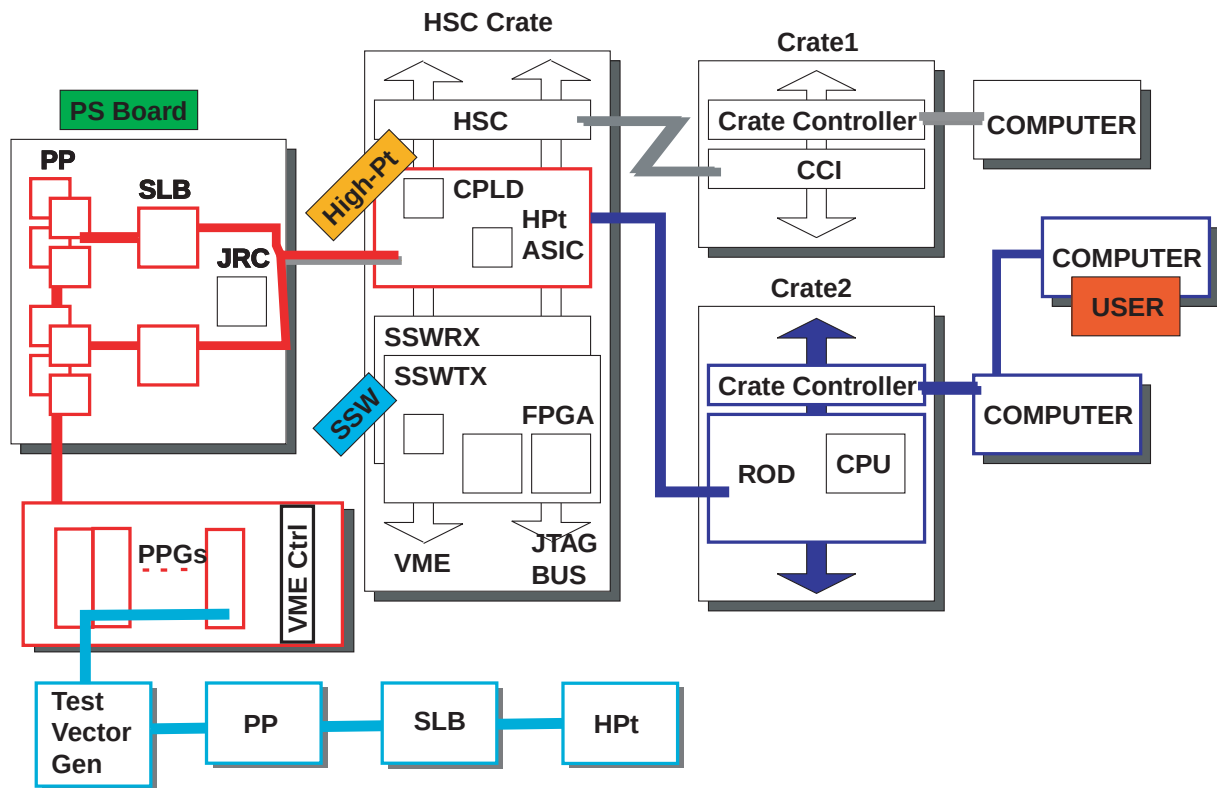
ここでは JTAG が自然な形で VME のプロトコルに統合化され、USER は自身の PC から VME のみを通して透過的に最末端のデバイスをコントロールすることができる。

実際にこれらを使用して見て、使用感にフラストレーションがなく、コントロールパスのデザインとして洗練されていると思われた。

8.2 Integration Test of Trigger Part



ATLAS 本実験における TGC のトリガーパス



トリガーパートの Emulation Setup

今2つの絵を提示したが、前者が本実験で用いようとしているトリガーパスである。

トリガーパスを検証するのに、チェンバーを持ってきてビームテストを行うというのは現時

点ではコストの無駄である。そこで、トリガーパスから本質的な所を抜き出しエミュレーション用のセットアップをして組み直した。これが後者の絵である。

以下に具体的にその違いを説明する。

- チェンバー信号をエミュレートする(しかも欲しいヒットを作り出す)ために VME で制御可能な Pulse Pattern Generator (PPG) を利用した。

図では省略したが、この複数の PPG システムも USER の端末からコントロールできる。

- SL モジュールの変わりに ROD モジュールを代用した。

通常は High- P_T コインシデンスの後には R 座標と ϕ 座標の結合をおこなう SL モジュールにデータが送られるのだが、ストリップ用(ϕ 読み出し)のセットアップをつくるだけのモジュールが足りなかったので SL は使用しなかった。

代わりに読み出し系モジュールの ROD から DAQ を行った。

実際のトリガーテストと大きく違うのが後者の絵の左下に描かれている部分である。これはシミュレーションモジュールを表す。

トリガーシステムの正確さを確認するため C++ を用いてトリガーロジックエミュレートし、この出力を実際の DAQ 結果と比較する。このシミュレーションシステムについて少し説明する。

8.2.1 Level 1 Trigger Simulation Project (L1Sim)

実際に”物”を制作する Hardware の開発には比較的長いターンアラウンドを必要とし、そのデバッグにかかるコストは無視できない。大規模なハードウェア開発を行う場合、開発コストが比較的安くデバッグの容易なソフトウェアによるサポートは不可欠である。

Level 1 Simulation Project では基本的に全トリガー関連モジュールに 1 対 1 に対応する C++

のクラスデザインをコーディングする。コーディングはタイミングなどのハードウェア依存な要素を省き、コインシデンスマトリックスなどのトリガー判定のコアなところのみを記述する。

このプロジェクトは Hardware 開発とコンカレントに進められている。

Basic Simulation 基本的な検証方法として、まずチェンバーのジオメトリック情報とトラックジェネレータからチェンバーのヒット情報をつくり出す。このヒット情報を適切に整形して、シグナルに対応するテストベクターを生成し、このテストベクターを各モジュールデザインオブジェクトのメソッドに流しこめば、こういう値が出るはずだという期待値となるベクターのダンプを得ることができる。

8.2.2 Test Process

ここでは、トリガーパスの動作手順を追いながら、各プロセスでのチェック項目をリストアップする。

(Prv.) 前章で説明したコントロールパスを用いて各モジュールを初期化する。

(A) L1Sim を用いてテストベクターを生成する。

(B) テストベクターを整形して PPG にダウンロードするパルス列にする。

(C) VME を通して PPG にパルスデータをダウンロード。(このデータが PPG から望むタイミングでだされる。)

(D) そして、High- P_T モジュールの出力結果を ROD の FIFO にため込み PC にて DAQ を行う。

トリガーパスは 40MHz で信号が流れており、そのままではスローコントロールの VME からは DAQ できない。ROD を利用するのは、ROD が光リンクを受けられることのできるのと、内部に大きい FIFO を持っており、これがイベントを保存しておくのに使えるからである。

(D*) 全く同じテストベクターをモジュールシミュレータに流しこみ High- P_T 出力の期待値ベクトルを生成する。

(E) DAQ データと期待値ベクターとの比較を行う。

ここまでで、トリガー判定値にミスがないかどうかを確認できる。

DAQ データと期待値ベクターがきっちり一致すればトリガーフローの確立である。一致しなかった場合は、どのブロックで期待値とずれているかを探索することで、Hardware へのフィードバックをかける事が出来る。

(SPECIAL) ここまでのトリガー判断にかかるレイテンシーを測定する。

レイテンシーの測定は、全フローが確立された後に行う。

8.2.3 Result

ワイヤータイプについて、10,000 個のテストベクターを生成し、それに対してシミュレーション値と実際の DAQ 値の比較を行った。

その結果、全パターンについてシミュレーションと一致することが確認できた。

Latency Measurement

以下に測定したレイテンシーの結果を掲載する。

測定は入力波形と出力波形を直接オシロスコープにて観測する方法をとった。

Path	Latency
PP(in) – PP(out)	46.4 ns
PP(out) – SLB ASIC(out)	34.6 ns
SLB ASIC(out) – LVDS Tx(out)	26 ns
(Cable 7m –Category 5 -)	(35ns)
LVDS Rx (in) – LVDS Rx (out)	50 ns
LVDS Rx (out) – HPT ASIC (out)	57 ns
HPT ASIC (out) – GLINK Tx (out)	25 ns
(Cable 20m –Optical-)	(100ns)
G-LINK Rx (in) – G-LINK Rx (out)	8 ns

さて、この実測データ (一部カタログデータを含む) と ATLAS 実験でのケーブル長やミュオンの TOF を考慮にいてレイテンシーを評価しなおすと次のようになる。

Path	Latency
TOF and Cable	175 ns
PP(in) – PP(out)	46.4 ns
PP(out) – SLB ASIC(out)	34.6 ns
SLB ASIC(out) – LVDS Tx(out)	26 ns
(Cable 15m –Category 5 -)	75 ns
LVDS Rx (in) – LVDS Rx (out)	50 ns
LVDS Rx (out) – HPT ASIC (out)	57 ns
HPT ASIC (out) – GLINK Tx (out)	25 ns
(Cable 90m –Optical-)	450ns
G-LINK Rx (in) – G-LINK Rx (out)	8 ns
SL (in) – SL (out)	160.9 ns
Cable 5m	25 ns
Total	1132.9 ns

ATLAS Technical Design Report によると ここまでの Total レイテンシーは 1250ns 以下であることが要請されている。

ケーブルからシグナルを受け取る場合、データ取得タイミングを調整するために、CLK の逆エッジでデータをラッチすることがある。これも含めて評価すると、最大レーテンシーは

$$\begin{aligned} \text{Total} &= 1132.9\text{ns} \\ &+ 25\text{ns}/2 \text{ (half period)} * 4 \text{ (ケーブル受け)} \\ &= 1182.5 < 1250\text{ns} \end{aligned}$$

である。

8.2.4 Conclusion

トリガーパスでは今までに既にいくつものモジュール別のテストが行われて来ている。

例えば、SLB ASIC では、

1. ワイヤーダブレット
2. ワイヤートリプレット
3. ストリップダブレット
4. … 等

の全回路に対して、同じく L1Sim と比較することで単体での動作保証を行って来ている。よって、今回のテスト結果によるインパクトは

1. 本番と同じモジュール間コネクションを再現した上でのトリガー判定が行えた
2. 第 1 座標 (R 方向) 側の High- P_T 判断に関して動作保証ができた

3. レイテンシーの実測をおこない、ATLAS トリガーフレームワークからの厳しい要求を満たしていることが示せた。

- コネクションまでを含めたレイテンシーの実測は初めてである。

にあるといえる。

8.3 Integration Test of Readout Part

8.3.1 Emulation Setup

(セットアップの絵)

Emulation of L1A リードアウトパスの検証には L1A が必要であるが、Calorimeter 系を含む Level 1 Trigger System をそのまま用意することは不可能である。ここでは、PPG を用いる方法を採用した。このメソッドはチェンバー信号のエミュレートと同じメカニズムを使うのでヒットと L1A 間のタイミング調整が楽にできる。

Setup of L1A Emulation

[1] ヒットからあるバンチクロッシングだけおくらせて L1A パルスが出るようにダウンロードパターンを時間軸方向に特定クロック数だけずらし、L1A パルスをセットしていく。

[2] チェンバーエミュレーション用 PPG と L1A エミュレーション PPG を同時にトリガーする。このトリガーモジュールには VME で制御できる Output レジスターを用いた。これはあるアドレスに VME の書き込みアクセスを行うと 20ms 幅のシングルパルスを出力するモジュールである。

[3] Output レジスターからのパルスをファンナウトして全 PPG のトリガー入力に入れる。

[4] L1A 用 PPG の出力をコインシデンスモジュールを通してから SLB ASIC へと配信する。コインシデンスの相手には #ROD_BUSY を入れておく。これは ROD の読み出しが間に合わないときに L1A を抑制するようリクエストする信号である。

8.3.2 Test Process

テスト手順と共に検証項目をあげて行く。

(Prv.) Control の検証で説明した方法で、各モジュールを初期化する。

(A) Software で作成したテストベクターを VME 経由で PPG にダウンロードする。

このとき L1A 用の PPG も同様にセットしておく。

(B) トリガーをかける。

(C) ROD で DAQ をおこなう。

(D) DAQ されたイベントの再構築をおこなう。SSW ではデータのコンセンソレーションと圧縮が行われるので、チェックのためにそれを元のデータに伸長しないといけない。

これで読み出しパスの最低動作が検証できる。ここからは本番を見据えた高度なテストをおこなう。

Throughput Measurement

(D) L1A がトータル 100kHz 出るように PPG のパターンを変更する。

(E) SSW の転送モードを Single バンチモードにして DAQ をおこなう。

診断用の 3 バンチモードは L1A の前後 1 バンチ分を含めた 3 バンチを転送するがこれでは、L1A のレートを余りあげられない。ここでは、最速の Single バンチ転送モードに設定して ATLAS Technical Design Report の要求する 100kHz の読み出しに耐えられるかどうかをチェックする。

(F) L1A のレートをさらに上げて最大 throughput を測定する。

L1A のレートとデータ取りこぼしレートを計測する。

(G) チェンバーのヒットオキュパンシーを予測値から前後させてスループットの変化をみる。

これはゼロサプレス能力の検証である。

(H) DAQと同時にSSWからJRCへJTAGパルスを流す。

SSWとPSボードを結ぶ1本のCategory-5ケーブルには、JTAGを流す下りラインと、SLBのデータを読み出す上りラインが同居している。このテストにはこのクロストークの評価をする。

8.3.3 Result

(D) チェンバーの信号パターンにランダムなものをういL1A 1000回に相当するデータを取得した。

データのヘッダーやテイラーなど基本パッケージが正しくDAQされていることが確認できた。データ復元ソフトが無い関係で、圧縮データ部については目視で幾つかチェックを行ったがエラーは確認出来なかった。

次に圧縮などのアルゴリズムが正しく動いていることを保証する意味でチェンバー信号として数百種のパターンにおいて、読み出し期待値ベクトルを用意して比較を行い、全データ処理アルゴリズムが正しく動作していることを確認した。

(E) シングルバンチ転送モード以外にも、2バンチモードや3バンチモードでも転送データの確認を行った。転送バンチモードの切り換えが働いていることが確認できた。

8.3.4 Conclusion

読み出し回路では圧縮や整形・シリアル化を行うため、DAQ後の比較にはデータ復元プロ

セスが要求される。現在そのソフトが開発中であるために、極めて限られた入力パターンでしかテストされていない。
現在の状況で言えることは、

1. L1Aを受けたデータはRODで読みだすことが出来る。つまり、少なくとも全体のコネクションは確立されている。
2. 幾つかの限定入力パターンでチェックを行う限りはデータ圧縮などのロジックがエラー無く動作しているといえる。
 - 10^2 種類の入力データでしか動作保証ができていない。
3. 転送データの品質について、つまりエラーレートの評価については現時点では何も保証するものではない。
 - 現在 10^3 のデータでエラー無しとしか言えない。

読み出し系に対して今回のテスト結果がもたらすインパクトは

- ファーストデータの取得にこぎ着けた。
- 品質の保証はまだ出来てないが、プロトタイプモジュールの動作は確認でき、次期モジュールへの足がかりになった。

の2点である。

以下はアペンディクス。

9 Implementation of Readout Path

前章で読み出し系のデザインを述べたが、この中のモジュールの幾つかは著者が開発を行ったものである。

この章では特に筆者が開発を行ったモジュールを取り上げて、読み出し系に必要な機能をどのような回路でどういうふうの実装したかを述べる。

9.1 Development of General Purpose VME Module - PT4 -

9.1.1 Introduction

ATLAS エレキでは新しい技術を導入し、それを評価する過程が頻繁に含まれる。しかし、そのデバッグには多くの時間とコストがかかってしまう。

開発をサポートする強力なツールを用意することはこのコストを一気に下げることにつながる。

9.1.2 Motivation

読み出し系だけによらず、インテグレーションテストの準備にあたり下の用途で使えるモジュールの開発が必要とされた。

- プロトタイプ

幾つかのモジュールはデザインが終わって、実際にそのデザインでファーストプロトタイプをおこなう時期に来ていた。

特に SSW のプロトタイピングはこのモジュールを当てにしていたので、SSW の機能を実現できるポテンシャルを持つ事が重要視された。

- ASIC 用ロジックの開発

シミュレーションツールがあるとはいえ、机上だけで ASIC のロジックを開発するのはリスクが大きく、長いターンアラウンドが必要となる。実際に自分の書いたロジックを動かして検証できる道具がほしい。

- 既成モジュールのテスト

TGC エレキはスケジュール的に丁度モジュールがたてつづけに完成を迎える時期にあたっている。これらのモジュールのデバッグをサポートするツールが欲しい。

- 機能のエミュレーション

幾つかのモジュールはコントロールに大がかりなシステムを必要とする。シグナルフローにとって本質的でないモジュールの準備にかかるコストは省きたい。ダミーモジュールとして利用できるツールが必要である。

9.1.3 Requirements

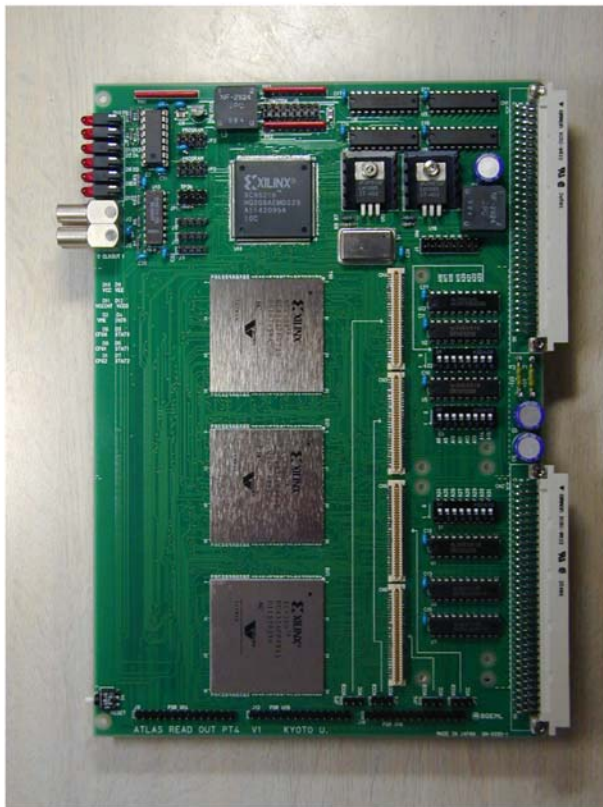
これらの用途で利用するために本モジュールに関しては以下の事が要求される。

1. ATLAS 低速制御で広く利用される VME プロトコルを自由に利用できること。
2. VME のプロトコルデコードに柔軟性を持たすこと。
 - アドレスマッピング等が固定されている場合は、モジュールの転用が出来ない。
3. 種々のリンクプロトコルがテスト出来ること
 - 少なくともデータ転送システムに使用しようと考えている LVDS シリアライザー・デシリアライザーとオプティカルリンク (G-LINK) のテストが出来るようになっていなければならない。
4. SSW で使用するロジックを格納できるだけのプログラマブルデバイスを積むこと
5. そのプログラマブルデバイスに対して VME アクセスが出来ること。
6. ボード上には各プログラマブルデバイスに対して JTAG で交信するためのインフラを持たせること。
7. モジュール間通信のために、J2/P2 のユーザー定義ピンに対し任意のデータの送受信ができること。
8. 少なくとも SSW のシグナルフローを表現できるだけのトポロジカルなコネクションをもつこと。

9. 実際に使用を検討している高速なコンフィギュレーションモードの SelectMAP²⁹方式を評価することが出来ること。
10. どのような機能が備わっていれば今後の開発に有用になるかをイメージしそれに備えること。
11. 汎用性を失わないこと

9.1.4 Implementation

これらの要求をもとにモジュールの開発を行った。



PT4 のモジュール写真

(1,2) に対して、

- CPLD³⁰を用いて VME プロトコルの実装を行った。

VME とのインターフェースを CPLD に集中することで、プロトコルの扱いを楽にし、プログラマブルデバイスを利用することで柔軟性をのこした。

例えばこの CPLD を書き換えると (VME を通しての) 外からの見え方を容易に変更でき、同じハードウェアを多様に使い分けることが出来るようになった。

汎用性を持つように A32/D32 A32/D16 A24/D16 等種々のアドレスモードに対応した。

CPLD には Xilinx 社製の XC95216-PQ208 を利用している。

(3) に対して、

- IO 部分を外付けカードに分離し付替が出来るようにした。

また、このカードモジュールに、

- LVDS³¹ シリアライザー・デシリアライザー
- G-LINK チップ及び、オプティカルコンバータ

の二種類を用意した。

(4) に対して、

- Xilinx 社製の比較的規模の大きい FPGA³²の XCV300-BG432 を 3 つ登載した。

²⁹バイト単位でデザインを高速にダウンロード出来るモード

³⁰Complex Programmable Logic Device の略。ユーザがデザインしたロジックをダウンロードできる Flash プロセスのチップ。電源を切ってもデザインが残るのが特徴。

³¹Low Voltage Differential Signaling の略

³²Field Programmable Gate Array の略。同じくロジックをカスタマイズできるチップ。ゲート規模は CPLD に比べて大きい電源を切るとロジックが失われる。

BGA³³を利用したのは、利用可能な IO ピンの数を増やすためと、今後良く使われるであろう BGA に対してコストや納期や扱いのよさ等を知っておきたかったからである。

(5) に対して、

- VME のデータ線を FPGA に繋ぎ、最大 32 ビット幅で VME とデータのやり取りが出来るようにした。

(8) に対して、

- FPGA 間に相互通信バスを張りめぐらせた。

(9) に対して、

- VME 上のあるアドレスに FPGA のコンフィギュレーションポートをマップするようにして VME から FPGA へのデザインのダウンロードが出来るようにした。

VME のアクセス速度で FPGA の書き換えが出来るようになった。

9.1.5 Applications

実際このボードは多くのケースで使用された。

デザインが優れていた事の証明にもなるので、ここでは PT4 モジュールの使用実績の一部を挙げる。

- SSW モジュールのプロトタイピングに使用した。

当初から考えていたように、実際に SSW の機能をこのモジュールを利用して実現した。詳細は [Implementation of Readout Path - Development of SSW -] を参照。

また、これにより SSW の一部分を ASIC 化すると利点があることが分かったので、

- SSWRx という ASIC を開発する際、ある程度まで FPGA にてテストを行い、その後 ASIC へとコンバートする方式を取った。

IO 部分をアタッチメント式に換えられるので、

- リンクシステムの対放射線耐性のテスト時、任意のパターンを送受信するデータのトランスミッターやレシーバとして利用した。

また、出来た SSW モジュールのデバッグの際に、

- 160 もの入力シグナルを必要とする SLB ASIC の代りに PT4 を SLB ASIC エミュレータとして利用した。

³³Ball Grid Array の略。IO 端子が球形になっており、チップ底面に格子状に並んでいる。

9.2 Development of Star Switch (SSW)

この節では SSW の開発について述べる。

9.2.1 Functions

SSW に要求される機能を考えると以下のようになる。

1. SLB ASIC から来るシリアルデータのフレーム構造を認識して必要なデータを取り出す。
2. それらのデータに対して、ゼロ圧縮を行う。
 - TGC はチャンネル数が多いので、大半のチャンネルはヒットがなく 0 である。
3. 並列的に他の SLB ASIC からのデータも圧縮する。
4. これらのデータを 1 つにまとめる。
5. まとめたデータを整形して光リンクで送る。
また コントロール部ではこれと独立に
6. PP-ASIC 等を制御するための JTAG 命令を出す回路を搭載する。

これらの機能を持ったモジュールを開発する。

9.2.2 Requirements

SSW に要求されることは幾つかあるが、その中でも重要なのが

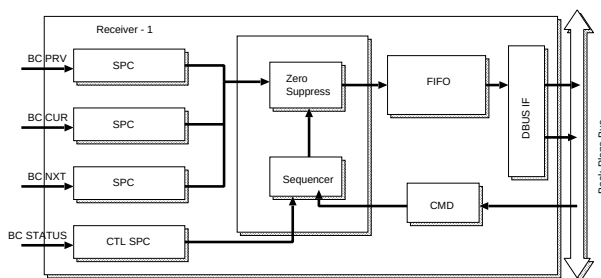
- SSW の受け持つ SLB ASIC の数は可変複数個であるので、それに対応できるスキームで設計されなければならない。

である。

9.2.3 Prototyping with PT4

この要求を吟味して、SSW を受信部と送信部に分け、受信部用の PT4 が複数枚と送信部用の PT4 が 1 枚からなるクラスターを組んで SSW の機能を実現することにした。

Receiver Block



(SSW-1) SSW Receiver 部のダイアグラム

図 (SSW-1) を参考にしながら機能を述べる。

まず、CTLSPC 部分でデータのはじまりと終わりを表す信号 (FRAME、BC STATUS) から有効なデータ範囲を調べる。そしてその範囲に対して SPC 部分にてパラレルデータに復元する。
このデータは Zero Suppress 部分に送られて 0 以外ならアドレスを付けて FIFO 部に格納される。

さて、SLB ASIC からは診断に使えるように L1A³⁴ で選ばれたバンチとその前後 1 バンチずつの合計 3 バンチ分のデータが送られて来ている。

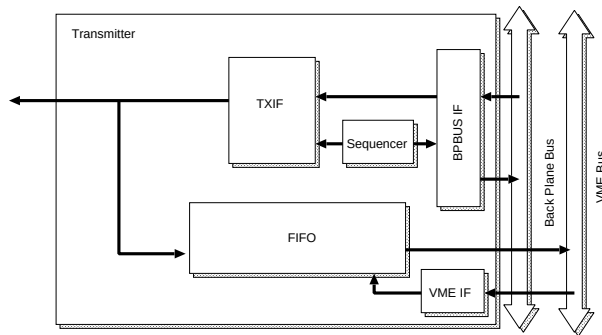
CMD 部は診断のために 3 バンチ全部送るモードにするか、高速転送のための 2 バンチを捨てて 1 バンチモードで送るかの司令を受け取って。

FIFO に溜ったデータは DBUSIF 部分によって適切なタイミングでバックプレーンバスに乗せられ転送される。

³⁴Level 1 Accept

Star Switch

Transmitter Block



(SSW-2) SSW Transmitter 部のダイアグラム

上図に示すのがデータ転送部の機能図である。

送信部がバックプレーンのマスターになるのが特徴である。BPBUSIFはバックプレーンのバスを制御する部分であり、各受信モジュールからデータを集めて来る。

TXIF 部分がデータの整形をするところで整形されたデータは転送されて行く。転送データのコピーが FIFO にためられているのはここから通常の VME サイクルで読み出しをおこない、適宜動作を診断するためである。

SSWTX

to ROD
(G-Link)

VME

SSWRX

DATA
from SLB
JTAG
to PS Board
(LVDS)

Backplane

PT4 による SSW のプロトタイプ
データ転送パスを示している

9.2.4 Test

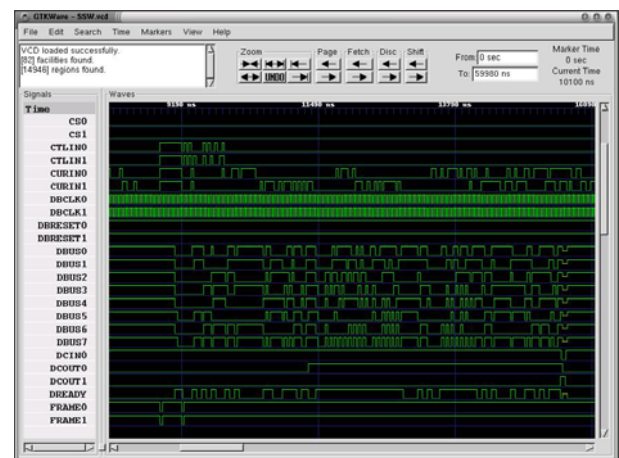
さてこのスキームにて実際に SSW モジュールを組んだ。

実際にどの FPGA をどのように使ったが分かるようにその概念図を掲載する。

このスキームでは PT4 が 1 枚で 2 つの SLB-ASIC のデータを処理することができることに注意が必要である。

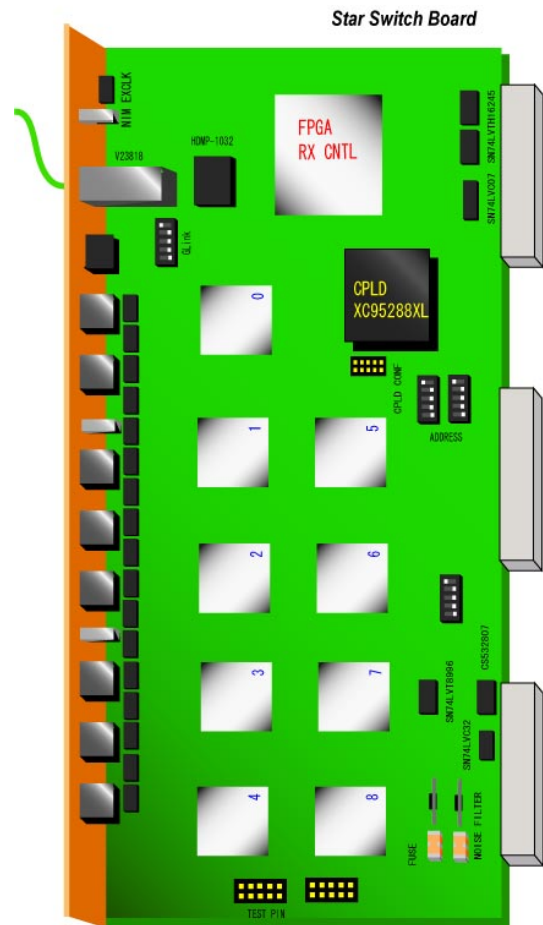
SSW の SLB-ASIC 担当数の最大値は 18 なので、最も大きい SSW クラスターは合計 9 枚の受信部と 1 枚の送信部からなる。

9.2.5 Development of SSWRX ASIC

SSWRx のシミュレーション波形
テストベクターを入力するとシグナルが出力されて来

ている。

9.2.6 Future Plan



9.3 JTAG Route Controller (JRC)

9.3.1 Introduction

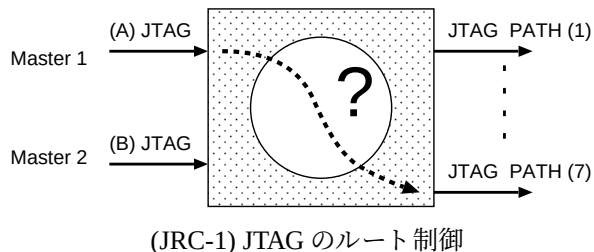
ATLAS エレクトロニクス の低速制御には主に VME や JTAG、I²C 等という規格が用いられる。

検出器に密着しているエレクトロニクスシステムでは自由に使える空間が少ないため VME バスを展開するのは非現実的であり、JTAG を用いた制御が主流となっている。

TGC 検出器用の ASIC の制御には 2 つの JTAG マスターが存在する。1 つは、DCS (Detector Control System) から来るものであり、文字通り検出器関連のパラメータを操作することを目的としている。もう 1 つは信号読みだし側から来るもので、信号の遅延量の設定や読み出しバッファ長の設定などを目的としている。

JTAG はその規格上、幾何的にシリアルチェーン接続を取る。JTAG 規格では信号の配信にマスターが 2 つあるようなケースは想定されていない。

そこで、図 (JRC-1) のようにマスターが 2 ついて、(しかも制御したい JTAG ルートが 7 つある) 信号配信方法を研究し、実際にそれを実現する回路を開発した。



9.3.2 Mechanism

図 (JRC-1) を用いながら説明をする。これを実現するにあたり、現実的な案として 2 つ考えた。1 つは、

- JTAG (A),(B) が shadow protocol を使って自分のルートを選択する

というものである。ここで言う shadow protocol とは、JTAG と同じインフラを上流に流しても、JTAG 回路には一切悪さをしないように設計した裏規格のことである³⁵。

しかし、これをするには shadow protocol の設計と、マスターに shadow protocol を出せるような回路を組み込まないといけない。

もう一方は

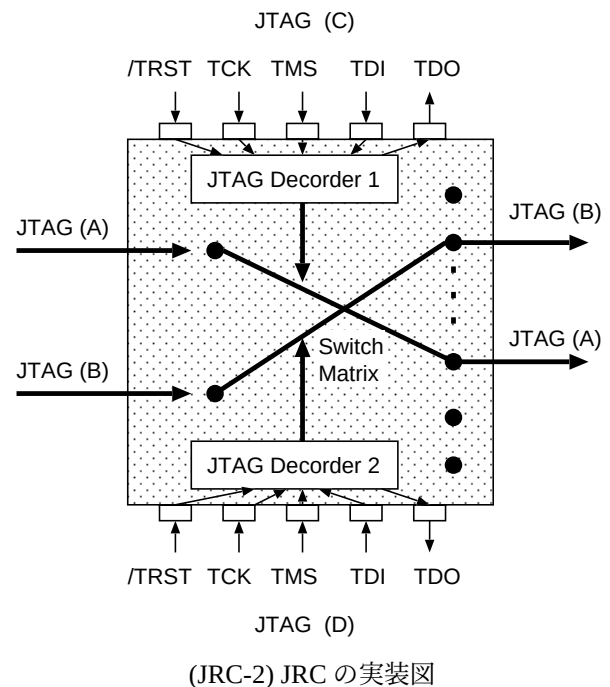
- 通過して行く A、B の JTAG には何も要求せずに、この ASIC 自体を JTAG デバイスとして設計して、その JTAG のユーザ定義命令でルートを切替える

ものである。

外から見たときに このチップは通常の JTAG デバイスに見えるうえ、(A)、(B) のラインはこのデバイスが無いかのように (透過的に) 対象デバイスを見ることができる。

9.3.3 Implementation

後者のスキームを用いて回路設計を行った。以下に示すのが JRC の機能図である。



³⁵JTAG の idle ステートや pause ステートを利用して裏命令を設計する。

2つのマスターからの別々に JTAG 命令を受けるために (図中 (C)、(D) と書かれた JTAG のこと。) JTAG デコーダが 2つ搭載されている。デバッグ規格である JTAG のデバイスでは異例の事であるが、元々規格外の事をしているので仕方が無い。

ルーティングには論理スイッチ回路を使っている。

各々自分の JTAG デコーダに JTAG 信号をおくるとルートを変更できる仕組みになっている。

2つの JTAG デコーダがある場合 BSC をそのまま実装すると衝突を起こすので、BSC は JTAG の規格を満たすだけの最小限の実装になるように設計してある。

9.3.4 Arbitration

2つの独立な JTAG デコーダを持つことは細心の注意を払わないとすぐに、デザインの矛盾や衝突を起こしてしまう。

ここでは選択ルートの調停方法をどういう方針で設計したのかについて述べる。

1. 2つのマスターが各々違うルートを選択するときは互いに一切相互作用をしない。

また、基本原理として

2. 先にルートを取得した方が後から同じルートを選ぼうとするマスターよりも優先順位が高くなる。

とした。ただし、この方法だと 1 方のマスターがあるルートを占有したまま制御不能になると、正常な方のマスター

も今後一切このルートにアクセス出来なくなるので、

3. ある特権的命令を作ることによって、壊れたマスターの占有ルートを正常なマスターが変更できる特殊機能を設けた。

9.3.5 Development of JRC ASIC

これらの機能を持つ JRC ASIC を Rohm 0.6 μm プロセスにおいてデザインした。

このチップは既に生産済みでありデバッグを終えている。ここではそのテスト結果を報告する。

動作		Result
マスター 1:	ルートの変更	OK
マスター 2:	ルートの変更	OK
マスター 1:	ルートの調停	OK
マスター 2:	ルートの調停	OK
マスター 1:	特権命令の発動	OK
マスター 2:	特権命令の発動	OK

JRC ASIC の機能検証結果

実装した全機能に対して動作することが確認できた。

ただし、本質的な所では無いのだが、TDO の信号出力のタイミングにミスがあることが分かった。

今回のデバッグにより、JRC ASIC はスキームの検証と回路のロジック正しさが確認できたので、今後 1 段階微細なプロセスである Rohm 0.35 μm プロセスを用いて、最終バージョンを設計する予定である。

9.4 Raditaion Effect on Electronics Devices

9.4.1 Introduction

ディテクター近辺に設置されるチップは放射線環境下での影響を考慮して様々な要求が課せられている。

ここでは、放射線粒子がチップ内部で起こす物理現象を示すことで、放射線がエレクトロニクスに与える影響を明かにし、これらの要求がいかなるものかを説明する。

また、我々がそれにどのように対応しているも述べる。

9.4.2 Radiation Effects

放射線によって起こる現象の過程は大きく2つに大別できて、

1. Single Event Effects (SEE)
2. Total Ionizing Dose (TID)

である。一言にまとめると、(1)は $-\frac{dE}{dx}$ の大きい粒子が入射したときに、単発的に起こす現象で、(2)は度重なる放射線粒子の入射によって起こる蓄積型の現象である。

9.4.3 Total Ionization Dose (TID)

X線や γ 線のイオン化による影響を積算して評価される量である。

Mechanism 図(RAD-1)を参照しながら説明をおこなう。

入射粒子はMOSの素子内部でイオン化を引き起こし、 e^- と正孔(h^+ と記す。)を対生成をする。対生成に要するエネルギーは、例えばゲート酸化膜の SiO_2 で $\sim 17 \text{ eV / pair}$ となっている。生成された e^- と h^+ の内いくつかのものは、再び結合して元に戻るのだが、結合しなかったものは電場に従って移動する。

1. これらがはけて行く過程で移動度の違いから一時的に電荷的に中性でない状態ができる。

典型てきな電荷のはきだし時間は e^- でおよそ 10^{-12} sec 程度で、 h^+ でおよそ $10^{-3} \text{ sec} \sim 10^0 \text{ sec}$ 程度である。

2. 移動の途中で h^+ は SiO_2 の中にトラップされる事がある。

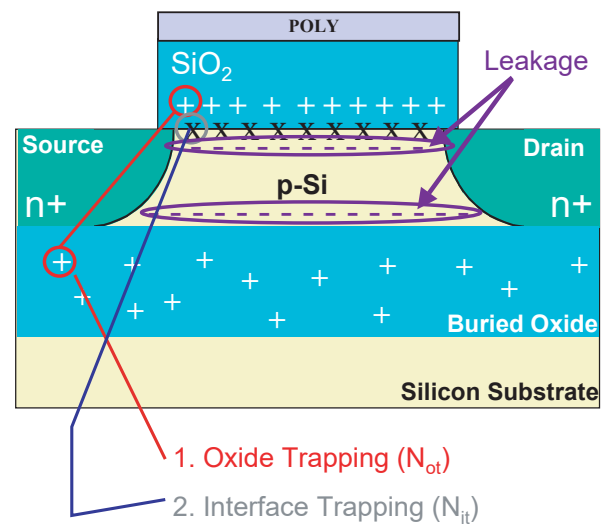
- これを Hole Trapping と呼ぶ。

3. ゲート酸化膜の境界にたどり着いた e^- や h^+ は、そこでポテンシャル壁によってトラップされる事がある。

- これを Interface Trapping と呼ぶ。

これら3つの現象のどれかが起こると、MOS内部に残留電荷をもたらすことになり、半導体パラメータ、例えば域値電圧 V_{th} などを変化させてしまう。

Charge trapping in SiO_2 and at Si/SiO_2 interface.



(RAD-1) MOSにおけるTID効果

Annealing TIDの過程で起こった現象は回復可能なことがほとんどで、

- Tunnel Annealing

- Thermal Annealing

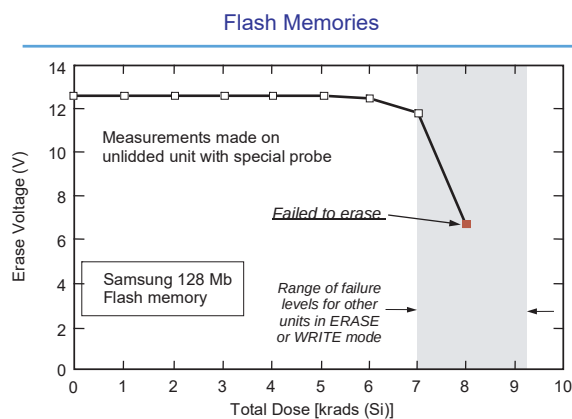
等によって、電荷を中和してやると (主に e^- を供給して h^+ を打ち消す。) 元の動作に戻る。

Requirement on ATLAS Electronics

図 (RAD-2) は Flash プロセスにおける TID 効果のグラフを示したものである。

我々の使用している CPLD³⁶はこの Flash プロセスで出来ていることを強調しておく。

Flash プロセスは内部に昇圧回路を持っていて高い電圧をつくり出し、それを利用して素子の設定を行う。



(RAD-2) Flash プロセスにおける TID 効果

図を見るに、残留電荷の影響により通常の電圧をかけているにも関わらず実効的な電圧が下がってしまい素子の制御が出来なくなっているのがわかる。

検出器に極めて近い場所においては、放射線レートが高く、この状況が致命的になってくる。検出器側のチップに CPLD が使えず開発コストの高い ASIC を作っているのはこの為である。

TID Summary

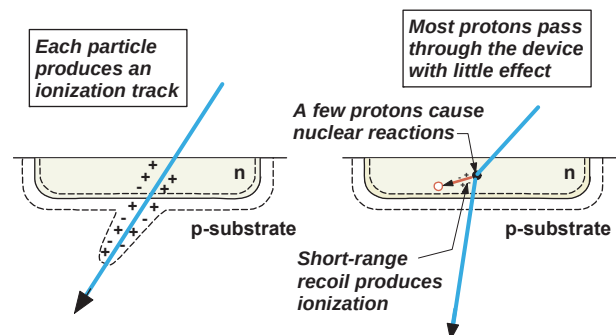
ATLAS では TGC エレクトロニクスに対し、放射線環境下で 10 年間安定して運用できることを要求している。

これは言い替えると 放射線によって 10 年間ゲート酸化膜をイオン化し続けるが、(電荷の吐きだし速度と比較した上で、) 最終的な残留電荷量は安全な範囲におさまるのか? という問題に置き換えられる。

9.4.4 Single Event Effects

Single Event Effect は主にハドロンの入射によって引き起こされる単発的なイベントである。

Mechanism



(RAD-3) 陽子による Single Event のメカニズム

図 (RAD-3) は陽子による Single Event 現象を図解したものである。入射ハドロン (ここでは陽子)、は MOS を構成している原子と原子核反応を起こす。この反応によって反跳を受けた 2 次粒子が短い飛程の間に非常に大きいエネルギーを落す。これが Single Event Effects のメカニズムである。

Phenomena Single Event Effects によって引き起こされる現象には以下のようなものがある。

- Single Event Upset (SEU)
- Single Event Latchup (SEL)
- Single Event Gate Rupture (SEGR)
- Single Event Burn out (SEB)

このうち SEL、SEGR、SEB に関しては TGC 設置領域では起こり得ないので、ここでは SEU を取り上げる。

³⁶CPLD : Complex Programmable Logic Device の略。ユーザの望む回路デザインを書き込むことが出来るチップ。

Single Event Upset (SEU) 半導体プロセスの微細化により、critical charge³⁷が小さくなって来た。これにより Single Event のメカニズムで示したように一時的に大量のカレントが流れて回路の誤動作をしてしまうという現象が起こるようになった。

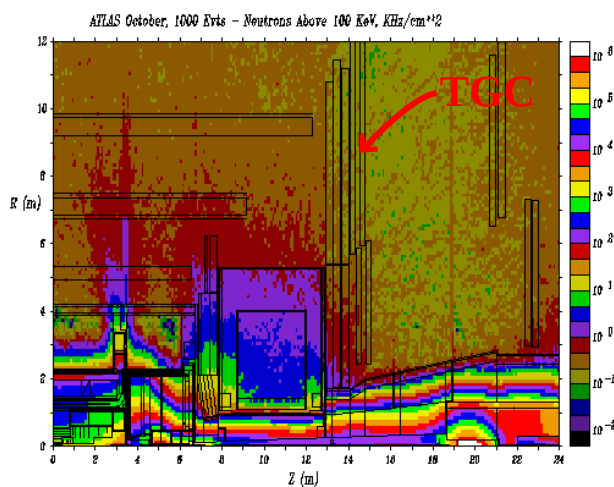
AND や OR などの組み合わせ回路ではこのような現象は、データの1つにおかしい値を残すだけで済むが、動作パラメータ等を保持したレジスタ³⁸にこれが起こってしまうとその後の動作全てに異常をきたしてしまう。例えば、PLDではこの過程により記憶していた回路デザインが壊されてしまい、全くありえない回路に変わってしまっていたということもある。

SEUで特徴的な事はこれが一時的な現象であることで、レジスタの値が反転する等して、データが改変されてしまったら、再度正しい値を書き直してやれば以前と同じように動作させることが出来る。

これは 別所にて説明する HSC-CCI というモジュールのデザインにとって重要な要素であるので強調しておく。

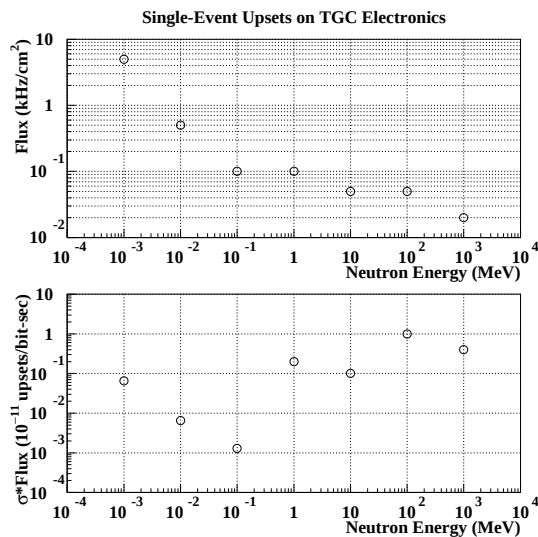
SEEs in Muon Detector Area

ミュオン検出器の辺りで SEU を引き起こすハドロンは主に中性子である。



(RAD-4) シミュレーションによって求められた中性子フラックス。

図 (RAD-4) に示すように中性子フラックスは各エネルギーごとに見積もられており、そのエネルギー毎のフラックス分布と各エネルギーに対する SEU の反応断面 σ との積を計算すると以下ようになる。



中性子のエネルギー分布に対する SEU のレート

この結果によると 1 MeV 以上の中性子でよく SEU が引き起こされることが分かる。

Voting Logic

これらから ASIC 作成時には使用するレジスタが出来るだけ少なくなるようにデザインに工夫を行い、また SEU が起こると致命的な箇所には Voting Logic (多数決回路) を入れることにしている。

これは1つのデータを記憶するのに3つのレジスタを使用して、冗長性を持たせるもので、3つのレジスタに同じデータを書き込んでおく。出力は3つのレジスタの多数決をとるので1つまで SEU が起こっても影響はない。また、3つのレジスタには比較器がついているので、SEU が起こると分かる仕組みになっている。SEU が検出されるとすぐに再度正しい値を書き込むことで回復する。

³⁷ 通常の信号転送時の電荷量と同じ程度の電荷がなんらかの原因で生じると誤動作を引き起こす。この電荷量を critical charge と呼ぶ。

³⁸ 値を記憶しておくことができる回路素子

9.5 JTAG

ATLASでの重要な低速制御系規格に、VMEとJTAGがある。VMEバスは元々コンピュータ産業で広く利用されていたもので、現在においても高エネルギー実験では用いられることが多く知名度は高い。

一方JTAGは、ICの開発を行う分野でよく利用される規格であり、あまり広く知られていないわけではない。

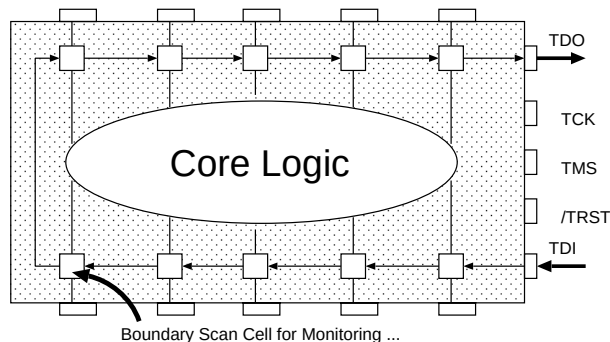
ここではこのJTAG規格について説明する。

What's JTAG JTAGとはJoint Test Action Groupと言うグループ名がそのまま通称となったもので、正確にはIEEE (Institute for Electrical and Electronics Engineering) 1149.1、"Test Access Port and Boundary-Scan Architecture"で定められた規格である。

昨今のプリント基板上の配線の細密度化とチップのIOピン数の増加により、エレクトロニクスの検証作業においては、従来のプルーフピンを立て信号のやり取りを観測する方法に限界が来ていた。

そこで、チップ作成時に予め、内部回路とIOピンの間に信号を観測するセルを設置しておき、このセルを用いて内部回路に出入りする信号の検証あるいは制御を行おうという発想が生まれた。これがJTAGの基本的な概念である。

なお、このセルはBSC (Boundary Scan Cell) と呼ばれる。



JTAGの基本概念

内部回路との間に境界セルをいれて値のモニター等をおこなう。

前図に示すように、JTAGはTCK、TMS、TDI、TDOとオプションの/TRSTの4または5本の信号線からなり、TDIからシリアル入力してBSCに対して任意のデータを設定し、外部入力信号の代りとする事が出来る。またTDOからのシリアル出力を通してBSCで取得した信号を読み出すことも出来る。

Extension 元々、プリント基板での検証用に作られた規格だが、JTAGの以下に示す特徴から、広くボード上のエレクトロニクスを制御する信号規格として使われることになった。

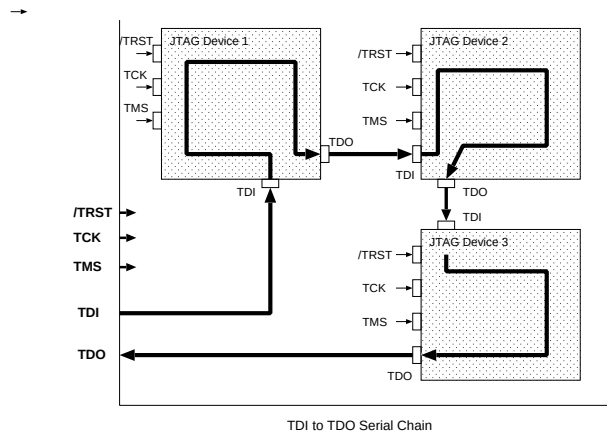
1. ユーザ定義の命令を持つことを許している。
 - チップの内部回路に対する動作命令に利用できる。
2. ユーザ定義のレジスターと、それに対する読み書きを許している。
 - 内部回路の動作パラメータの設定に利用できる。
3. 4本の線で制御する事が出来る。
 - 制御用のインフラを容易に準備できる。

後述するが、JTAGではボード上にJTAG対象チップが幾つ載ったとしても変わらず4本の線で制御できるような仕組みになっている。

4. デバッグ用に作られている規格であるため、動作プロトコルが簡単に扱いやすい。

これらの理由から、TGCエレクトロニクスで利用されるASICも全てにこのJTAG用の回路が登載されている。

Serial Connection JTAGではボード上にある複数のJTAG対応素子の制御を行う時、扱う信号線の本数を増やさず4本のままで行えるよう、次のような接続方法がとられる。



JTAG の Device 接続方法

TDI と TDO をシリアルに接続する。

クロックの TCK とモード選択用の TMS 等を共通に配線し、TDI と TDO に関しては、前の素子の TDO を次の素子の TDI につなぐというシリアル接続を行う。

幾何的にシリアル接続をとる JTAG の接続方法は、JRC³⁹ の開発において重要な要素となるのでここで述べておく。

Application JTAG は先に述べた性質から市販の多くの素子にも制御用回路として搭載されている。

その中でも重要な例として、PLD⁴⁰ へのデザインのダウンロードがある。

TGC エレクトロニクスグループが利用している PLD も全て JTAG 信号でデザインのダウンロードが出来るようになっている。

この事実は HSC⁴¹ において重要な要素となるのでここで述べておく。

³⁹JRC : JTAG Route Controller の略。JTAG 信号を特殊な幾何的接続方法にて配信するために作られた ASIC

⁴⁰PLD : Programmable Logic Device の略

⁴¹HSC : High- P_T Star Switch Controller の略。放射線により PLD のデザインが損傷したときに、JTAG を用いてデザインを元に戻す事ができるシステムを持つ。

9.6 Application Specific Integral Circuit (ASIC)

9.6.1 Introduction

ATLAS フロントエンドエレクトロニクスでは現在多くの ASIC⁴² が設計されている。通常の PLD⁴³ に対して開発のターンアラウンド時間が長く、高度な制作ノウハウを要求する ASIC が採用されるのには理由がある。

9.6.2 Advantage

PLD に対して ASIC が優れているのはつぎの点である。

- 対放射線耐性に優れる。
Radiation Effects on Electronics Devices の章を参照。
- 量産時のチップ単価が安くできる。
ATLAS では大量の読み出しチャンネルを扱うため多くのチップ数を要求する。量産に関してその差は圧倒的で例えば、TGC エレクトロニクスで実際に行った見積りでは、あるチップでは ASIC だと数千円/個で実現できるのに、同等規模の PLD で数万円/個となるものもあった。
- 設計出来る回路規模が大きい。
PLD は内部に回路構成変更用の余分な回路を持っていたり、レジスター数など最初から決め打ちで作られていたりするため、ASIC に比べて搭載回路規模は大きくできない。
- 搭載出来る回路の自由度が高い。
フルカスタム ASIC なら当然の事だが、PLD には出来ないトランジスタパラメータ (例えばゲート長や幅など) の変更が可能である。
また、デジタル設計においても、最初から AND アレイや OR アレイが決め打ちされている PLD に比べたら多様なデザインを組むことが可能である。

これらの理由によりフロントエンドエレクトロニクスでは ASIC を使用せざるを得ない状況になっている。

9.6.3 Disadvantage

ASIC をつくるに当り考慮しなければならない点を挙げると以下ようになる。

- 開発のターンアラウンド時間が長い。
- 試作のコストが高い。
- 試作できる機会が限られている。

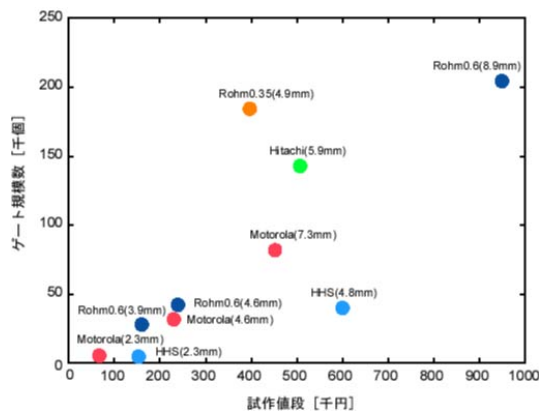
実際に我々の開発を例に挙げると、1 回のターンアラウンドでかかる期間は 4 か月以上、長いものだと 1 年となっている。また、我々に提供されている比較的簡単に ASIC を作成できる機会は非常に限られている。現在 VLSI の設計支援のための機関以下のもの位しかない。

- 大規模集積システム設計教育研究センター
VLSI Design and Education Center (VDEC)
- ベンチャー LSI 設計支援センター
Venture LSI Design Assist Center (VL-DAC)
ROHM 社
- システム LSI 設計支援センター
Venture System LSI Assist Center (VSAC)
電子情報技術産業協会

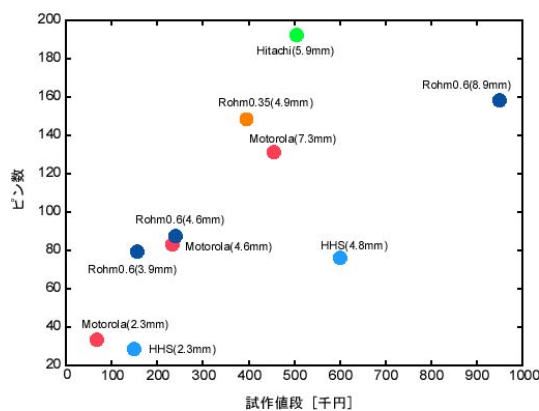
この中で研究関連の LSI 制作を請け負っているのは VDEC のみであり我々も良く利用している。参考までに VDEC で扱われているチップの一覧を示す。

⁴²ASIC: Application Specific Integral Circuit. 特定用途向け IC。

⁴³PLD : Programmable Logic Device の略



搭載可能ゲート規模と価格の対応グラフ



パッケージサイズと価格の対応グラフ

9.6.4 Acknowledgement

JRC ASIC は東京大学大規模集積システム設計教育研究センターを通しローム (株) および凸版印刷 (株) の協力で行われたものである。

The JRC chip in this study has been fabricated in the chip fabrication program of VLSI Design

and Education Center(VDEC), the University of Tokyo with the collaboration by Rohm Corporation and Toppan Printing Corporation.

SSWRx ASIC の試作は東京大学大規模集積システム設計教育研究センターを通し株式会社日立製作所および大日本印刷株式会社の協力で行われたものである。

The SSWRx chip in this study has been fabricated in the chip fabrication program of VLSI Design and Education Center(VDEC), the University of Tokyo with the collaboration by Hitachi Ltd. and Dai Nippon Printing Corporation.

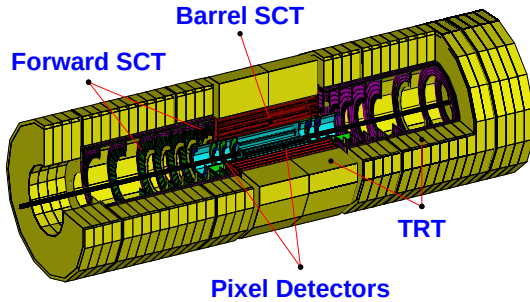
SSWRx ASIC の試作は東京大学大規模集積システム設計教育研究センターを通し SLB ASIC の試作は東京大学大規模集積システム設計教育研究センターを通しローム (株) および凸版印刷 (株) の協力で行われたものである。

The SLB ASIC chip in this study has been fabricated in the chip fabrication program of VLSI Design and Education Center(VDEC), the University of Tokyo with the collaboration by Rohm Corporation and Toppan Printing Corporation.”

これらのチップの設計は Avant! ツールを用いて行われたものである。

These VLSI chips in this study is designed with Avant! CAD tools.

9.7 Inner Detector

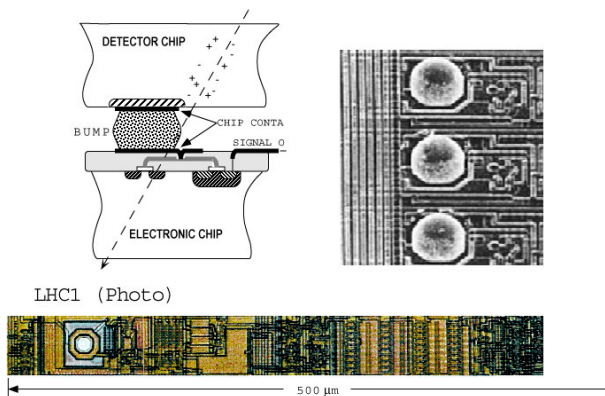


9.7.1 Pixel Detector

barrel 3 層、disk 8 層からなり、 r, ϕ, z の 3 軸方向の読み出しができるピクセルタイプの半導体ディテクター。

最も内側に位置する Detector であるため、Vertex Search が重要な B Physics に効力を発揮する。低ルミノシティラン (この時に B Physics を行う。) が終わると取り外される。

- $\sigma(r - \phi) \sim 10 \mu\text{m}$
- $\sigma(z) \sim 50 \mu\text{m}$
- Detecting element size : $50 \mu\text{m} \times 300 \mu\text{m}$



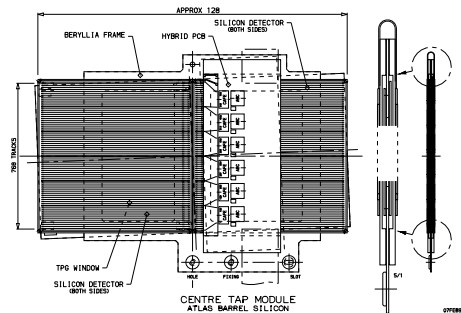
b-quark のライフは比較的長いので、崩壊するまでに若干飛程がある。このため Primary vertex から少し離れた所に b-quark のつくる Secondary vertex が見える。
この距離はライフから計算すると $c\tau$ で $450 \mu\text{m}$ であり、b-tagging を行おうとするとこれに対して十分小さい分解能が必要になる。

9.7.2 Semiconductor Tracker

マイクロストリップトラッカー。細長い有感領域を持った半導体検出器。

Parameters

- Small angle stereo in order to avoid ambiguities.
- Resolution $< 20 \mu\text{m}$ (@ each detector)
- Effective z resolution $< 1 \text{ mm}$
- Two hit resolution $\sim 200 \mu\text{m}$
- Efficiency : 97 % (@ each detector)



9.7.3 Transition Radiation Tracker

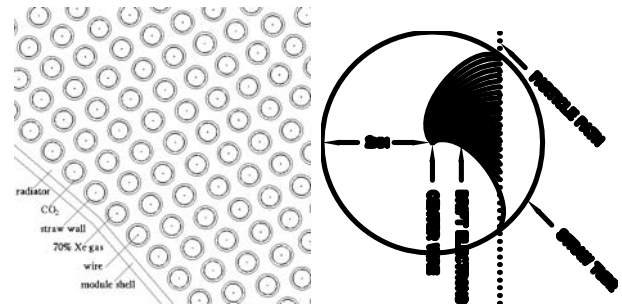
ストローチューブタイプのドリフトチェンバーを束ねて作ったトラッカー。
目的は以下の通り。

- トラッキングによる運動量の測定
- カロリーメータから半導体ディテクターへのトラック補間のサポート
- $-\frac{dE}{dx}$ を持っていてハドロンと e^- の ID

を行う。

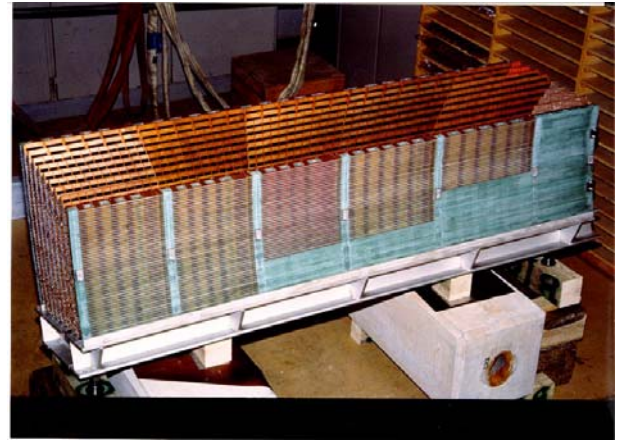
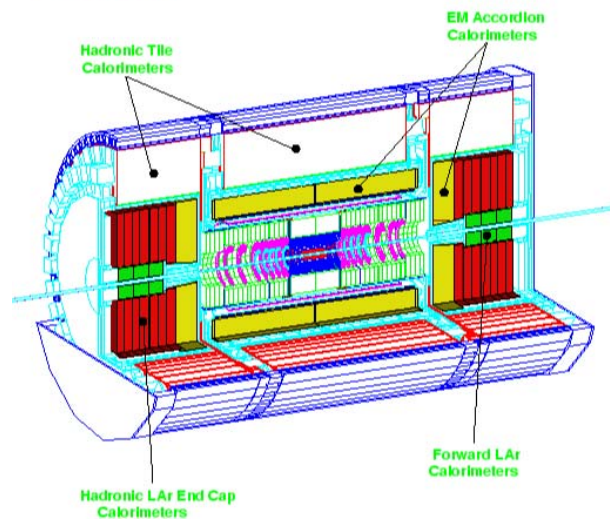
Parameters

- Outer diameter : 216 cm
- Total radiation length : 15 to 35 % X_0



9.8 Calorimeter

ATLAS Calorimetry (Geant)



9.8.1 Electromagnetic Calorimeter

鉛の吸収体と液体アルゴンのコレクターからなるサンプリングカロリメータ。鉛でコンバージョンを起こさせて e^- のシャワーをつくる。この e^- が液体アルゴンをイオン化するので、そのチャージを読み出す。低温での運用が必要な液体アルゴンを使うのは大きいシグナルが読み出せる事とフローできるので劣化の心配がいない為である。

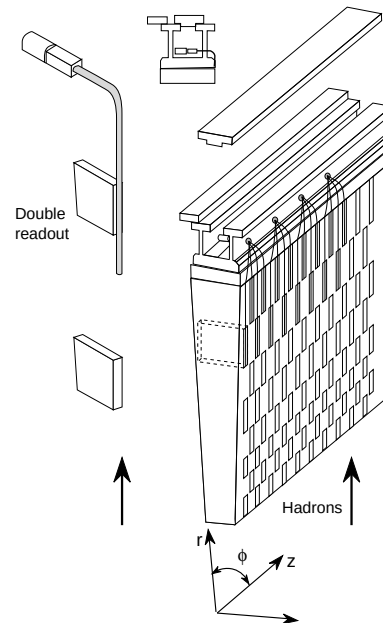
Parameters

- Lead thickness : 1.5 mm,
Gap thickness 2.1 mm
- Fast shaping $t_p(\Delta) = 40$ ns
- Dynamic range : 30 MeV - 3 TeV (16 bits)
- Energy Resolution : $10\% / \sqrt{E} \oplus 0.35/E_T \oplus 0.7\%$ with E in GeV
- Direction Resolution : $\sigma_\theta(mrad) = 60mrad / \sqrt{E}$

9.8.2 Hadronic Tile Calorimeter

鉄製の吸収体の間にプラスチックシンチレータ (tile) を挟んだもの。読み出しは wavelength shifter fiber を用いて行われる。

- jet resolution $\frac{\sigma}{E} = \frac{50\%}{\sqrt{E}} \oplus 3\%$

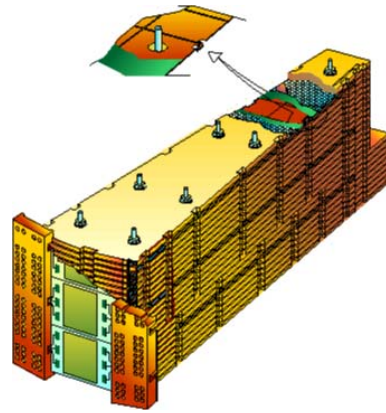


9.8.3 Hadronic End-Cap and Forward Calorimeter

コレクターに液体アルゴンを用いたカロリメータ。特に前方部には高い物質量を必要とするので、End-Cap 部分と Forward 部分で吸収体を変えている。

$W \rightarrow \text{jet jet}$ の forward jet tagging に威力を発揮する。

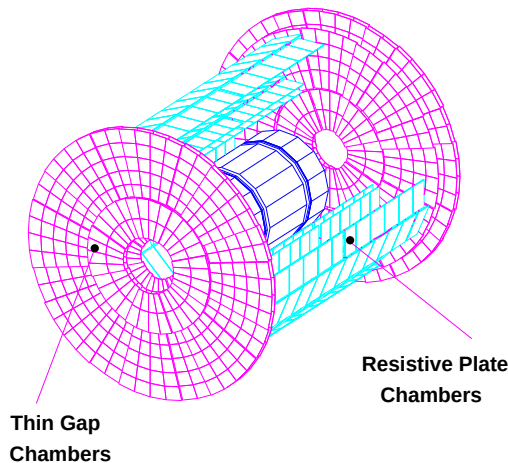
- Absorber : Cu (End-Cap) , Dense W (Forward)



高いバンチクロッシングでイベントを処理する必要があるため、ミューオンチェンバーにはディテクターレスポンスを速くしてトリガーとして機能させるチェンバーと、各バンチ毎にデータを捌くスピードは無いが、正確なトラッキングができる精密測定用チェンバーとの住み分けが生じた。

9.9 Muon Trigger Chamber

Trigger Chambers



電粒子がガスをイオン化すると、高い電場により加速されガス増幅が起こる。シグナルの読み出しにはこのチャージがバークライトをはさんで反対側にあるストリップに誘起する信号を用いる。

このモジュールをストリップが互いに直交するように重ね合わせ事で x,y 方向の 2 次元読み出しを行う。

Operating Conditions

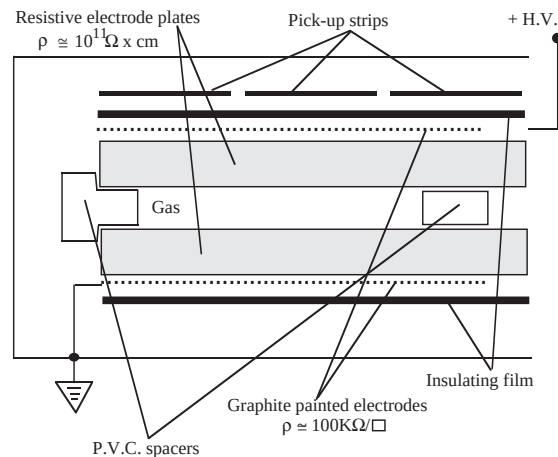
- Gas $C_2H_2F_4$: $isoC_4H_{10}$ (97:3)
- HV 9 kV

Performance

- Efficiency > 99 %
- Time Resolution < 2 ns
- Rate Capability $\sim 1 \text{ kHz/cm}^2$

9.9.1 Resistive Plate Chamber

Barrel 部分 ($|\eta| < 1.05$) をカバーするミューオントリガーチェンバー。



メカニズム 2枚のバークライト板の間にスペーサを挟んでガスギャップを作る。入射荷

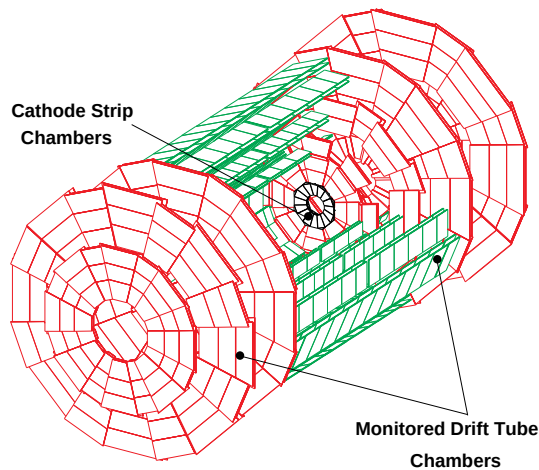
9.9.2 Thin Gap Chamber

エンドキャップ部分 ($1 < |\eta| < 2.7$) を覆う MWPC (Multiwire Proportional Chamber)。両エンドキャップを合わせて 3600 枚のチェンバーでのべ 6296 m^2 をカバーする。

Thin Gap Chamber(TGC) については本論文で密接に関与する所であり詳細に触れたいので別途後述する。

9.10 Muon Precision Chamber

Precision Chambers

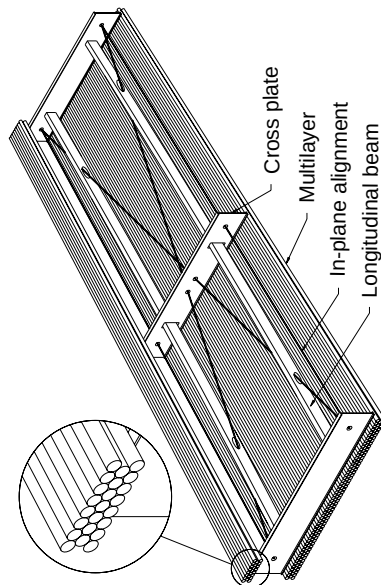


- Ar : N₂ : CH₄ (91:4:5)
- Gas Pressure : 3 bar
- HV : 3.25kV (gas gain 2×10^4)

Performance

- efficiency > 99 %
- max drift time = 480 ns
- $\langle \sigma \rangle = 80 \mu\text{m}$ (@ single tube)

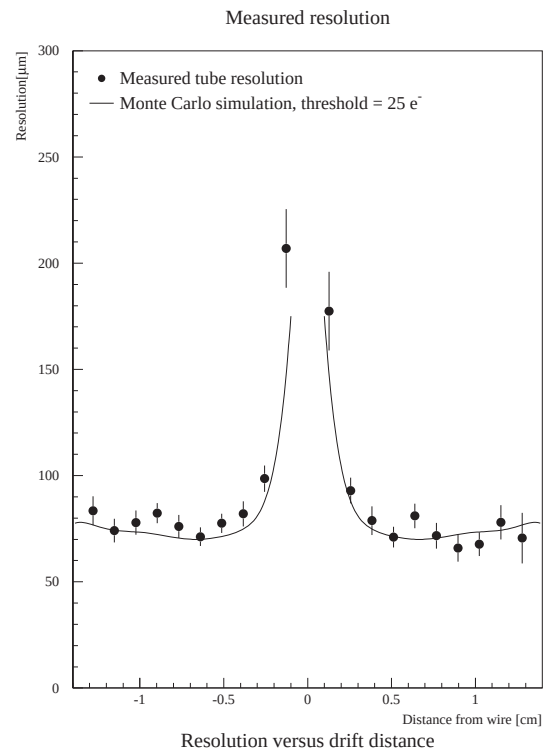
9.10.1 Monitored Drift-Tube Chamber



ドリフトチューブを3層(又は4層)重ねたモジュール。ドリフト時間から particle track と wire 間の距離を求めることができる。

Parameters

- Tube : Diameter 30 mm
- Wire : 50 μm W-Re (gold-plated)

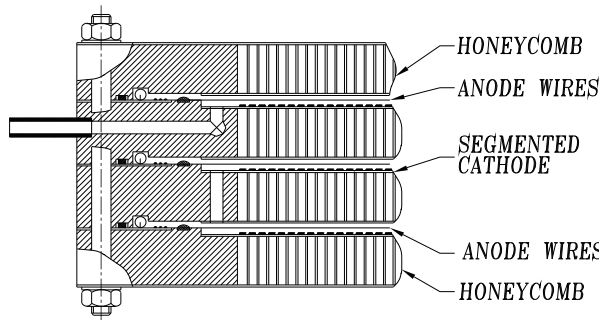


MDTはチューブ系が3cmと大きいためドリフトタイムが長く、Level 1判定が出てもそのバンチクロッシングに属するイベントを探し出すのは余り容易ではない。そのため、実際はこれに隣接するRPCやTGCのデータを補助として用い欲しいイベントをサーチする。

9.10.2 Cathod Strip Chamber

MWPC の一種。カソードストリップで読み出されるチャージの重心を取ることで、位置の精密測定を行う。

また、カソードストリップと垂直に張られているアノードワイヤーから第2座標も読み出すことができる。



Operating Conditions

- Ar : CO₂ : CF₄ (30:50:20)
- HV : 3.2 kV

Performance

- High rate capability (max drift time : 25 ns)
- High granularity (strip pitch : 5 mm)
- Spatial resolution : $\langle \sigma \rangle = 60 \mu\text{m}$
- Double track efficiency : 95 % at 2mm

ミューオン測定 of 妨げとなる中性子への感度が 10^{-4} と低く, γ 線への感度も 1%以下である。そのため最も放射線強度の高い超前方に設置される。