

# 修士学位論文

ATLAS 実験ミュオントリガーシステム用 LSI の開発

東京都立大学理学研究科物理学専攻

田中 賢一

平成 14 年 1 月 10 日



## 論文要旨

ATLAS 実験は、2006 年の運転開始を予定している。CERN (欧州素粒子物理研究所) において建設が進められている LHC (The Large Hadron Collider) は、重心系衝突エネルギーが 14TeV の陽子・陽子を実現する。ATLAS 検出器は LHC の周上に置かれる大型汎用検出器である。LHC で実現される高いエネルギー領域では、Higgs 粒子や、超対称性粒子など未発見の粒子の発見が期待される。

高いエネルギー領域を扱う実験では、大量のバックグラウンドが伴うので、効率的にバックグラウンドを除去し、物理的に有効なイベントを選択する必要がある。ATLAS 実験では、3 段階のトリガー判定を設け、イベントの選択を行う。この中で、最も最初に行われるトリガー判定をレベル 1 トリガーと呼んでいる。我々の携わる、TGC(Thin Gap Chamber)ミュオン・トリガーもレベル 1 トリガーの一部である。TGC とは、ATLAS 検出器の前後方に置かれるミュオン・トリガー専用の検出器である。

LHC では、40.08MHz という高頻度でビームの衝突が起こる。レベル 1 トリガーではこの 40.08MHz の中から有効なイベントを選び出し、100kHz にまでレートを下げる。このレベル 1 トリガーの処理は、高速性が要求されるため、ハードウェアでの実装が不可欠となる。我々 TGC エレクトロニクス・グループでは、特定用途向け IC である ASIC を用い、トリガー生成に用いられる様々な機能を実現させている。

TGC エレクトロニクス・グループで開発している ASIC の内、本論文の主題とするのは、Patch Panel ASIC と Slave Board ASIC である。Patch Panel ASIC は、TGC から送られてくる信号のチャンネル間でのタイミングのずれを調節し、どのビーム衝突で起こったイベントなのかを特定する。Slave Board ASIC は、TGC からの信号をもとにして最初のトリガー判定を行う回路である。

本論文では、最初に ATLAS 実験の物理と検出器の構成を述べる。次に TGC ミュオン・トリガー・システムについて説明する。その後、Patch Panel ASIC の開発と検証、Slave Board ASIC の開発と検証について述べ、最後に本論文全体のまとめを記す。



## 目次

1章	イントロダクション	1
2章	ATLAS 実験	3
2.1	ATLAS 実験の目指す物理	3
2.1.1	標準理論 Higgs 粒子	3
2.1.2	超対称粒子 (SUSY)	8
2.1.3	超対称性 Higgs 粒子	9
2.2	ATLAS 検出器	10
2.2.1	LHC 計画	10
2.2.2	ATLAS 検出器の構成	12
2.2.2.1	インナー・ディテクター	13
2.2.2.2	カロリメーター	14
2.2.2.3	ミュオン・スペクトロメーター	15
2.2.2.4	マグネット・システム	20
3章	ATLAS トリガー・システムと DAQ	22
3.1	ATLAS トリガー・システム	23
3.2	DAQ(Data Acquisition)	24
3.3	DCS(Detector Control System)	25
3.4	TTC(Timing, Trigger and Control)	25
4章	TGC ミュオン・トリガー・システム	26
4.1	TGC の構造	26
4.2	TGC ミュオン・トリガー/DAQ のエレクトロニクス	30
4.2.1	ASD(Amplifier Shaper Discriminator) board	33
4.2.2	Patch Panel ASIC	34
4.2.3	Slave Board ASIC	34
4.2.4	High-pT board	35
4.2.5	Sector Logic	36
4.2.6	Star Switch	37
4.2.7	ROD(Read Out Driver)	38
5章	ASIC の開発	39
5.1	デジタル回路設計	39

5.1.1	HDL	39
5.1.2	配置配線	40
5.2	アナログ回路設計	40
6章	Patch Panel ASICの開発	43
6.1	Patch Panel ASICの役割	43
6.2	Patch Panel ASICの構成	43
6.2.1	LVDS レシーバー	44
6.2.2	バリアブル・ディレイとDLL	45
6.2.3	BCID 回路	50
6.2.4	Test Pulse Generator	51
6.2.5	JTAG プロトコル	51
6.3	Patch Panel ASICの検証	54
6.4	PLLを用いた Patch Panel ASICの作成と検証	62
6.4.1	PLLの構成と動作	62
6.4.2	その他の変更点	64
6.4.3	PLL 使用 Patch Panel ASICの検証	64
6.5	0.35 $\mu$ m プロセスでの設計と 32ch への拡張	71
6.5.1	LVDS レシーバーの設計	72
6.5.2	バリアブル・ディレイ	73
6.6	Patch Panel ASICの開発に関するまとめ	77
7章	Slave Board ASICの開発	78
7.1	Input Part	78
7.2	Control Part	79
7.3	リードアウト部	80
7.4	トリガー部	82
7.4.1	Wire Doublet	82
7.4.2	Strip Doublet	89
7.4.3	Wire Triplet	90
7.4.4	Strip Triplet	92
7.4.5	EI/FI	93
7.4.6	トリガー部の結合	94
7.5	Slave Board ASICの作成	95
7.6	Slave Board ASICの検証	97
7.7	Slave Board ASICの開発に関するまとめ	99

8章	Slice Test	101
8.1	Slice Test Setup	101
8.2	Slice Test の結果	103
8.3	Slice Test に関するまとめ	106
9章	まとめ	107
	参考文献	109

## 図目次

2.1	標準理論 Higgs 粒子の主な生成過程	4
2.2	標準理論 Higgs 粒子生成断面積の $m_H$ 依存	4
2.3	標準理論 Higgs 粒子分岐比の $m_H$ 依存	6
2.4	ATLAS 実験における標準 Higgs 粒子の発見ポテンシャル	7
2.5	LHC	11
2.6	ATLAS 検出器の R-Z 断面図とラピディティ	12
2.7	ATLAS 検出器の全体図	13
2.8	インナー・ディテクター	14
2.9	カロリメーター	15
2.10	ミュオン・スペクトロメータの R-Z 断面図	16
2.11	MDT(Monitored Drift Tube)	17
2.12	CSC(Cathode Strip Chamber)	18
2.13	RPC(Resistive Plate Chamber)	19
2.14	TGC(Thin Gap Chamber)の構造	20
2.15	TGC ダブルレットとトリプレット	20
2.16	マグネット・システム	21
2.17	各 での積分磁場強度	21
2.18	トロイダル磁石の磁束 (R- 平面)	21
3.1	レベル1トリガーのスキーム	23
3.2	ATLAS 実験トリガー・システム及び DAQ のスキーム	24
4.1	TGC R- 平面図	26
4.2	TGC の配置 R-Z 平面図	27
4.3	TGC オクタントの分割	28
4.4	TGC によるミュオンの pT の測定方法	29

4.5	TGC のタイム・ジッター	30
4.6	TGC トリガーエレクトロニクスの流れ	31
4.7	DAQ エレクトロニクスの流れ ( デランダマイザー以降 )	32
4.8	TGC トリガーエレクトロニクスの配置	33
4.9	ASD Board	34
4.10	High-pT board (Forward)	36
4.11	Sector Logic	37
4.12	ROD(Read Out Driver)	38
5.1	CMOS の構造	41
5.2	アナログ回路設計での回路記述	42
6.1	Patch Panel ASIC ブロック図	44
6.2	LVDS receiver 回路図	45
6.3	バリアブル・ディレイのブロック図	46
6.4	ディレイ・セルの詳細な回路図	46
6.5	VCON に対するバリアブル・ディレイの遅延時間のシミュレーション ( 0.6 $\mu\text{m}$ )	47
6.6	DLL 回路のブロック図	48
6.7	フェイズ・ディテクターの回路図	49
6.8	チャージ・ポンプの回路図	49
6.9	BCID 回路の動作の例	50
6.10	BCID 回路の回路図	51
6.11	Test Pulse Generator の回路図	51
6.12	TAP state controller の遷移図	52
6.13	多数決回路	53
6.14	Patch Panel ASIC のレイアウト・マスク	54
6.15	DLL のロックに伴う VCON の変化	55
6.16	DLL の reference clock と delayed clock	57
6.17	初期状態 VCON=0V からの DLL のロックの様子	57
6.18	DLL のミス・ロックの例	58
6.19	バリアブル・ディレイの測定 ( DLL )	60
6.20	BCID 回路の出力	61
6.21	Test Pulse の振幅 ( 25 $\Omega$ の抵抗を介しグラウンドに接続 )	62
6.22	PLL 回路のブロック図	63
6.23	DLL と比べての PLL の利点	64
6.24	PLL のバグへの対応	65
6.25	PLL のロックに伴う VCON の変化	65
6.26	初期状態 VCON=0V からの PLL のロックの様子	67



6.2.7	PLL の reference clock と delayed clock	68
6.2.8	バリアブル・ディレイの測定 (PLL)	70
6.2.9	VCON に対するバリアブル・ディレイの遅延時間の実測値	71
6.3.0	0.35 $\mu\text{m}$ プロセス設計での LVDS レシーバーの回路図	72
6.3.1	0.35 $\mu\text{m}$ プロセス設計でのディレイ・セルの回路図	74
6.3.2	VCON に対するバリアブル・ディレイの遅延時間のシミュレーション (0.35 $\mu\text{m}$ )	75
6.3.3	0.35 $\mu\text{m}$ プロセス設計の Patch Panel ASIC のレイアウト・マスク	76
6.3.4	0.35 $\mu\text{m}$ プロセス設計の 32ch 対応 Patch Panel ASIC のレイアウト・マスク	76
7.1	Slave Board ASIC のブロック図	78
7.2	リードアウト部のブロック図	81
7.3	Wire Doublet マトリックスへの入力	83
7.4	Doublet のコインシデンス回路	84
7.5	サブ・マトリックス	85
7.6	Wire Doublet マトリックスの構造	86
7.7	overlap region におけるバグ	87
7.8	overlap region のバグによるダブル・カウントと修正版のシミュレーション	87
7.9	デクラスタリング・ルール	88
7.1.0	Wire Doublet マトリックスの出力フォーマット	89
7.1.1	Wire Doublet マトリックスと Strip Doublet マトリックスの有効領域	90
7.1.2	Wire Triplet ブロックの構造	91
7.1.3	Wire Triplet ブロックの当初のコインシデンス・ロジック	92
7.1.4	Strip Triplet ブロックの構造	93
7.1.5	トリガー部のシミュレーションによる最大遅延の測定	95
7.1.6	自動配置配線設計による Slave Board ASIC のレイアウト・マスク	96
7.1.7	マクロ化設計による Slave Board ASIC のレイアウト・マスク	96
7.1.8	シミュレーションでのテスト・ベクターの生成方法	97
8.1	Slice Test Setup ブロック図	101
8.2	Slice Test Setup 風景	103
8.3	遠隔操作システム	104

表目次

2.1	LHC の主要パラメータ	10
6.1	TGC 設置位置での年間放射線量	53
6.2	バリアブル・ディレイの測定 (DLL)	59
6.3	バリアブル・ディレイの測定 (PLL)	69

6.4	0.35 $\mu\text{m}$ プロセス設計の LVDS レシーバーのシミュレーション結果	73
6.5	0.35 $\mu\text{m}$ プロセス設計の LVDS レシーバーの同相ノイズに対するシミュレーション結果	73
7.1	Slave Board ASIC の JTAG レジスタ・リスト	79
7.2	Slave Board ASIC トリガー部のテスト結果	98
8.1	Slice Test でのレイテンシーの実測値	105
8.2	レイテンシーの見積もり	105

# 1章 イントロダクション

ATLAS 実験では、標準理論によって存在が予言されている Higgs 粒子を発見することを主な目的としている。Higgs 粒子は物質を構成するフェルミオンや、ゲージ・ボソンに質量を与えるもので、Higgs 粒子の質量の上限は 1 TeV 程度であると見られている。ATLAS 検出器は、CERN (欧州原子核研究機構) において建設が進められている LHC (Large Hadron Collider) の周上に設置される検出器である。LHC は、重心系エネルギーが最大 14 TeV の陽子・陽子衝突を引き起こすことができる。このビーム衝突は、40.08MHz という非常に高い頻度で起こる。また、検出器は長さ 44 m、直径 22 m という大きなもので、例えば我々のグループで開発している TGC (Thin Gap Chamber) と呼ばれるサブ・ディテクターの全読み出しチャンネル数は 32 万チャンネルにも及ぶ。よって、大量のデータを高速かつ効率的に収集するシステムが必要となる。また、14 TeV という高いエネルギーにおける実験では、必然的にバックグラウンドの要素も多くなってしまふ。従って、大量のバックグラウンドの中から有効なデータを効率良く収集するシステムが不可欠となる。

この ATLAS 検出器では、ビーム衝突で生成されたミュオンを検出し、トリガー信号を作るサブ・ディテクターが 2 つある。ATLAS 検出器の前後方部分であるエンド・キャップ領域に設置される TGC (Thin Gap Chamber) と、側面部分であるパレル領域に設置される RPC (Resistive Plate Chamber) である。このうち我々のグループでは、TGC のトリガー判定回路の製作を行った。TGC ミュオン・トリガー判定回路の多くは、ASIC (Application Specific IC) と呼ばれる特定用途向けの IC を用いて実現される。我々が TGC エレクトロニクスのために開発した ASIC は、Patch Panel ASIC、Slave Board ASIC、High-pT ASIC である。本論文では、主に Patch Panel ASIC と Slave Board ASIC の開発について述べる。

まず、Patch Panel ASIC は、チェンバーからの信号のタイミングを調整するための回路である。上で説明したように LHC では、40.08MHz という早さでバンチ・クロッシングと呼ばれるビーム衝突を起こす。一方で検出器は非常に大きなものなので、トリガー処理を始めるまでに各チャンネル間にタイミングのずれが生じるのは必至である。このタイミングのずれは、40.08MHz という早さにおいては重大なものとなる。Patch Panel ASIC では、様々な遅延要素を考慮し、タイミングを調整しなければならない。また、Patch Panel ASIC では、TGC から送られてきた信号がどのバンチ・クロッシングによって発生したものであるのかを特定するためのバンチ識別機能も備える。

次に、Slave Board ASIC は、何層にもなったチェンバー間でのコインシデンスをとり、チェンバーからの信号に対し最初のトリガー処理を行う回路である。ここで求められるのは、大量のバックグラウンドの中から物理現象として有効なイベントを取り出すことである。しかも、この複雑な処理を定められたレイテンシー内で行わなければならない。このレイテンシーを実現するためには、ASIC での実装が不可欠であり、我々が経験した設計の中では大規模な ASIC となる。

私は、これらの ASIC の開発に携わってきた。本論文では、まず 2 章から 4 章で ATLAS 実験とトリガーシステムについての概要を記述する。次に、5 章で ASIC 開発のノウハウに触れる。そして本論文の主題でもあるが、6 章で Patch Panel ASIC、7 章で Slave Board ASIC の詳細を述べ、ASIC のテスト結果を報告する。最後に 8 章で本論文全体のまとめをする。

## 2 章 ATLAS 実験

### 2.1 ATLAS 実験の目指す物理

ここでは、ATLAS 実験がどのような物理的発見を目的として計画されたかについて述べる。

#### 2.1.1 標準理論 Higgs 粒子[1]

標準モデルでは、スカラー場 2 重項の存在を仮定しており、中性のスカラー粒子が 1 つ存在することを導いている。これを Higgs 粒子といい、素粒子の質量の起源を担うと考えられる。この Higgs 粒子の発見は、電弱対称性 ( $SU(2) \times U(1)$ ) の破れのメカニズムを理解する上できわめて重要である。Higgs 粒子の質量  $m_H$  は理論的に正確な予言はされていないが、電弱真空の安定性の要請から 1 TeV 以下であると見積もられる。また、CERN の LEP2 によって  $m_H$  は、90 GeV 以上であるとの報告がある。よって、ATLAS では 80 GeV ~ 1 TeV の領域で Higgs 粒子を探索することになっている。

ATLAS 実験では、LHC(The Large Hadron Collider)によって引き起こされる、重心系エネルギーが 14 TeV の陽子・陽子衝突を対象にして解析が行われる。LHC については、次節で詳しく述べる。陽子・陽子衝突による Higgs 粒子の生成過程は主に以下の 4 つが挙げられる。生成過程の式と共に、図 2.1 にファインマン・ダイアグラムを示す。また、それぞれの生成断面積は  $m_H$  の値に依存する (図 2.2 参照)。

##### (1) $gg \rightarrow H_{SM}^0$ (gluon fusion)

トップ・クォークやボトム・クォークのループを介した過程で、最も断面積が大きい。その反面、Higgs 粒子が崩壊してできる粒子以外に大きな  $p_T$  を持つ粒子がなく、バックグラウンドとの選別が厳しい。

##### (2) $qq \rightarrow qqH_{SM}^0$ (W/Z fusion Process)

クォークから放出されたゲージ・ボソンから Higgs 粒子が生成されている。断面積も比較的大きく、反跳したクォークに起因する大きな  $p_T$  を持つジェットが 2 本観測される特徴がある。

##### (3) $qq \rightarrow (W/Z)H_{SM}^0$ (W/Z associate production)

クォークの対消滅で生成されたゲージ・ボソンから、更に Higgs 粒子が放射される過程。終状態にゲージ・ボソン(W/Z)が観測される特徴がある。

(4)  $qq/gg \rightarrow ttH_{SM}^0$  (top associate production)

対生成されたトップ・クォークから、Higgs 粒子が放出される過程。断面積は小さいが、特徴のあるトップ・クォーク・ペアを終状態に含んでいる。

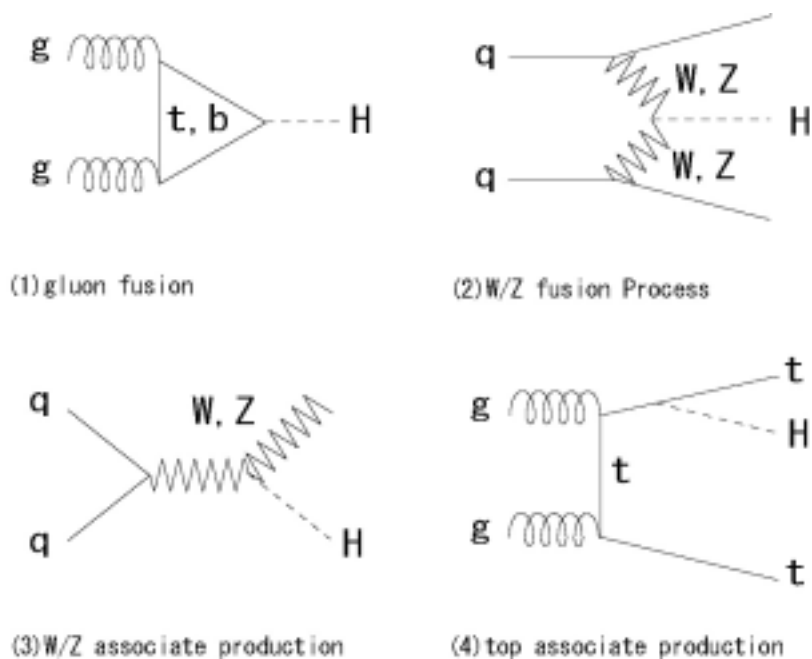


図 2.1 : 標準理論 Higgs 粒子の主な生成過程

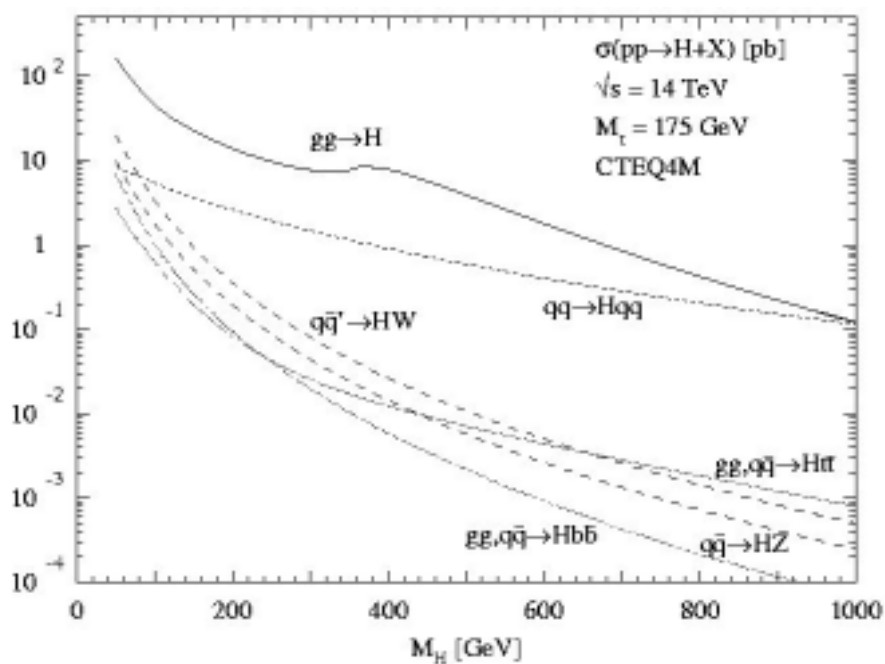


図 2.2 : 標準理論 Higgs 粒子生成断面積の  $m_H$  依存[2]

次に、Higgs 粒子の崩壊過程について議論する。崩壊過程の分岐比は  $m_H$  に依存しており、図 2.3 に示す通り各質量領域で特徴的な崩壊過程が存在する。

a)  $H \rightarrow \gamma\gamma$  (80GeV~120GeV)

この質量領域では、実は  $b\bar{b}$ 、 $c\bar{c}$ 、 $\tau^+\tau^-$  が支配的であるが、陽子陽子衝突から引き起こされる QCD ジェット・バックグラウンドと区別することが難しい。そこで希崩壊ではあるが  $H \rightarrow \gamma\gamma$  を観測し、不変質量  $M$  分布を求めると、Higgs 粒子の質量が鋭いピークとして測定される。しかし、ここでも QCD による ( $q\bar{q} \rightarrow \gamma\gamma$ 、 $g\bar{g} \rightarrow \gamma\gamma$  など) がバックグラウンドとして存在するため、エネルギー及び角度分解能の優れた電磁カロリメータが必要となる。

b)  $H \rightarrow ZZ^* \rightarrow 4l^\pm$  (120GeV~180GeV)

このモードは、最もきれいなピークが得られるモードの一つである。1つのレプトン対に対しては、不変質量が  $m_Z$  に等しくなるという条件を課すことができるが、 $Z^*$  が仮想粒子であるため、もう一方のレプトン対の不変質量には制限がない。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。

バックグラウンドとしては、 $ZZ^*$ 、 $Z^*Z^*$ 、 $t\bar{t}$ 、 $Zb\bar{b}$  がある。このうち  $ZZ^*$ 、 $Z^*Z^*$  は減らすことはできないが、生成断面積もそれほど大きくない。 $t\bar{t}$ 、 $Zb\bar{b}$  は、レプトン対が Z 起源であるという条件をつけることによって  $t\bar{t}$  を、レプトン対が  $Z^*$  起源であるという条件をつけることによって  $Zb\bar{b}$  を取り除くことができる。

c)  $H \rightarrow ZZ \rightarrow 4l^\pm$  (180GeV~800GeV)

このモードが、最もきれいなピークが得られる。2組のレプトン対の不変質量がともに  $m_Z$  に等しいという条件を課すことができるため、信頼性の高いモードである。ただし、Higgs 粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、この質量領域の上位ではバックグラウンドとの区別が困難になる。

d)  $H \rightarrow ZZ \rightarrow ll\nu\nu$  (400GeV~)

この質量領域では、このモードの方が  $H \rightarrow ZZ \rightarrow 4l^\pm$  よりも分岐比が約 6 倍も高い。この不変質量は再構成することはできないが、これに起因する消失横方向エネルギー (missing- $E_T$ ) を精密に測定することが必要となる。

e)  $H \rightarrow WW \rightarrow lvjj$  ,  $H \rightarrow ZZ \rightarrow lljj$  (600GeV~)

この領域ではこれらのモードは  $H \rightarrow ZZ \rightarrow 4l^\pm$  に比べて、 $H \rightarrow WW \rightarrow lvjj$  は約 150 倍、 $H \rightarrow ZZ \rightarrow lljj$  は約 20 倍の分岐比を持つ。これらのモードでは、バックグラウンドと区別するために、Higgs 粒子が W/Z 融合過程によって生成された場合を考える。この過程では、散乱角前方に

クォークによる2つのジェットが特徴的で、このジェットを指標とすることでバックグラウンドを排除することができる。

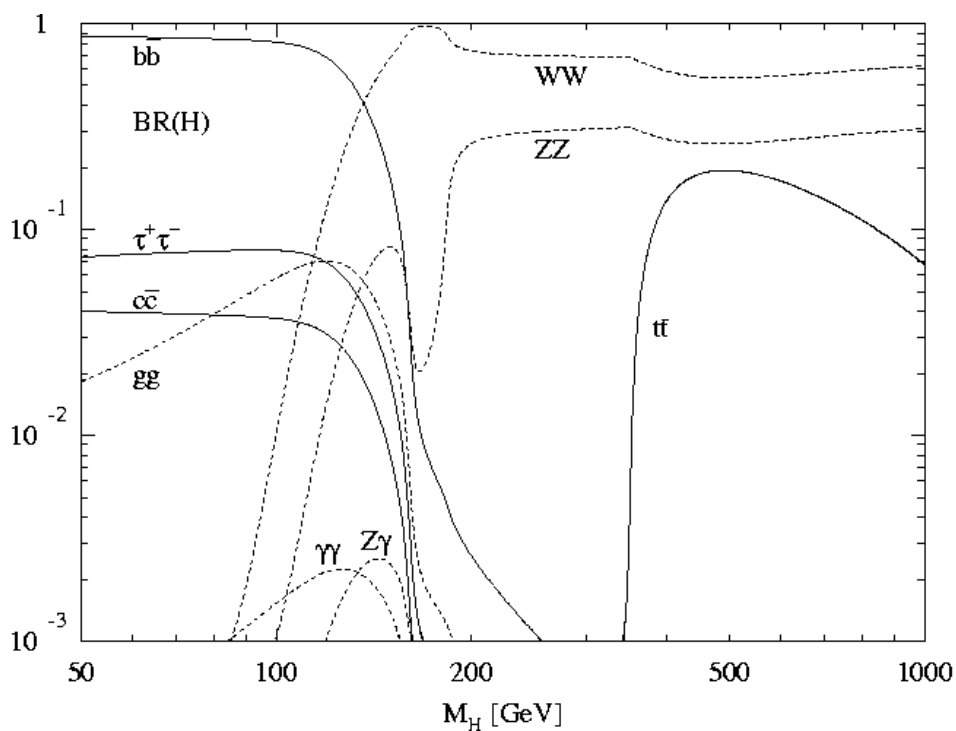


図 2.3 : 標準理論 Higgs 粒子分岐比の  $m_H$  依存[2]



最後に、図 2.4 で ATLAS 実験における標準 Higgs 粒子の発見ポテンシャルを示す。

図 2.4 は、 $100 \text{ fb}^{-1}$  の積算ルミノシティがあれば、標準 Higgs は、 $10$  の確からしさに発見できることを示している[2]。

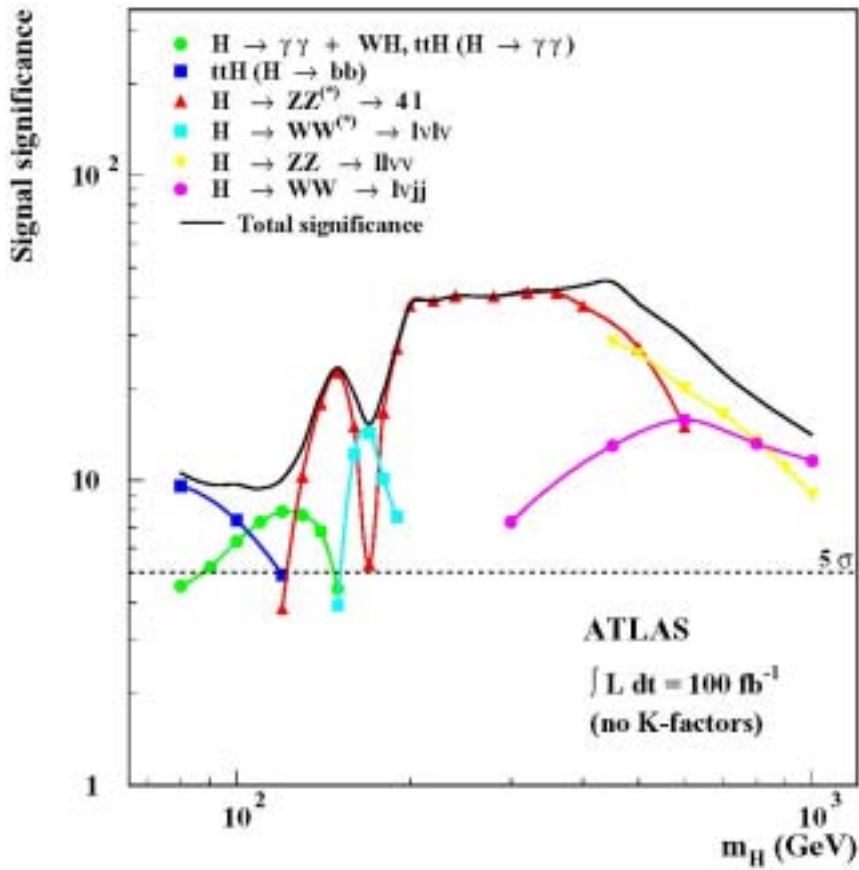


図 2.4 : ATLAS 実験における標準 Higgs 粒子の発見ポテンシャル[2]

## 2.1.2 超対称性粒子(SUSY)

素粒子物理学の究極の課題は、重力を含めた力の大統一であり、超対称性(SUSY)の発見はこれに向けての大きい一歩であると最も有望視されているものである。LEP に於いては、ゲージ理論の精密検証の結果、超対称性による力の大統一の可能性が示唆された。

この超対称性は、ボソンとフェルミオンを交換する。つまり、通常知られているボソンやフェルミオンに対し、スピンの  $1/2$  だけ異なりスーパーパートナーと呼ばれる超対称性粒子の存在を预言する。例えば、クォークやレプトン(フェルミオン)のスーパーパートナーとして、スクォーク( $\tilde{q}$ )やスレプトン( $\tilde{l}$ )(ボソン)があり、グルーオン(ボソン)のスーパーパートナーとして、グレイノー( $\tilde{g}$ )(フェルミオン)がある。もしこの理論が正しければ、LHC では強い相互作用をするスクォークやグレイノーの対が大量に生成され、超対称性粒子の発見が期待される。

R パリティ保存則を課すと、超対称性粒子は必ず対で生成され、次々と崩壊を繰り返す。そして最終的に、超対称性粒子の中で最も軽い質量をもつ LSP(Lightest SUSY Particle)になる。この LSP の候補としては最軽量ニュートラリーノ( $\tilde{\chi}_1^0$ )が考えられるが、この粒子は直接観測にかからないため、消失横方向エネルギー(missing- $E_T$ )を指標として探索を行う。主な崩壊過程として以下の3つが挙げられる。

### a) $Multijets + E_T^{miss}$ モード

$\tilde{g}$ 、 $\tilde{q}$  が崩壊する際にできる High  $p_T$  のジェットと、 $\tilde{\chi}_1^0$  の生成による消失横方向エネルギーを用いて、このイベントを同定する。

$$\begin{aligned}\tilde{g} &\rightarrow q\bar{q}\tilde{\chi}_1^0 \rightarrow jets + E_T^{miss} \\ \tilde{q} &\rightarrow q\tilde{\chi}_1^0 \rightarrow jets + E_T^{miss}\end{aligned}$$

### b) 同符号の2レプトン・モード

$\tilde{g}$ 、 $\tilde{q}$  は質量が大きいため、その崩壊過程では、最軽量ではないニュートラリーノ  $\tilde{\chi}_{2,3,4}^0$  や、チャージーノ  $\tilde{\chi}_{1,2}^\pm$  が生成されることもある。終状態の孤立した2つのレプトン、ジェット、消失横方向エネルギーを用いて、イベントを同定する。

$$2\tilde{g} \rightarrow 2(q\bar{q}\tilde{\chi}_i^\pm) \rightarrow 2(q\bar{q}W^\pm\tilde{\chi}_1^0) \rightarrow 2(jets + l^\pm + E_T^{miss})$$

### c) 3レプトン・モード

$$\tilde{\chi}_1^\pm\tilde{\chi}_2^0 \rightarrow lv\tilde{\chi}_1^0 + ll\tilde{\chi}_1^0 \rightarrow 3l + E_T^{miss}$$

### 2.1.3 超対称性 Higgs 粒子

超対称性理論の中でも最も簡単な MSSM(Minimal Supersymmetric extension of Standard Model)では、2つの Higgs 2重項が要求され、結果的に5つの Higgs 粒子が導入される。この5つはそれぞれ、 $H^\pm$ (荷電スカラー)、 $h$ (中性軽スカラー)、 $H$ (中性重スカラー)、 $A$ (中性擬スカラー)である。これらの Higgs 粒子の質量は2つのパラメータ  $\tan \beta$ 、 $m_A$  で表される。

以下に、MSSM Higgs 粒子の崩壊モードで観測が期待できるものを挙げる。

#### a) $H/A \rightarrow \tau\tau$

標準 Higgs 粒子の場合は、 $H \rightarrow \tau\tau$  モードは分岐比が低く測定に適さないが、MSSM では高い分岐比が期待される。生成された粒子の両方がレプトンに崩壊するチャンネルと、一方はハドロンの崩壊するチャンネルの2種類のモードが利用できる。

#### b) $H/A \rightarrow \mu\mu$

上に比べて、分岐比は  $(m_\mu / m_\tau)^2$  倍低いが、精度よく測定が行えることから、 $H/A \rightarrow \mu\mu$  モードでの測定を補う役割が期待される。

#### c) $H \rightarrow hh$

崩壊モードは、 $hh \rightarrow bb\bar{b}\bar{b}$  が支配的だが、このモードでは効率のよいトリガーが行えないため、 $hh \rightarrow \gamma b\bar{b}$  チャンネルで観測されることが期待される。イベント・レートは低いが、2つの異なる Higgs 粒子の反応という意味で非常に意味深い。

#### d) $A \rightarrow Zh$

2つの Higgs 粒子が関係した反応として、興味深い。 $Zh \rightarrow llb\bar{b}$  など  $Z$  の崩壊で生じる2つのレプトンでトリガーを行う方法が有効である。

#### ATLAS 実験の意義

LHC では、重心系エネルギー14TeV の陽子・陽子衝突という、世界初のエネルギー領域での実験を実現することができる。この高いエネルギー領域では、2.1節全体を通して述べてきた通り、Higgs 粒子や超対称性粒子など未発見の粒子が生成されるものと期待される。また、このような粒子を伴った様々な興味深い物理現象が起こることが予想される。ATLAS 検出器は、予想されるあらゆる物理現象を解析できるように設計された、大型汎用検出器である。このように、様々な物理現象を対象として計画された ATLAS 実験では、多くの成果を期待することができる。

## 2.2 ATLAS 検出器

### 2.2.1 LHC 計画

大型陽子陽子衝突型加速器(LHC: The Large Hadron Collider)は、スイスのジュネーブとフランスとの国境を挟んで位置する CERN(欧州素粒子物理研究所)において建設が進められており、2005年の完成を予定している。LHC は、現在 LEP 2 で使用している周長 26.66km のトンネルの中に建設されるシンクロトロンである(図 2.5 参照)。LHC の主要パラメータを表 2.1 にまとめた。正逆両方向に陽子を 7 TeV まで加速し、重心系エネルギー 14 TeV で衝突させる。LHC は最初の数年間、低ルミノシティ( $10^{33} \text{ cm}^{-2} \text{ s}^{-1}$ )で動作させ、その後、高ルミノシティ( $10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ )で動作させる。陽子ビームは $1.1 \times 10^{11}$ 個ずつバンチ化され、バンチ・クロッシング・レートは 40.08 MHz である。1 回のバンチ・クロッシングあたり平均 23 回の陽子陽子衝突が予測される。

周長	26.66 km
重心系エネルギー	7 TeV + 7 TeV
ルミノシティ(低ルミノシティ)	$10^{33} \text{ cm}^{-2} \text{ s}^{-1}$
ルミノシティ(高ルミノシティ)	$10^{34} \text{ cm}^{-2} \text{ s}^{-1}$
バンチ・クロッシング・レート	40.08 MHz
バンチ・クロッシング間隔	24.95 nsec
バンチ陽子数	$1.1 \times 10^{11}$ 個

表 2.1 : LHC の主要パラメータ

LHC 上には、4ヶ所のビームの衝突点が設けられ、それぞれの衝突点には、汎用検出器の ATLAS(A Troidal LHC Apparatus)と CMS(The Compact Muon Solenoid)、B-physics に特化した LHC-B、重イオン衝突実験用の ALICE(A Large Ion Collider Experiment)が設置される予定である。

ATLAS 実験のコラボレーションとしては、34ヶ国、150の機関からなり、研究者の数は2000人近くになる。

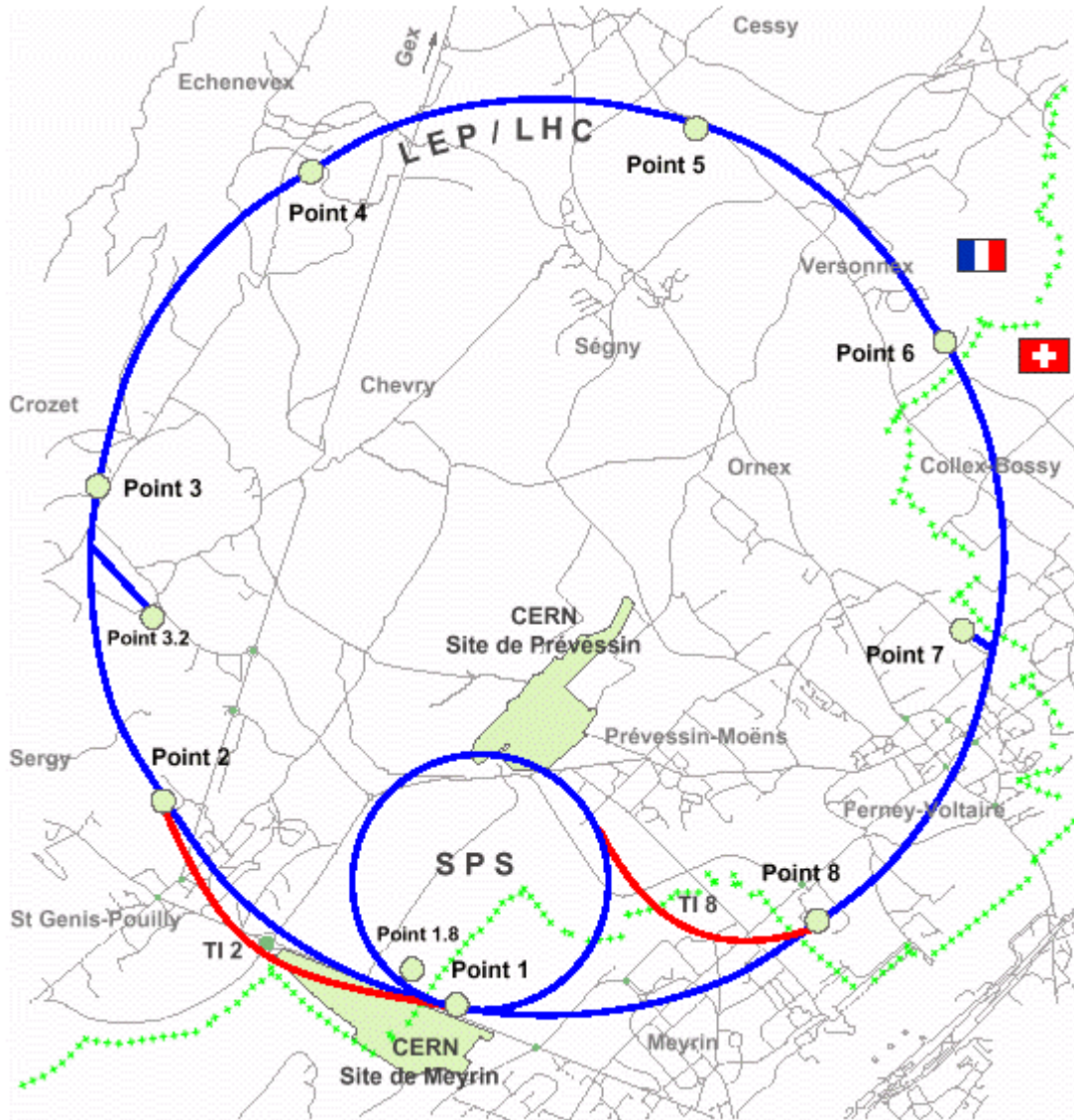


图 2.5 : LHC ( Point1:ATLAS、 Point2:ALICE、 Point5:CMS、 Point8:LHC-B )

## 2.2.2 ATLAS 検出器の構成

ATLAS 検出器の大きさは、直径 22 m、長さ 44 m、総重量 7000 トンと、巨大なものである。ATLAS 検出器は、エネルギーフロンティアのあらゆる素粒子物理現象を捉えることを目的としており、LHC の高いルミノシティ下においても、電子、光子、ハドロン、 $\tau$  粒子、ミューオン、ジェット、消失横方向エネルギーなどの信号を確実に捉えることができるように設計されている。ATLAS 検出器は、以下に示すような要求を満たすように設計されている。

- a) 電磁カロリメーターによる電子と光子に対する高精度の測定と、ハドロンカロリメーターによるジェットと消失横方向エネルギーに対する高精度の測定。
- b) ミューオン・スペクトロメーターによる高精度のミューオンの運動量測定。
- c) High  $p_T$  レプトンの運動量測定や、電子と光子の同定、 $\tau$  粒子とヘビー・フレーバーの同定のための、高ルミノシティ下での効果的なトラッキング。  
低ルミノシティでの完全なイベント再構成。
- d) 広範囲のラピディティ  $\eta = -\ln(\tan(\theta/2))$  の測定と、完全な方位角  $\phi$  の測定。図 2.6 にラピディティ  $\eta$  の詳しい定義を示す。

e) 高頻度でやってくる電子、光子、ミュオン、ジェットなどを効率よく処理する。

f) 大量のバックグラウンド粒子に対する放射線耐性。

図 2.7 に ATLAS 検出器の全体図を示す。ATLAS 検出器は、インナー・ディテクター、カロリメーター、ミュオン・スペクトロメーター及び、マグネット・システムから構成される。

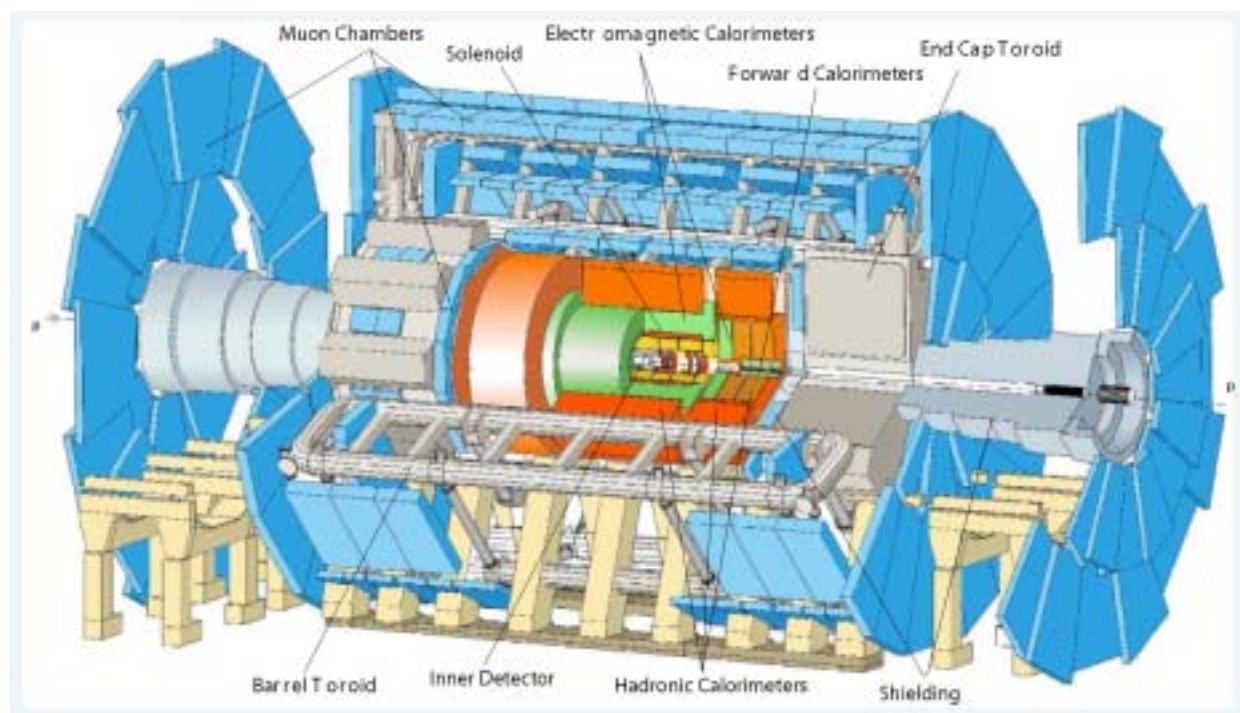


図 2.7 : ATLAS 検出器の全体図

### 2.2.2.1 インナー・ディテクター

インナー・ディテクターは、ビーム衝突点に最も近い位置に置かれる。また、このディテクター全体は、ソレノイドによって作られた 2 T の磁場の中に置かれる。図 2.8 にインナー・ディテクターの構造を示す。インナー・ディテクターは内側から順に、ピクセル検出器(Pixel)、セミコンダクター・トラッカー(SCT)、遷移輻射トラッカー(TRT)の 3 つで構成されている。ピクセル検出器は、最内層にある半導体検出器で、高い位置分解能を持つ。セミコンダクター・トラッカーは、シリコンマイクロストリップと呼ばれる細長い有感領域を持った半導体検出器である。遷移輻射トラッカーは、半径 4 mm のストロー・チューブ検出器で、トラッキングの他に遷移輻射を利用した電子の同定も行う。また、これらのいずれの検出器も厳しい放射線下に置かれるので、高い放射線耐性が

求められる。

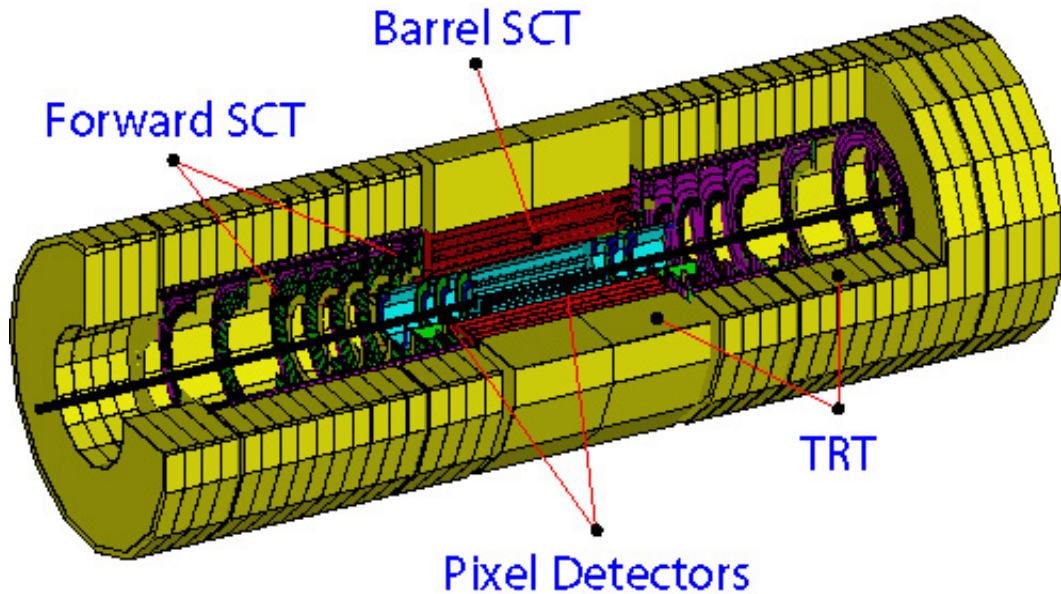


図 2.8 : インナー・ディテクター

## 2.2.2.2 カロリメーター

図 2.9 にカロリメーターの構造を示す。カロリメーターは、主に電磁カロリメーターとハドロン・カロリメーターの 2 つからなる。ここでは、異なるラピディティ の領域で目的にあわせたカロリメーターが設置されている。内側に置かれる電磁カロリメーターには、鉛の吸収体がアコーディオン構造になった、放射線耐性の良いリキッド・アルゴン電磁カロリメーターが用いられる。これは、 $|\eta| < 3.2$  の広い範囲をカバーし、電子と光子の同定に用いられる。電磁カロリメーターの外側には、ハドロンの同定、エネルギーの測定、ジェットの再構成を行うための、ハドロン・カロリメーターが置かれる。ハドロン・カロリメーターのうち、 $|\eta| < 1.7$  のバレル部は、鉄の吸収体とタイル状のシンチレーターからなるタイル状カロリメーターであり、一方放射線強度のより高いエンド・キャップ部( $1.5 < |\eta| < 3.2$ )は、銅の吸収体を持つリキッド・アルゴン・カロリメーターである。さらに放射線強度の高いフォワード部( $3.2 < |\eta| < 4.9$ )は、銅とタンゲステンの吸収体を持つリキッド・アルゴン・カロリメーターである。



## ATLAS Calorimetry

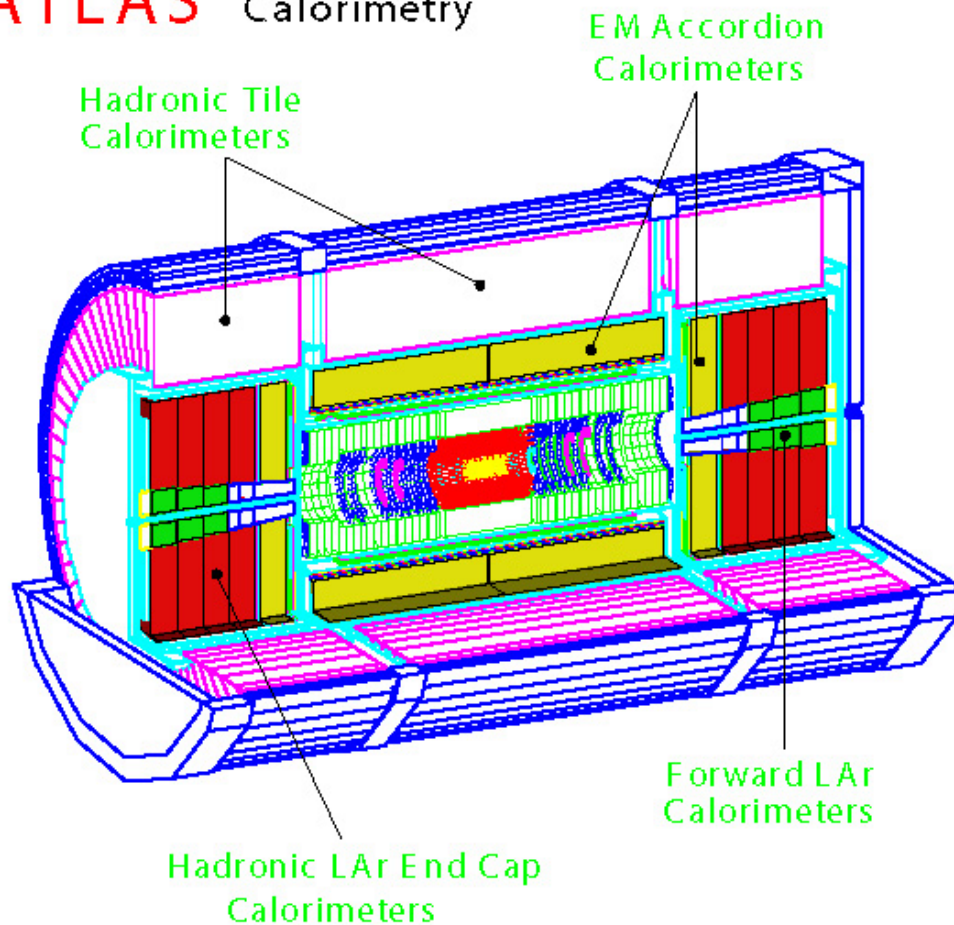


図 2.9 : カロリメーター

### 2.2.2.3 ミューオン・スペクトロメーター

LHC で引き起こされるであろう重要な物理事象のほとんどが終状態に荷電レプトンを含む。その中でもミューオンは物質の透過力が高いので、他の検出器に影響される事なく、きれいに検出することができる。ミューオン・スペクトロメーターは、ATLAS 検出器の最も外側に置かれ、バレル部、エンド・キャップ部それぞれに設置された超電導空心トロイダル磁石により生成された方向の磁場によって曲げられたミューオンの曲率を測定することにより、その運動量を測定する。

図 2.10 にミューオン・スペクトロメーターの構造を示す。検出器は、運動量の精密測定のための MDT(Monitored Drift Tube)、CSC(Cathode Strip Chamber)と、トリガーのための RPC(Resistive Plate Chamber)、TGC(Thin Gap Chamber)からなる。以下に、これらのミューオン検出器の特徴を記述する。

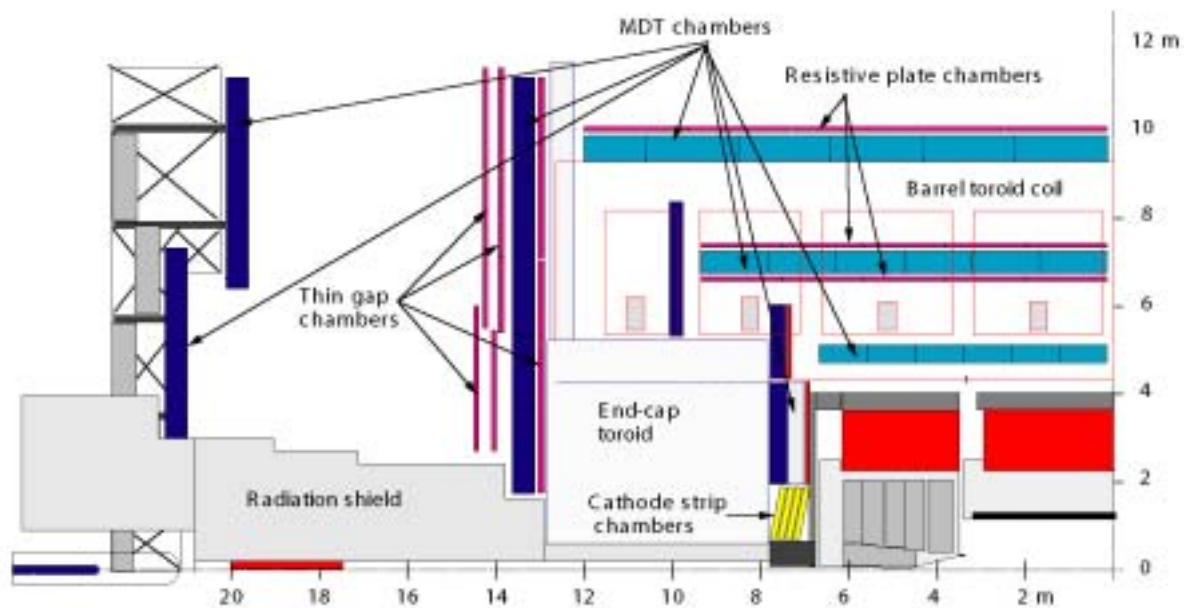


図 2.1 0 : ミューオン・スペクトロメータの R-Z 断面図

#### MDT(Monitored Drift Tube)

ビーム衝突点からやってくるミューオンは、トロイダル磁場によって主に R-Z 平面上で曲げられる。この R-Z 平面を構成する座標を第 1 座標と読んでいる。MDT は、ミューオンの運動量の第 1 座標(R-Z)方向成分を精密に測定する。MDT は、バレル部からエンド・キャップ部の広いラピディティ領域をカバーする。図 2.1 1 に MDT の構造を示す。チューブ径 30mm、ワイヤー径 50  $\mu\text{m}$  のドリフト・チューブを多層に積層した構造をしている。チューブ内には、Ar(91%)/N<sub>2</sub>(4%)/CH<sub>4</sub>(5%)の組成の混合ガスが 3 気圧で封入されており、ワイヤーには 3270V の電圧がかけられている。位置とドリフト時間の線形性が非常によく、最大ドリフト時間は 500ns、位置分解能は 80  $\mu\text{m}$  である。

また、80  $\mu\text{m}$  の高い位置分解能を維持するためには、検出器の熱膨張、重力による垂下、歪みなどの影響を常に考慮しなければならない。MDT は、レーザーを利用した In-plane alignment と呼ばれる直線モニターを組み合わせ、検出器の位置や歪みを常に監視し、チューブ内のワイヤーの変位を 10  $\mu\text{m}$  以下の精度で検出できるように設計されている。

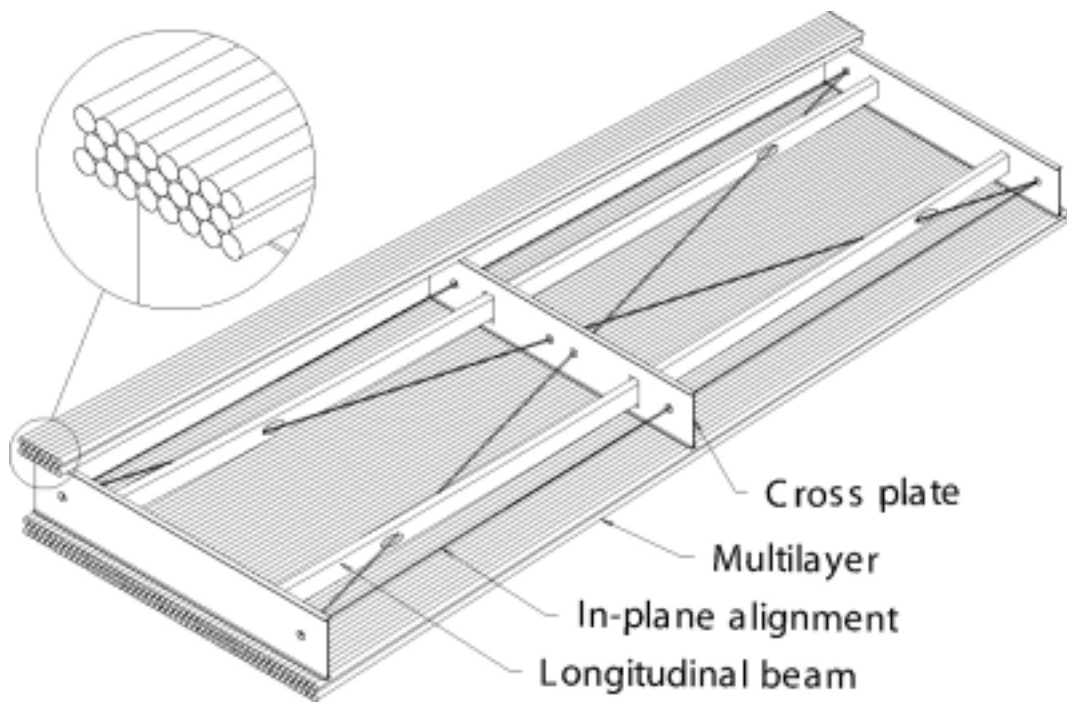


図 2.11 : MDT(Monitored Drift Tube)

### CSC(Cathode Strip Chamber)

図 2.12 に CSC の構造を示す。CSC は、運動量精密測定用のカソード・ストリップ読み出し用 MWPC である。ワイヤーとストリップが垂直に切っており、ワイヤーの間隔が 2.54mm で、ストリップの間隔は 5.08mm である。ドリフト時間は 30ns 以下で、位置分解能は隣接するストリップ間の電荷の重心をとることにより 60  $\mu\text{m}$  になる。CSC は、バックグラウンド放射線の多い高ラビディティ ( $| \eta | \geq 2$ ) 領域に置かれるため、封入するガスとして Ar(30%)/CO<sub>2</sub>(50%)/CF<sub>4</sub>(20%)を用い、バックグラウンド中性子に対する感度を下げている。

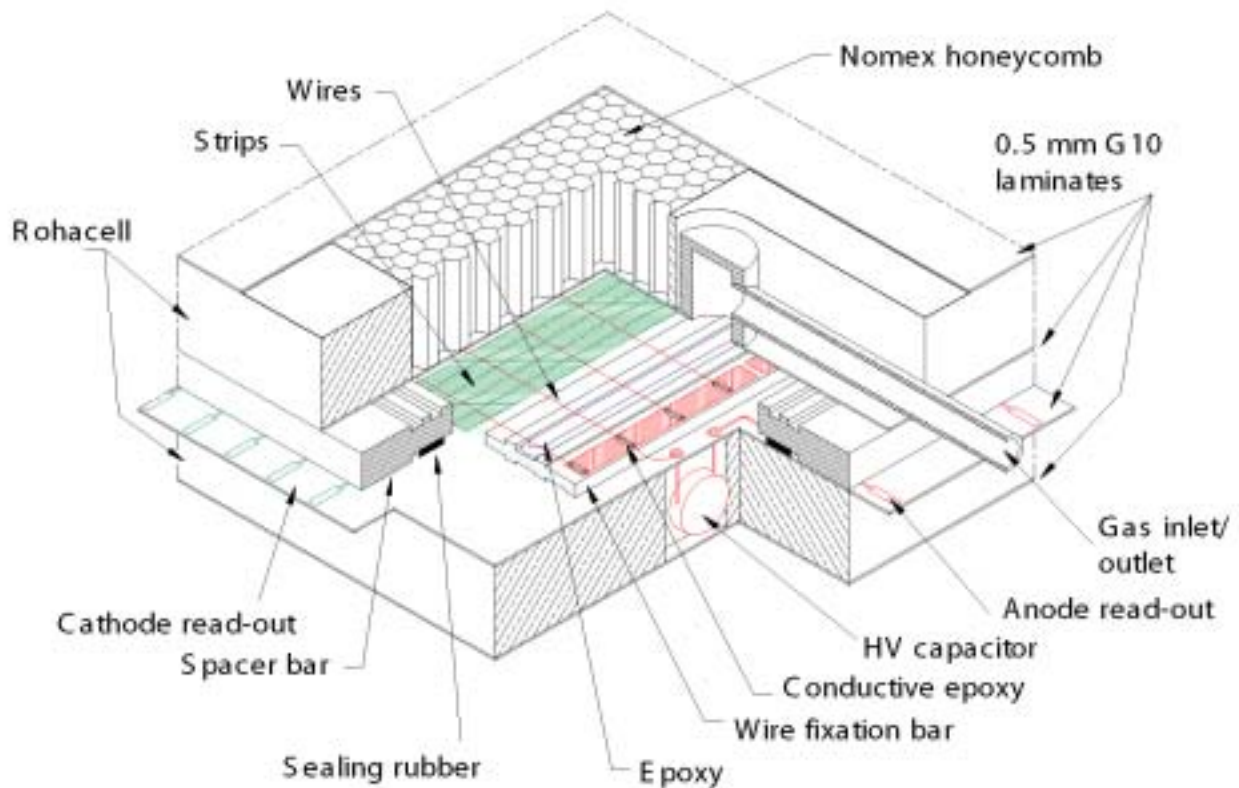


図 2.12 : CSC(Cathode Strip Chamber)

次に、トリガー用検出器である RPC と TGC について説明する。第 1 座標(R-Z)に対して、R-座標系のことを第 2 座標と呼んでいる。トロイダル磁石の磁場の不均一性によりミュオンの曲がる方向は R-Z 方向だけではない。MDT では、第 1 座標(R-Z)の読み出ししか行わないので、RPC と TGC によって第 2 座標(R- )の読み出しが行われる。また、この第 2 座標の情報は、バックグラウンドを効率よく落とすことができるため、トリガー情報として用いられる。

トリガー用検出器はバンチ識別も行う。このバンチ識別を行うためには、LHC のバンチ・クロッシング周期 24.95ns より短い時間分解能が求められる。

### RPC(Resistive Plate Chamber)

図 2.13 に RPC の構造を示す。2 枚の抵抗性ベークライト板の間に不燃性ガス  $C_2H_2F_4$ (97%)/ $C_4H_{10}$ (3%)を封入し、ワイヤーでなくストリップを用いた検出器を 2 層重ねた構造である。ストリップの間隔は 30.0 ~ 39.5mm である。ガス中にできた初期電子を 4.5kV/mm の電場に

よって増幅し、0.5pC のパルスを出力する。| | ≤ 1.0 のバレル部をカバーし、時間分解能は、1.5ns である。

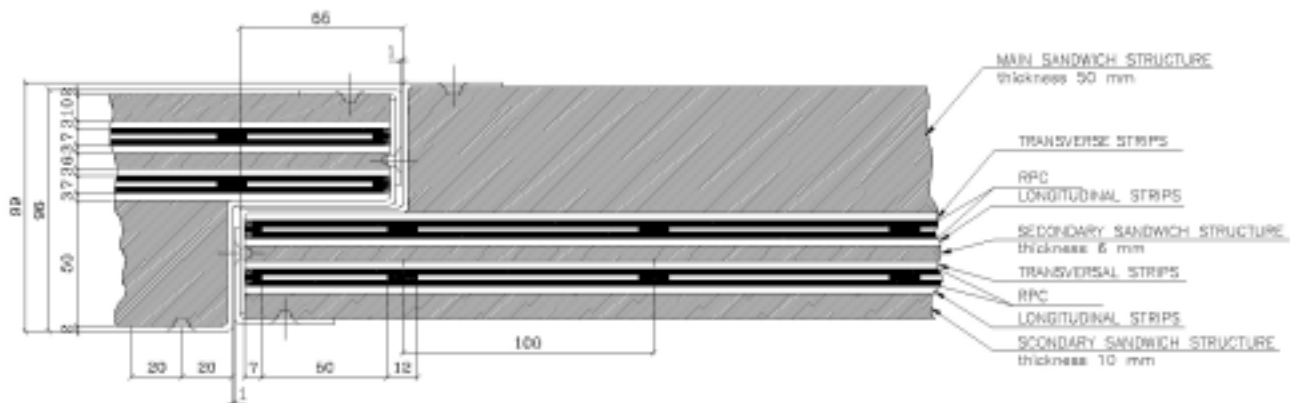


図 2.1 3 : RPC(Resistive Plate Chamber)

### TGC(Thin Gap Chamber)

図 2.1 4 に TGC の構造を示す。TGC は、MWPC の一種で、ワイヤーとカソード面との間隔 (1.4mm) がワイヤー同士の間隔(1.8mm)よりも狭くなっているのが特徴。これによりドリフト時間が短くなり、高い時間分解能を確保しており、25ns のゲート幅で 99%以上の検出効率である。ガスは CO<sub>2</sub>(55%)/n-pentane(45%)を使用する。ガス中のイオン化した電子と陽イオンが再結合した場合、紫外線が発生し、これが再びガスのイオン化を引き起こし放電に至る現象が知られているが、n-pentane を混合することで紫外線を吸収し、放電を防ぐ事ができる(クエンチ効果)。読み出しチャンネルとしては、アノード・ワイヤーを 4 ~ 20 本ずつまとめたワイヤー・グループと、ワイヤーに直行するカソード・ストリップとがある。このような TGC が 2 枚一組になった TGC ダブルレットと、3 枚一組になった TGC トリプレットとがあり、1 < | | < 2.7 のエンド・キャップ部をカバーする(図 2.1 5 参照)。

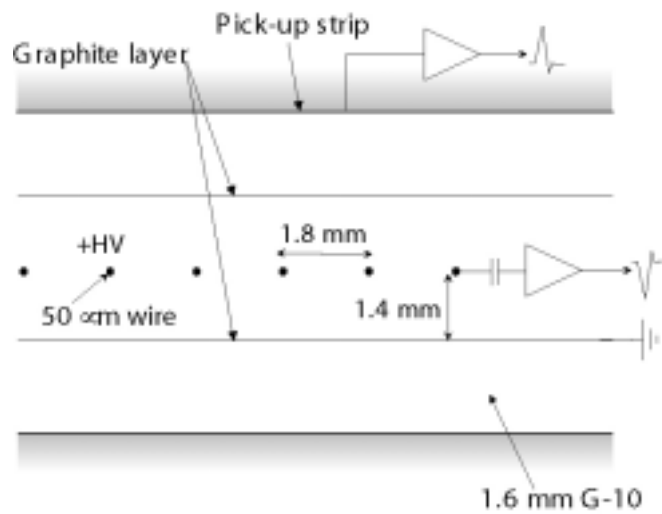


図 2.1 4 : TGC(Thin Gap Chamber)の構造

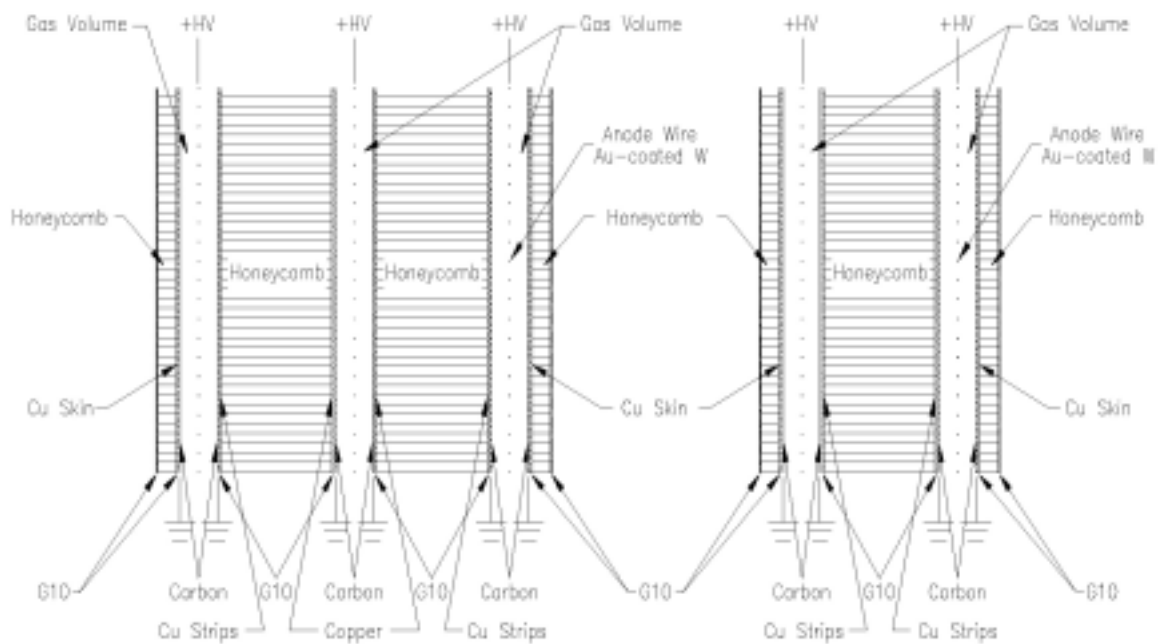


図 2.1 5 : TGC ダブルレットとトリプレット

## 2.2.2.4 マグネット・システム

ATLAS 検出器のマグネット・システムは、中央ソレノイド磁石、バレル部トロイダル磁石、エンド・キャップ部トロイダル磁石からなり、いずれも超電導磁石を使っている。両トロイダル磁石

は、8つのコイルがビーム軸に対し8回対称に配置されている（図2.16参照）。図2.17に各ラビディティにおける、トロイダル磁場の積分磁場強度を示す。トロイダル磁場は方向成分が主だが、磁場の不均一性は避けられないため、R方向成分も存在する（図2.18参照）。

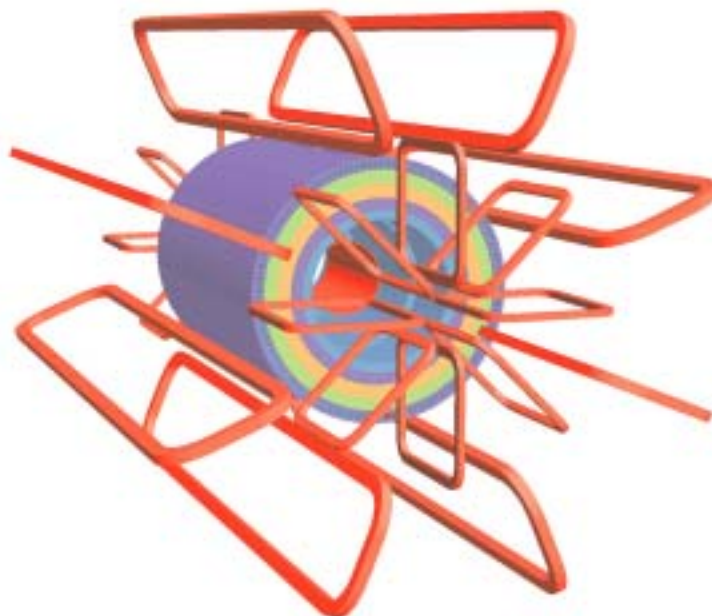


図2.16： マグネット・システム

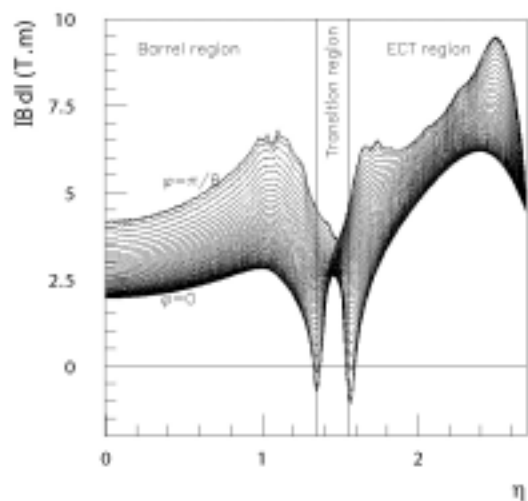


図2.17： 各  $\eta$  での積分磁場強度  
(トロイダル磁場)

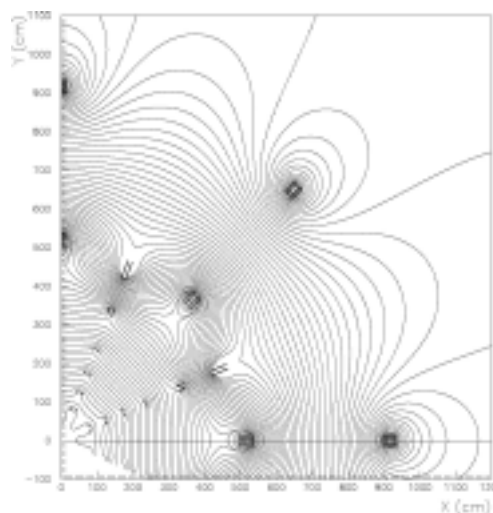


図2.18： トロイダル磁石の磁束 (R-平面)  
Z=10.5m 地点

## 3章 ATLAS トリガー・システムと DAQ

LHC のバンチ・クロッシング・レート  $40.08\text{MHz}$  において、一回のバンチ・クロッシングあたり平均 23 回の陽子陽子衝突が起きると予測される。よって、イベント・レートはおよそ  $1\text{GHz}$  にもなる。ここで重要になるのが、この膨大なイベントの中から物理的に重要なイベントを選び出し、そのイベント・データを効率的かつ正確に取得することである。ATLAS 実験では、レベル 1、レベル 2、イベント・フィルタの 3 段階のトリガー・レベルを経て、段階的にレートを落とし、最終的には  $100\text{Hz}$  程度にすることが求められる。

### 3.1 ATLAS トリガー・システム

#### レベル 1 トリガー

図 3.1 にレベル 1 トリガーの処理の流れを示す。レベル 1 トリガーは、トリガー用ミュオン検出器 (RPC と TGC) からの位置と  $pT$  の情報と、トリガー用カロリメーターからのエネルギーの情報によるトリガーである。このときカロリメーターの位置の精度は落としてある。求められるのは、 $40\text{MHz}$  のイベント・レートを  $75 \sim 100\text{kHz}$  にまで落とすことである。このトリガーは、CTP (Central Trigger Processor) で最終的なトリガー判定が行われ、その情報は TTC (Timing, Trigger and Control distribution system) を経て全ての検出器に分配される。TTC については 3.4 節で述べる。また、この処理は  $2.0\ \mu\text{sec}$  のレイテンシーで行わなければならない。このレイテンシーの間、それぞれの検出器は全てのデータをレベル 1 バッファと呼ばれるパイプライン・メモリに蓄えておく。そしてレベル 1 バッファの中のデータで、レベル 1 アクセプトが与えられたものは、デランダムマイザーと呼ばれる部分に送られ蓄えられる (図 3.2 参照)。デランダムマイザーについては 3.2 節 DAQ のところで述べる。また、レベル 1 トリガーの役割として、バンチ識別を確実にすることも重要な役割である。



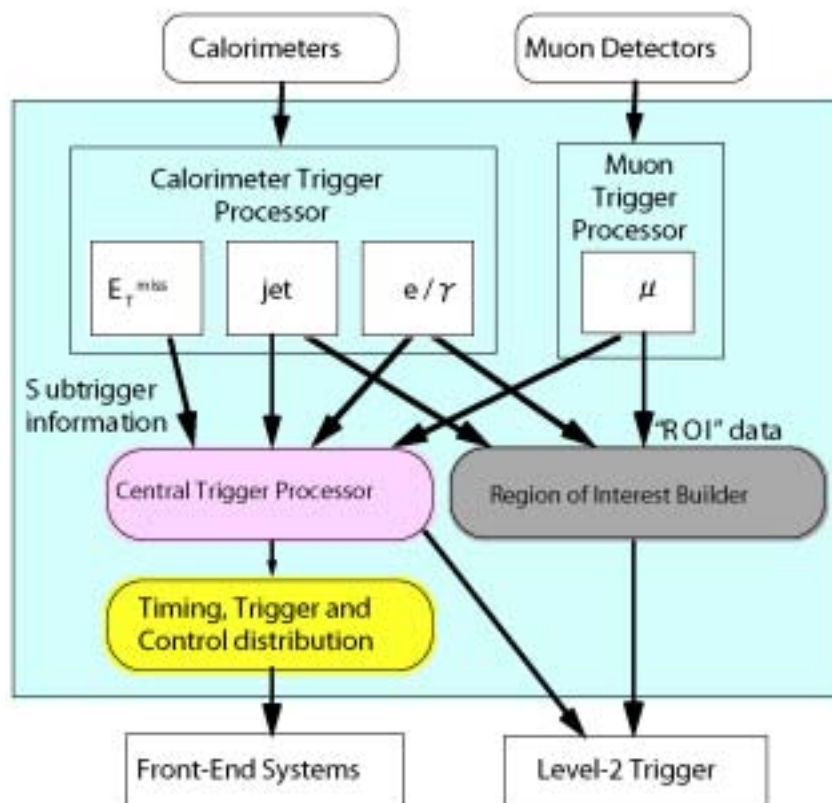


図 3.1 : レベル1トリガーのスキーム

### レベル2トリガー

ミュオン検出器、カロリメータに加え、内部検出器の完全な位置情報を用いたトリガー判定である。また、このトリガー判定は、RoI(Region of Interest)と呼ばれる領域( )からの信号のみを使用する。RoIとは、レベル1トリガーで、電子、フォトン、ジェット、ミュオンが High pT となった重要な粒子を含む領域である。RoIのみを用いることで効率のよい処理ができる。

レベル1トリガーでは、検出器系で独立に判定が行われたが、レベル2トリガーでは、各検出器系からの情報を組み合わせて判定を行う。例えばミュオンだと、RPC、TGC だけでなく、MDT の情報も加わることで横運動量 pT の測定の精度が上がる。また、カロリメータからの情報を加えることで、ミュオンの Isolation を判定することができる。

レベル2トリガーのレイテンシーは最大 10msec で、レートは約 1kHz まで落とされ、レベル2 アクセプトが与えられたデータはイベント・ビルダを介して次の段階へと進む。

### イベント・フィルタ

各検出器からの完全な情報を用いたオンライン最後のトリガー判定である。通常のアフラインのアルゴリズムや手法をオンラインに適用している。判定のレイテンシーは 1sec で、レートは 100Hz まで落とされる。

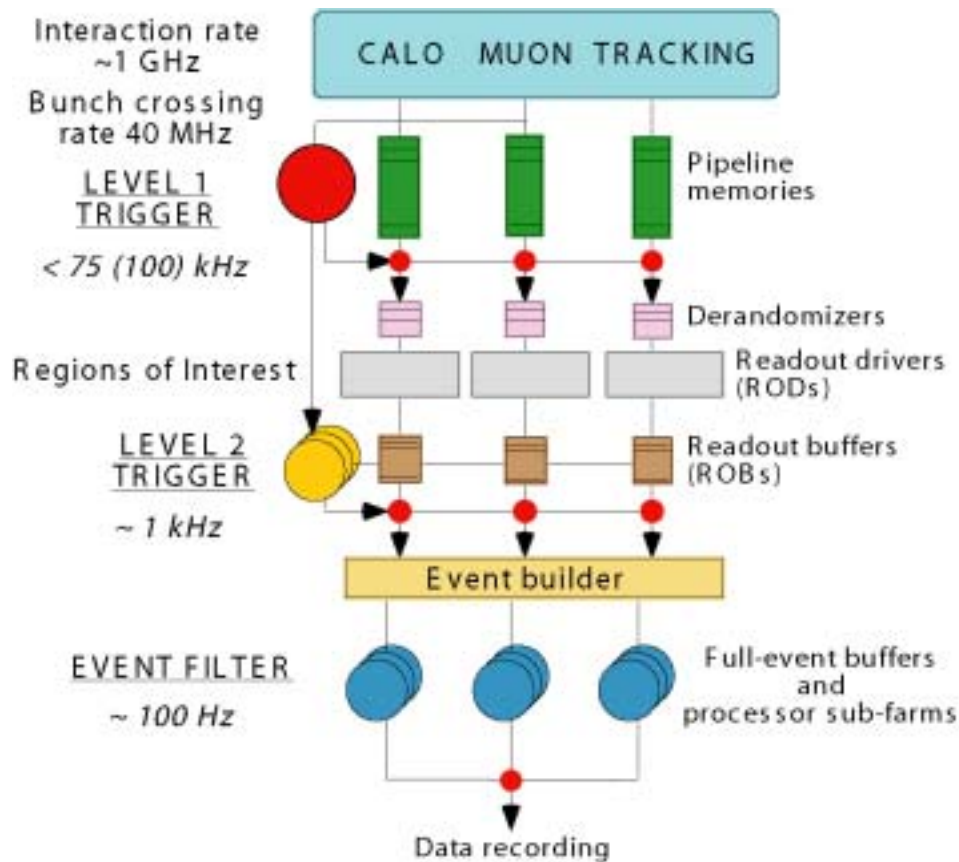


図 3.2 : ATLAS 実験トリガー・システム及び DAQ のスキーム

### 3.2 DAQ(Data Acquisition)

1 イベント当たり平均 1Mbyte の容量を持ち、イベント・レート 1GHz という膨大な量のデータは、3 段階のトリガー判定を経て、最終的に 100Hz まで削減される。またデータ取得の際に、各イベントに対して ID 付けを行い、イベントの特定を行う。

図 3.2 にトリガー及び DAQ システムの流れを示した。検出器からの信号は、まず各検出器ごとにあるレベル 1 バッファと呼ばれるパイプラインメモリーに蓄えられ、レベル 1 トリガー判定 (レベル 1 アクセプト=L1A) が下されるのを待つ。この間、少なくとも  $2.5 \mu\text{sec}(2.0+0.5(\text{margin}) \mu\text{sec})$  の間データを保持していなければならない。L1A が与えられたバンチに対応するデータはデランダムマイザーと呼ばれる一種の FIFO に送られる。L1A は不規則に与えられるため、レベル 1 バッファから送られてくるデータも不規則である。デランダムマイザーは、この不規則にやってくるデータを一時的に蓄え、ROD(Read Out Driver)で読み出されるのを待つ。デランダムマイザーから ROD へ送られるときデータは圧縮される。また、バンチ・クロッシング・カウンター、L1A カウンターの値が、バンチ・クロッシング ID、レベル 1 ID としてデータに付加される。ROD では、集めたデータ

をイベントごとに整理し、最終的なデータ形式にフォーマットする。また、データに付加されたバンチ・クロッシング ID とレベル 1 ID を、TTC ( 3.4 節参照 ) から送られてくるバンチ・クロッシング・ナンバー、イベント・ナンバーと比較しチェックする。ROD でフォーマットされたデータは、ROB(Read Out Buffer)に送られ、レベル 2 トリガーが与えられるまでデータを保持する。ROB でもバンチ・クロッシング ID とレベル 1 ID のチェックが行われる。レベル 2 トリガーが与えられると ROB のデータは、イベント・ビルダーを介してイベント・フィルタへと送られる。イベント・フィルタの処理によってイベントが選択されると、レートは 100Hz 程度になる。よって、1 イベント当たり平均 1Mbyte のデータ容量であるので、毎秒 100Mbyte 程度のデータを記録することになる。

### 3.3 DCS(Detector Control System)

ATLAS 実験では、実験中は放射線レベルが高いため、各検出器の制御・保守を行うために DCS(Detector Control System)を導入する。DCS は、検出器の運転に必要なパラメータの設定、電源系統の監視、ガス系統の流量や圧力の監視、温度測定などを行うことができる。

### 3.4 TTC(Timing , Trigger and Control)[3]

TTC は、ATLAS 検出器全体の各エレクトロニクスに対して、LHC の 40.08MHz のクロックや CTP からのトリガー信号 ( L1A )、その他の制御信号などを分配するシステムである。これらの信号はエンコードされてからオプティカル・シグナルとして 1000 以上の各検出器に分配される。各検出器の近くには TTCrx と呼ばれるモジュールが設置されており、TTCrx がオプティカル・シグナルを受信、デコードしたのち検出器へ信号を供給する。TTC から送られる主な信号を挙げる。

- ・ 40.08MHz のクロック ( LHC クロック )  
各エレクトロニクスをバンチに同期させて動作させるためのクロック。
- ・ レベル 1 アクセプト ( L1A )  
レベル 1 トリガー情報
- ・ バンチ・クロッシング・カウンター・リセット ( BCR )  
バンチ・クロッシングを数えるカウンターをリセットする。
- ・ イベント・カウンター・リセット ( ECR )  
イベントを数えるカウンターをリセットする。
- ・ バンチ・クロッシング・ナンバー ( 12bit )  
ROD、ROB でのバンチ・クロッシング ID のチェック用
- ・ イベント・ナンバー ( 24bit )  
ROD、ROB でのレベル 1 ID のチェック用

## 4章 TGC ミューオン・トリガー・システム

### 4.1 TGC の構造

トリガー用ミューオン検出器は、バレル部の RPC とエンド・キャップ部の TGC から構成されるが、ここでは、TGC について詳しく議論する。TGC は 1 台が 1m ~ 2m の台形状の検出器で、これを円形状に配置する（図 4.1 参照）。

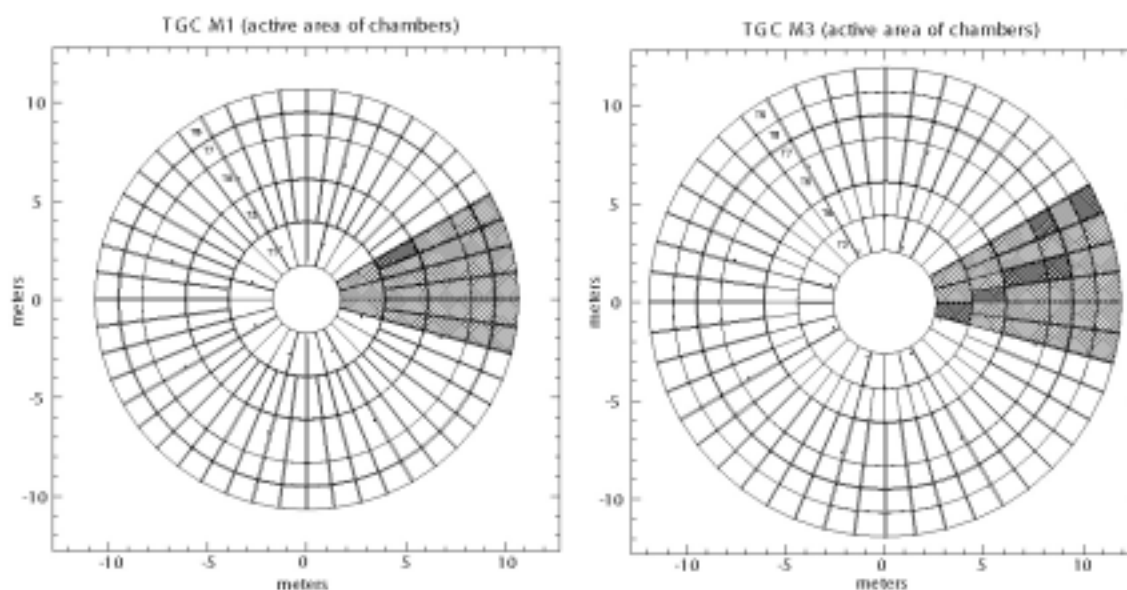


図 4.1 : TGC R- 平面図

左:Triplet, 右:Pivot Doublet。図中の小さなセルが 1 枚の TGC を示しており、その形の違いから数種類の TGC が用意されている。灰色の部分は 1 つのオクタンツを示す。

TGC は外側から順に、2 層構造のダブルット(M2,M3 : 内側の M2 をミドル、外側の M3 をピボットという)、3 層構造のトリプレット(M1)及び、2 層構造でトロイダル磁石より内側に配置される EI(Endcap Inner)/FI(Forward Inner)がある（図 4.2 参照）。TGC は、 $1 < |y| < 2.7$  の領域をカバーし、 $|y| < 1.9$  の領域をエンド・キャップ、 $|y| > 1.9$  の領域をフォワードと呼ぶ。また、EI はトロイダル磁石と一部交差する位置にあるので、この部分を除いた 方向の 70% をカバーする。

TGC は MWPC の一種で、ワイヤーとカソード面との間隔(1.4mm)がワイヤー同士の間隔(1.8m)よりも狭くなっているのが特徴である。4 ~ 20 本一組のワイヤー・グループにより R 方向の位置を、ストリップにより 方向の位置を検出することで、2 次元の位置検出が可能である。ダブルッ

トはワイヤー、ストリップ共に2層分読み出すが、トリプレットは3層分読み出すのはワイヤーのみで、ストリップは2層分だけ読み出す。

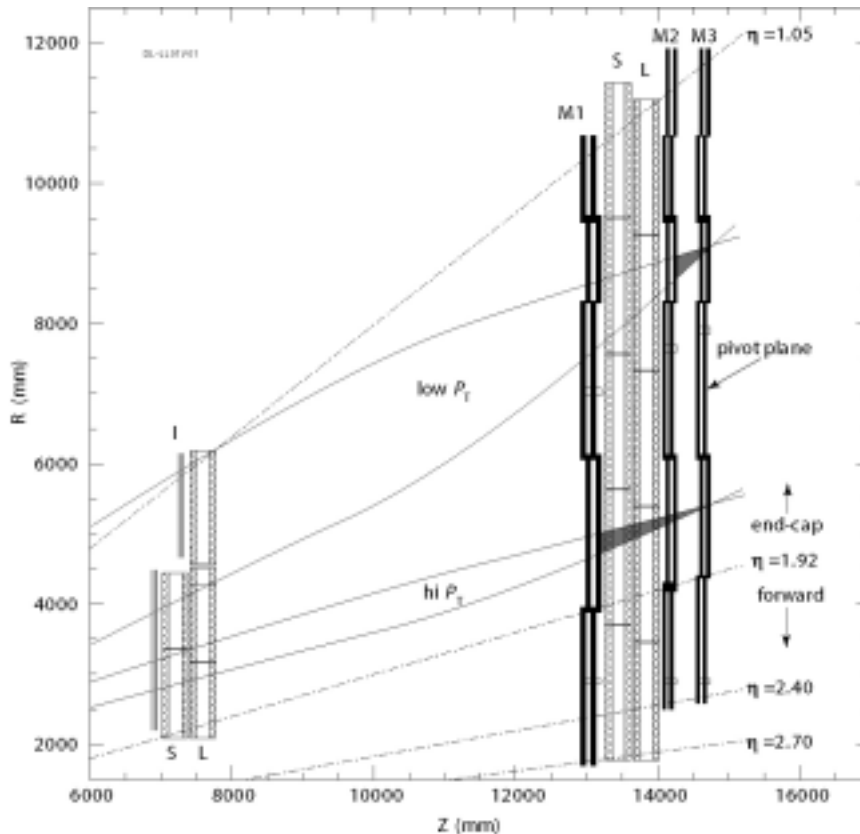


図 4.2 : TGC の配置 R-Z 平面図

M1:Triplet, M2:Middle Doublet, M3:Pivot Doublet, I:EI/FI。 S,L は、MDT

図 4.3 にピボット・ダブルットの1つのオクタント(TGC を 方向に8等分したものを)を示す。オクタントのエンド・キャップ部( $|\eta| < 1.9$ )を 方向に6等分した領域と、フォワード部( $|\eta| > 1.9$ )を 方向に3等分した領域をトリガー・セクターと呼ぶ。トリガー・セクターの 方向の幅がTGC 1枚の幅と一致する。トリガー・セクターはさらに分割される。エンド・キャップ部ではR方向に37分割、 方向に4分割し、フォワード部ではR方向に16分割、 方向に4分割する。その分割した1つひとつをサブセクターといい、1つのサブセクターは8ワイヤー・グループ、8ストリップをカバーする。サブセクターは、トリガー処理の最小単位であり、1つのRoIでもある。

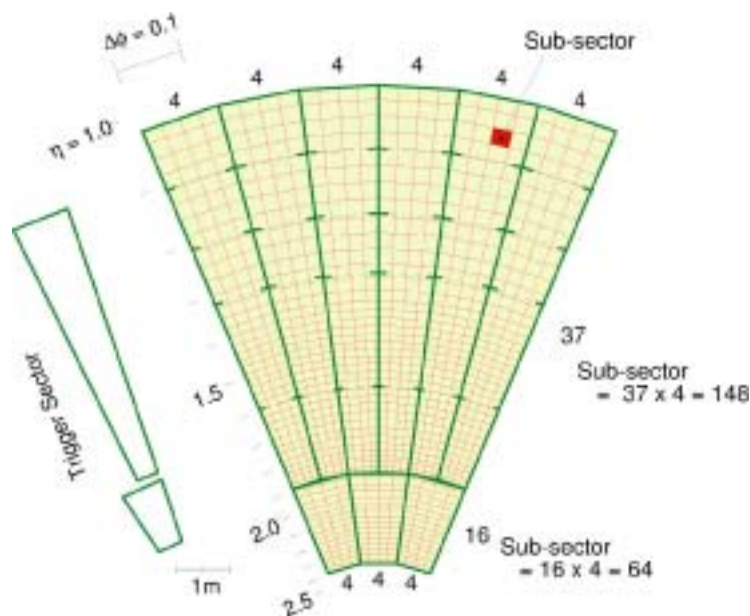


図 4.3 : TGC オクタントの分割

TGC は多層構造になっており、ミュオンが TGC を通過すると各層で信号が発生する。いくつかの層が同時に信号を出した場合、そこをミュオンが通過した可能性が高いといえる。このような信号の同時性を特に、コインシデンスと呼んでいる。

TGC は、その 2 層構造、3 層構造を利用し、各層のコインシデンスをとることによってバックグラウンドを落とし、ビーム衝突点付近からのミュオンのみを取り出され、位置が求められる。具体的には、ミドル、ピボットの両ダブレット間ではワイヤー、ストリップ共に 3 out-of 4 のコインシデンス(4 層の内 3 層にヒットあり)がとられる。トリプレットではワイヤーが 2 out-of 3、ストリップが 1 out-of 2 である。EI/FI はワイヤー、ストリップともに 1 out-of 2 である。

このようにして求められた各検出器での位置を用いて、ミュオンの  $p_T$  を測定する。トリガーには、 $p_T$  に関する閾値が 2 つあり、その閾値によって、Low- $p_T$ 、High- $p_T$  の 2 つに分けられる。閾値としては、Low- $p_T$  は 6GeV 以上、High- $p_T$  は 20GeV 以上のミュオンの  $p_T$  を判定する。

図 4.4 に TGC によるミュオンの  $p_T$  の測定方法を図示した。ビーム衝突点から飛んでくるミュオンは、トロイダル磁場を通過することによって曲げられ、各 TGC を通過する。ミュオンの  $p_T$  の大きさに従って異なるこの曲がり方の度合いを検出することで、 $p_T$  を測定することができる。まず、最も外側に設置されたピボット・ダブレットのミュオンが通過した位置を基準にして考え、この点とビームの衝突点とを結んだ直線を Infinite Momentum Line という。このラインは、ミュオンの  $p_T$  が無限大であった場合、ミュオンが磁場にほとんど影響されることなく、直線的に飛散するために描かれる仮想のトラックである。この Infinite Momentum Line とミドル・ダブレットとトリプレットが交差する点と、実際のミュオンが通過した点の R- 平面上での差、

R、 $\phi$  を求めることでミュオン・トラックの曲がり具合を検出する。ミドル・ダブレットとトリプレットでは、それぞれ R、 $\phi$  の上限が設定されており、上限の R- $\phi$  で形作られる領域をウインドウという。ミドル・ダブレットのウインドウを  $pT \approx 6\text{GeV}$  のミュオンが通過する確率は 90% で、ここを通過したミュオンは Low-pT のトリガー判定が下される。トリプレットのウインドウを  $pT \approx 20\text{GeV}$  のミュオンが通過する確率も 90% で、ここを通過したミュオンは High-pT のトリガー判定が下される。一方、トロイダル磁石より内側に設置される EI/FI からの情報は、Slave Board ASIC を経由して Sector Logic に送られた後、衝突点以外から飛来したミュオンをバックグラウンドとして排除するために用いられる。

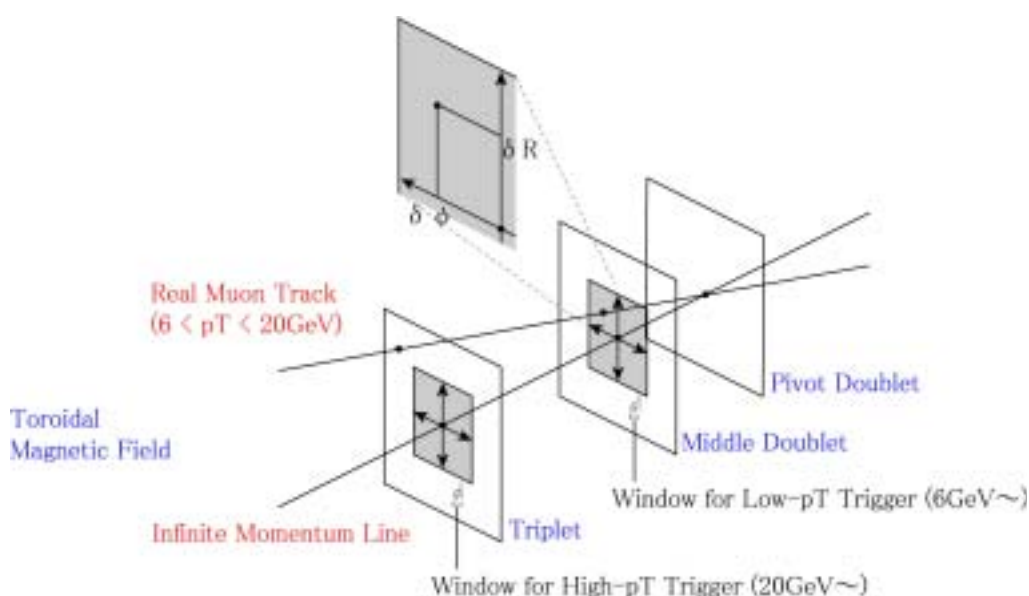


図 4.4 : TGC によるミュオンの pT の測定方法

ミュオンが TGC を通過すると、封入したガスがイオン化し、電子がアノード・ワイヤーまでドリフトして信号が得られる。このワイヤー間のミュオンが通過する位置や、入射する角度の違いによってドリフト時間に差ができ、ミュオンが通過してから信号が得られるまでの時間はミュオンごとに異なる。この時間のばらつきを TGC のタイム・ジッターといい、バンチ識別の際に重要な問題になってくる。図 4.5 は、TGC に  $3\text{GeV}$  の  $pT$  を角度を変えて入射させた際に得られた信号を、その到達時間に従って分布させたグラフである。最も早く到達する信号から  $25\text{ns}$  以内に来た信号であれば、バンチの同定は可能である。グラフでは、最も早く到達する信号は  $115\text{ns}$  である。ここから  $25\text{ns}$  以内、つまり  $140\text{ns}$  以前に信号が到達すれば、同バンチであると同定できる。グラフでは、 $115\text{ns}$  から  $140\text{ns}$  の間に到達した信号は全体の約 99% となっている。

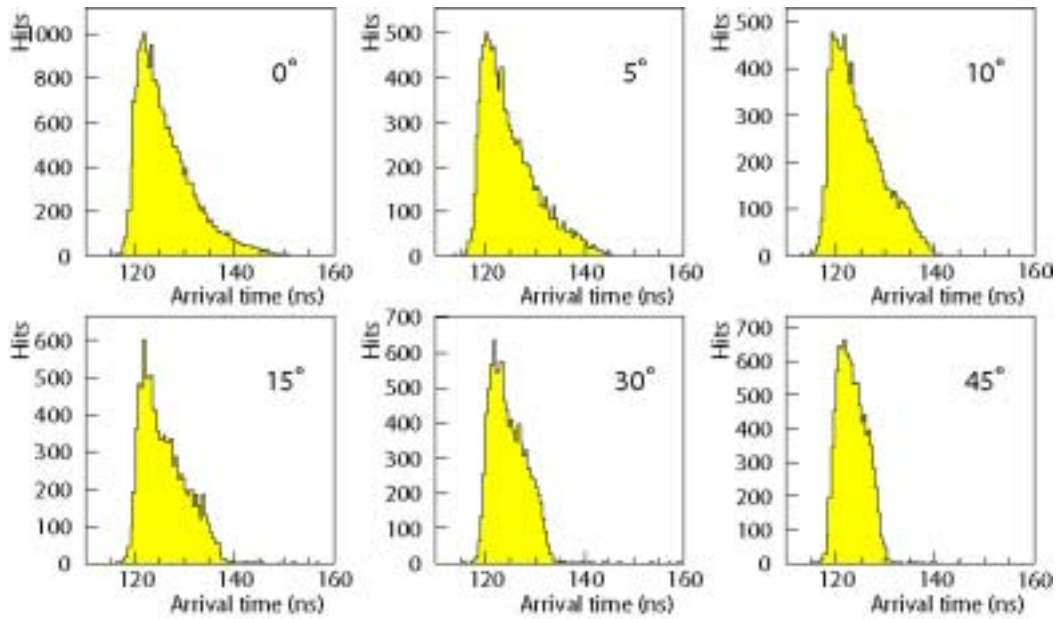


図 4.5 : TGC のタイム・ジッター

## 4.2 TGC ミューオン・トリガー/DAQ のエレクトロニクス

ここでは、TGC ミューオン・トリガー及び DAQ のためのエレクトロニクスの流れを説明する( 図 4.6 参照 )。まず、トリガーの流れとしては、ASD(Amplifier Shaper Discriminator) Board、Patch Panel ASIC、Slave Board ASIC、High-pT Board、Sector Logic の順に信号が処理される。TGC で発生した信号が ASD Board に送られ、信号の増幅、整形が行われる。ASD Board からの出力は LVDS(Low Voltage Differential Signal)レベルで Patch Panel ASIC に送られ、タイミングの調整とパンチ識別が行われる。次に、Slave Board ASIC では、ミューオントラックのピボット・ダブレット、トリプレットにおける位置、EI/FI でのヒットの有無を求める。そして 6GeV 以上の pT を持つミューオンに対しては、トロイダル磁場による起動の曲がりを利用してその pT を測定し、Low-pT のトリガー判定が行われる。High-pT Board では、Slave Board ASIC で測定したダブレット、トリプレットでの位置をもとに、20GeV 以上の pT を持つミューオンの pT を測定し、High-pT トリガー判定が行われる。ここまでの処理では、Wire(R 方向検出)と、Strip( 方向検出)の信号は、独立に扱われてくるが、Sector Logic で、Wire と Strip の信号のコインシデンスがとられる(R-Coincidence)。Sector Logic の結果は、MUCTPI(Muon CTP Interface)に送られ、RPC の情報とあわせてミューオンの最終的な判断が下され、CTP に送られる。



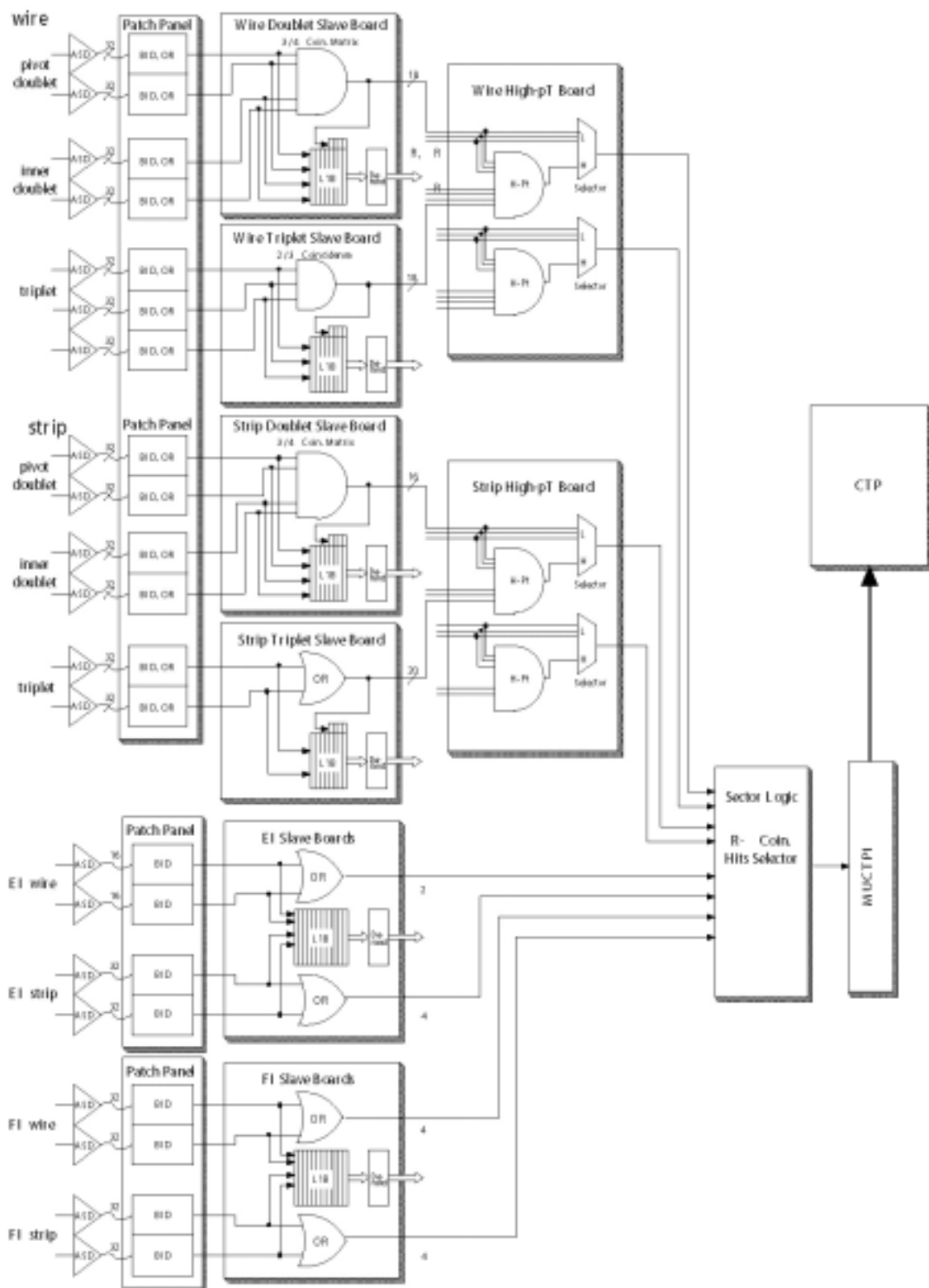


図 4.6 : TGC トリガーエレクトロニクスの流れ

DAQ 部分としては、Slave Board ASIC にレベル 1 バッファ、デランダムマイザーが搭載されている。

DAQでは、ローカルなデータ収集装置として Star Switch がある (図 4.7 参照)。まずレベル 1 アクセプトが与えられるまで、データを保持しておくレベル 1 バッファと、アクセプトされたデータがコピーされるデランダムマイザーが Slave Board ASIC 内に用意されており (図 4.6)、デランダムマイザーのデータは Star Switch に送られる。Star Switch ではデータの圧縮、ヘッダーやフッターの書式付けを行う。その後データは Local DAQ Master (インテリジェント IO プロセッサ) を介し、ROD に送られる。

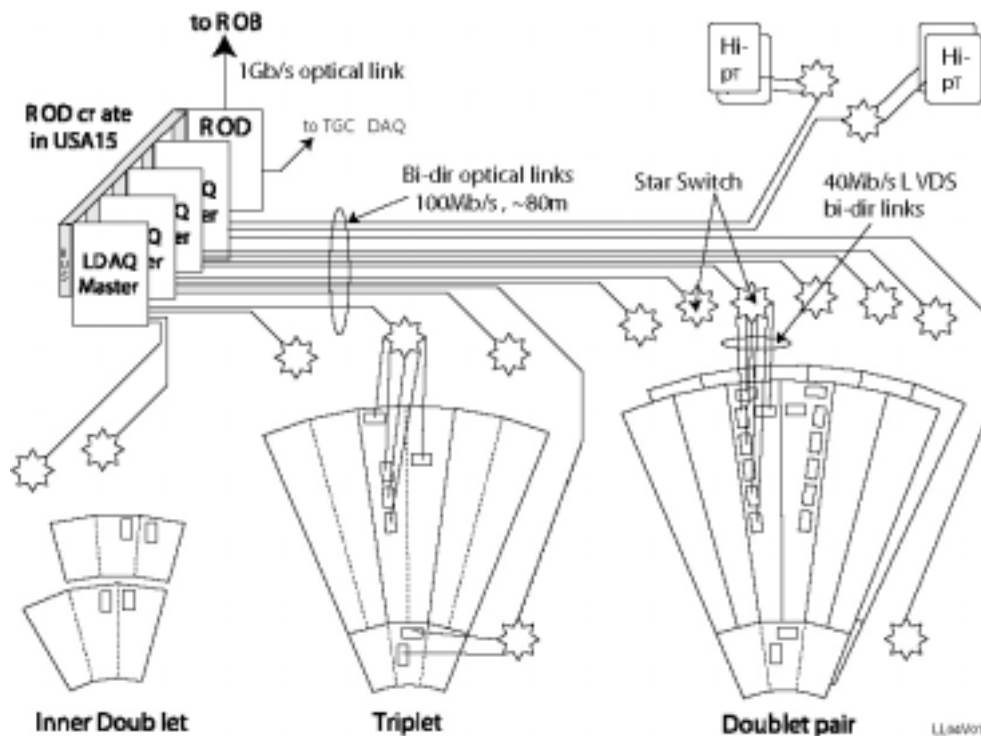


図 4.7 : DAQ エレクトロニクスの流れ (デランダムマイザー以降)

これらの TGC ミューオン・トリガー/DAQ エレクトロニクスの配置を図 4.8 に示す。図中の USA15 は、ATLAS 検出器が設置される空間で、実験時は放射線環境下となる。図中 USA15 は、カウンター・ルームとして、放射線環境下から隔離されている。High-pT board と Sector Logic、Star Switch と Local DAQ Master 間のデータ転送は、90m から 100m のオプティカルケーブルを用いて行われる。

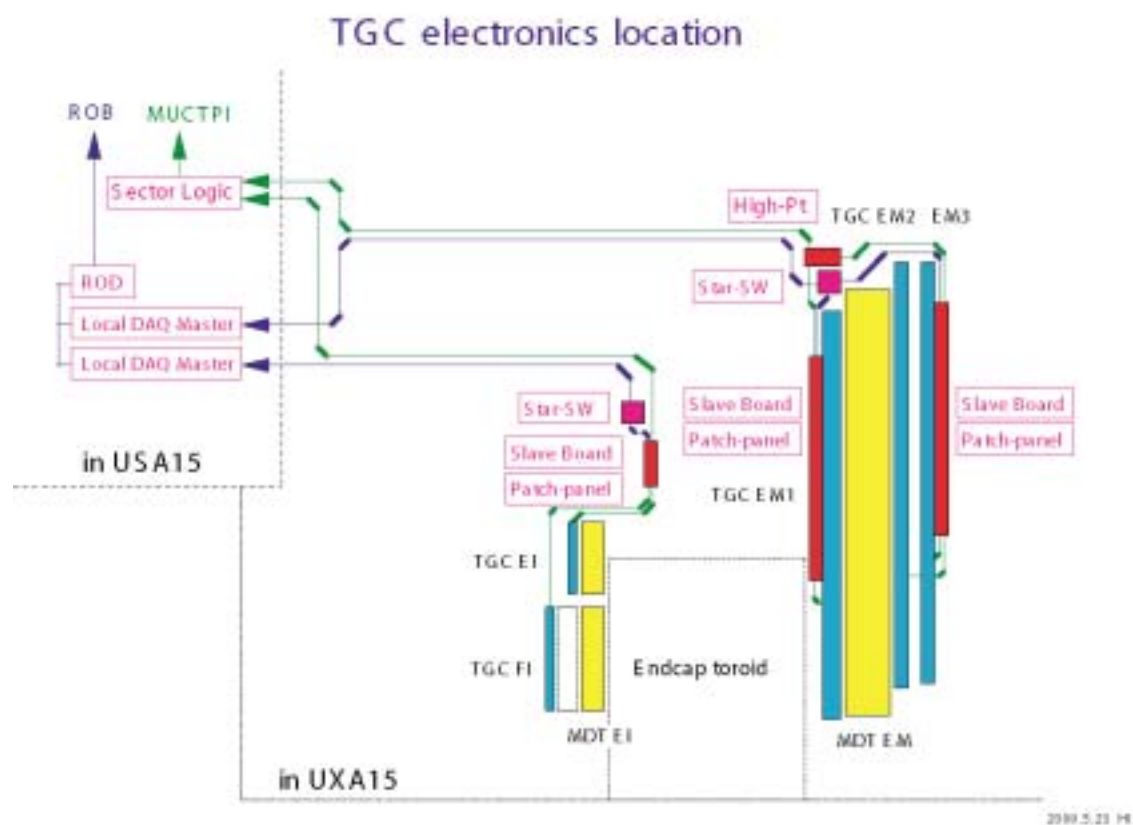


図 4.8 : TGC トリガーエレクトロニクスの配置

#### 4.2.1 ASD(Amplifier Shaper Discriminator) board[4]

ASD board は、チェンバーからのアナログ信号を受け、増幅、整形を行い、これを LVDS(Low Voltage Differential Signal)[5]レベルで Patch Panel に送る。この際の閾値電圧や、動作電源は、次節で説明する PS パックから供給される。ASD board には、4 チャンネル分を信号を処理する ASD チップが 4 つ搭載されており、ボード 1 つでは 16 チャンネルを扱う。また ASD board は、回路系の診断のためのテスト信号を出す機能を持っており、このテスト信号のトリガーは Patch Panel から送られる。図 4.9 は、ASD board の写真。

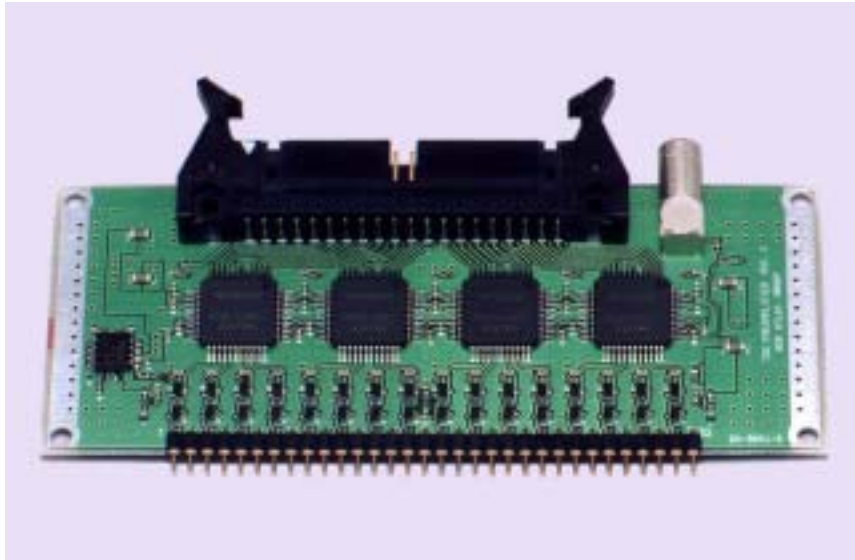


図 4.9 : ASD Board

## 4.2.2 Patch Panel ASIC

Patch Panel ASIC は、次節に説明する Slave Board ASIC と共に PS パックと呼ばれるモジュールに搭載される。PS パックは、ダブレット、トリプレットの TGC ホイールの側面に設置される。

Patch Panel ASIC は、ASD board から送られてくる非同期の LVDS 信号を受け、タイミングの調整、バンチ識別を行う回路である。TGC の総チャンネル数は 32 万チャンネルにも及び、ビームが衝突してからミュオンが TGC を通過し、信号が最初のトリガー判定回路に到達するまでには各チャンネル間でタイミングのずれが生じる。Patch Panel ASIC では、搭載した LVDS レシーバーで ASD からの信号を受けると、まず Variable Delay 回路によって 0ns から 25ns までの範囲でディレイをかける。この精度は 1ns 以下である。次に BCID (バンチ・クロッシング ID) 回路でバンチ識別が行われる。ここで、TTC から供給されるクロックと同期がとられ、バンチが特定される。また、Variable Delay によって設定したディレイの値が、電源電圧の揺らぎの影響によって変化するのを防ぐための工夫がされている。Patch Panel ASIC については後ほど詳しく述べる。

## 4.2.3 Slave Board ASIC

Slave Board ASIC は、Patch Panel ASIC と同様に PS パックに搭載される。Slave Board ASIC は、大きく分けてトリガー部とリードアウト部との 2 つからなる。

トリガー部は、対象とする TGC のタイプによって異なる機能が必要となる。従って、設定によって次の 5 つのトリガー・ファンクション・タイプの中から 1 つを選択して使用する。5 つとは、ダブレット Wire、ダブレット Strip、トリプレット Wire、トリプレット Strip、EI/FI である。ダ

ダブレットでは、ピボットとミドルを合わせた計4層を利用し、4 out-of 3のコインシデンスをとる。つまり、R または の座標上のある位置で、4層の内3層以上から信号が送られてきたら、ミュオンがその位置を通過したと見なす。また、ミュオンはトロイダル磁場によって曲げられ、 $pT$ が低いほどその曲がり具合が大きくなる。したがって実際のミュオン・トラックは、ピボット・ダブレット上の通過位置とビーム衝突点とを直線で結んだ、Infinite Momentum Line からずれる。このずれは、実際のミュオン・トラックと Infinite Momentum Line のピボット上の交点を一致させて考えると、ミドル上の交点の差となって現れる。この差を求めることによりミュオンの  $pT$  を測定する。この方法では、6GeV以上のミュオンの  $pT$  が測定され、Low- $pT$  トリガー判定となる。一方、トリプレットでは位置のみを求め、Wire は 3 out-of 2 のコインシデンスが、Strip では 2 out-of 1 のコインシデンスがとられる。EI/FI ではヒットの有無の情報だけがとられる。この Slave Board ASIC トリガー部については後ほど詳しく述べる。

リードアウト部は、主にレベル1バッファとデランダムマイザーからなる。レベル1バッファは、幅 212bit、深さ 128 段のシフトレジスタで、一通りのトリガー判定を終えて CTP からレベル1アクセプトが与えられるまでの間、データを保持している。レベル1バッファに蓄えられるデータは、Slave Board ASIC への入力データ 160bit、Slave Board ASIC トリガー部の出力 40bit、バンチ・カウンターの値 12bit の計 212bit で、全バンチのデータを保持しておく。やがて、特定のバンチに対してレベル1トリガー判定が下されると、CTP からレベル1アクセプトが与えられる。そして、アクセプトされたバンチ自身と1つ前のバンチと1つ後のバンチの、3バンチ分のデータがデランダムマイザーにコピーされる。このとき、イベント・カウンターの値 4bit が3バンチそれぞれに付け加えられる。デランダムマイザーにコピーされるとすぐに、この3バンチ分のデータは別々のPSC(Parallel to Serial Converter)にロードされ、スタートビット、ストップビットを加えた 218bit のストリームとしてそれぞれ出力される。また同時に、同じPSCがもう1つ用意されており、チップID、トリガー・ファンクション・タイプ、デランダムマイザーのオーバーフロー・カウンターの値をシリアル・データとして出力する。

#### 4.2.4 High- $pT$ board

High- $pT$  board と Star Switch は、図 4.8 で示される通り、共に TGC ホイールの端に設置される。この部分には HSC(High- $pT$  Star Switch Crate)と呼ばれる VME クレートがあり、これに収められる。High- $pT$  board には、エンドキャップ Wire 用、エンドキャップ Strip 用、フォワード用の3種類がある。

Slave board ASIC で求められた位置及び  $pT$  の情報は、エンコードされた後、LVDS シリアライザーによってシリアライズされ、LVDS レベルで High- $pT$  board に送られる。

各 High- $pT$  board は、ダブレットとトリプレット両方の位置情報をもとに、ミュオンの  $pT$  を測定する。ピボット、ミドルの両ダブレット間の Z 軸方向の距離が約 500mm であるのに対し、ピボット・ダブレット、トリプレット間の距離は約 1600mm と大きいので、より曲率の小さいミュオン

オン・トラックの  $pT$  を測定することができる。このようにして、High- $pT$  board では、20GeV 以上のミューオンであった場合、High- $pT$  トリガー判定を下して、位置情報と共に新たに測定した  $pT$  情報を Sector Logic へと送る。20GeV 以下であった場合は、Slave Board ASIC の Low- $pT$  データを Sector Logic へ送る。送信データのフォーマットは、エンコードされた  $pT$  情報と、High- $pT$  が Low- $pT$  かを示すフラグと、ポジション情報である。図 4.10 は、High- $pT$  board の写真。

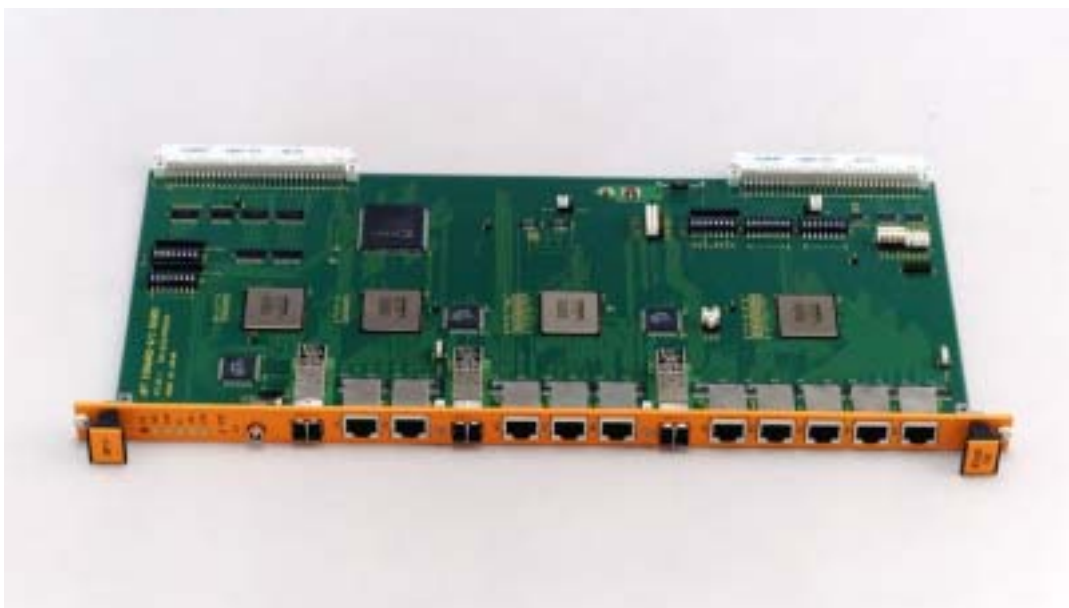


図 4.10 : High- $pT$  board (Forward)

### 4.2.5 Sector Logic[6]

Sector Logic は、USA15 と呼ばれるカウンター・ルームに設置され、ATLAS 検出器が置かれる空間から隔離されている。High- $pT$  Board から Sector Logic までは 90m ~ 100m もあり、データは G-Link[7]ベースのオプティカル・ケーブルで送信される。

Sector Logic では、今まで独立に処理されてきた R 方向、 $\phi$  方向のデータ間でのコインシデンスがとられる。Sector Logic は、R- コインシデンス、EI/FI コインシデンス、トラック・プリセクター、トラック・セクターから構成される。R- コインシデンスでは、High- $pT$  Board からの R と  $\phi$  の両方向からのデータを元にヒットのあるサブセクターを特定し、 $pT$  を構築する。そして Low- $pT$ 、High- $pT$  の両方に対して 3 段階の閾値を与えて  $pT$  判定を行い、計 6 段階の  $pT$  に分類する。この閾値であるが、Low- $pT$  の最低閾値が 6GeV、High- $pT$  の最低閾値が 20GeV であることが決まっているのみで、残りの閾値は実験中に自由に変えられることが求められる。このため、閾値は書き換え可能なルック・アップ・テーブルによって与えられる。次に、EI/FI からの情報とコインシデンスをとることで、ビーム衝突点以外からのフェイク・ヒットを排除する。トラック・プリセクターは、6 段階の  $pT$  判定のそれぞれに用意され、1 つのトリガー・セクター内で同レベル

の pT 判定をされたトラックの内 2 つを選択する。選択の方法は、入力にあらかじめ優先順位をつけておく。例えば R 方向の場合、 の小さい方が優先される。最後に、トラック・セクターには 6 つのプリセクターから最大で 12 個のトラック情報が送られてくる。トラック・セクターは、この内 pT の高いものを 2 つ選ぶ。そして、6 段階の pT 判定と位置情報を MUCTPI に送る。

Sector Logic は、USA15 に設置されるため放射線の影響を心配する必要はない。よってこれらの機能は FPGA によって実現され、ルック・アップ・テーブルには SRAM が用いられる。また、Sector Logic はレベル 1 バッファ、デランダムマイザーを搭載しており、High-pT Board からの出力データと Sector Logic からの出力データを読み出すことができる。図 4.11 は、Sector Logic の写真。

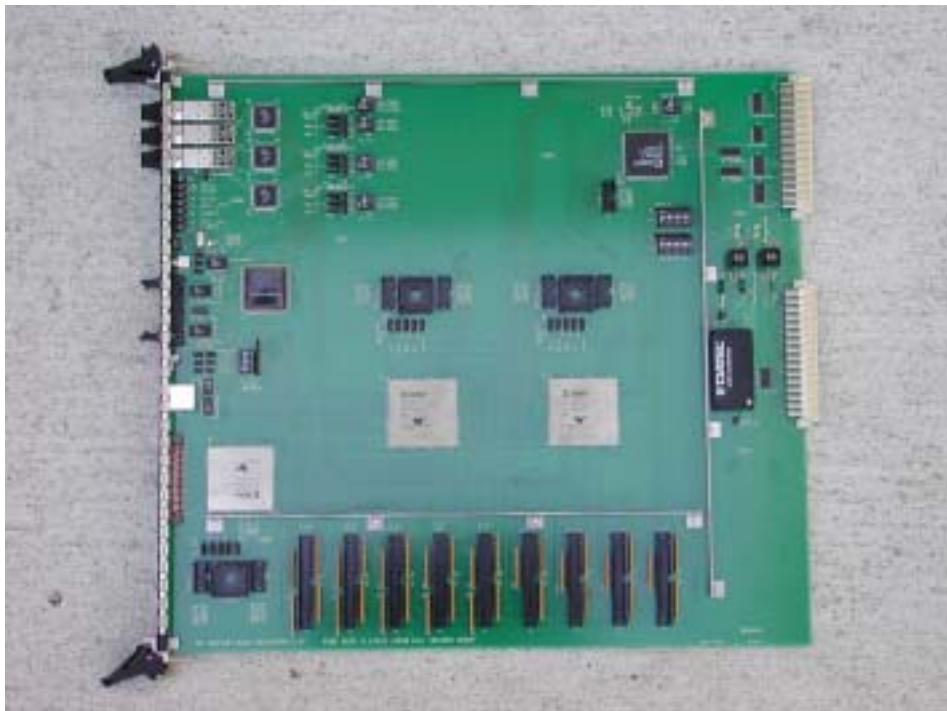


図 4.11 : Sector Logic

## 4.2.6 Star Switch

Star Switch は、High-pT Board と共に HSC に収められる。Star Switch は、ローカルなデータ収集装置として Slave Board ASIC のリードアウト部からの出力を読み出す。このデータは、LVDS シリアライザーによって送られてくる。Star Switch は、受信部と送信部に大別できる。

受信部では、まず Slave Board ASIC から送られてくるシリアル・データをパラレルに変換し、一時的にバッファに保存する。次にデータの圧縮が行われ、これをゼロ・サブレスという。バッファ内のデータの内、チップ・アドレス、トリガー・ファンクション・タイプ、バンチ ID、イベント ID はそのまま FIFO にコピーされる。Slave Board ASIC への入力データ 160bit とトリガー部の出力 40bit については、8bit ごとにパターンを調べて、8bit 全てゼロであればデータを破棄し、1bit

でもゼロでなければこのバイトのオフセットとパターンを FIFO にコピーする。

送信部では、受信部の FIFO のデータにヘッダーやフッターの書式付けを行った後、オプティカル・ケーブルで USA15 内のモジュールにデータを送信する。

#### 4.2.7 ROD(Read Out Driver)

ROD は、Star Switch を介してフロント・エンドから送られてくるデータを集約する。集約したデータは、付加されたイベント ID 情報をもとにして整理する。また ROD では TTC から送られてくる、バンチ・クロッシング・ナンバー、イベント・ナンバーと集約したデータに付加されたバンチ・クロッシング、イベントの ID とを比較しチェックする。そして、最終的なデータ形式にフォーマットして ROB(Read Out Buffer)に送る。図 4.1 2 は ROD の写真。



図 4.1 2 : ROD(Read Out Driver)



## 5章 ASICの開発

TGC トリガー・エレクトロニクスでは、前章で述べたようなモジュールを実現するために ASIC や FPGA を多く利用する。特に ATLAS 検出器上に配置されるモジュールなど厳しい放射線環境に置かれるものは、ASIC による設計が望ましい。

我々のグループでは、VDEC(東京大学大規模集積システム設計教育センター)[8]という機関を通して ASIC の設計を行っている。VDEC は、教育、研究目的の LSI の開発に対して、必要なツールやデータを提供する組織である。この VDEC を利用することによって、低いコストでの ASIC 開発が可能になる。

我々の ASIC 設計では、ASIC のマスク・レイアウトの作成まで行う。マスク・レイアウトとは、専用 CAD によって ASIC に搭載されるロジックを配置、配線したもので、このデータを VDEC に提出する。VDEC はこれを半導体製造企業に渡し、ASIC が作られる。

### 5.1 デジタル回路設計

#### 5.1.1 HDL

回路設計は、一般的に HDL(Hardware Description Language)と呼ばれる設計言語を用いて行われる。HDL にはいくつかの種類があり、Verilog HDL[9]と VHDL[9]が主流となっている。今回の設計では、Verilog HDL を用いた。HDL ではワイヤーやレジスタ(フリップ・フロップ)を定義し、AND や OR などの論理素子と組み合わせで回路を表現し、ロジックを組み立てる。

HDL は、記述の仕方において次の 2 種類の書き方がある。

##### 動作レベル記述

この記述では、for 文、if 文などが用意されており、設計者が直感的に回路を表現できる抽象性の高い記述の仕方である。動作レベル記述で書かれた HDL ソース・ファイルを専用のシミュレーターにかけると、デジタル回路の論理上の動作を確認することができ、各信号の時系列に沿った波形を表示させることもできる。

##### ゲート・レベル記述

実際に回路を実装する製造段階で使用する論理素子がリスト・アップされており、ワイヤーによって各素子同士の結線情報が記述されている。設計で使用できる論理素子は製造企業から提供されるライブラリの中に記述されている。このライブラリには普通、素子の遅延情報も含まれており、遅延を含めたシミュレーションをすることができる。設計する回路が大規模になると人がゲート・レベル記述で設計するのは不可能に近くなる。そこで設計者は、抽象性の高い動作レベル記述で回

路を設計し、動作レベル記述のソース・ファイルを専用ツールによって論理合成する。論理合成とは、動作レベル記述のソース・ファイルを指定されたライブラリの論理素子で置き換え、ゲート・レベル記述のソース・ファイルを作成する操作である。

### 5.1.2 配置配線

ゲート・レベル記述の HDL をもとにして、CAD を用いて配置配線を行う。製造企業からは、配置配線 CAD で用いるライブラリも提供される。このライブラリでは、それぞれの論理素子が CMOS トランジスタ、配線メタル層から構成されたセルで表現されている。配置配線 CAD は、このセルを幾何的に表示することができる。CAD は、設計者が配置位置や配置間隔を指定すると、これに従って自動的にセルを配置する。このとき CAD は、セル間の結線を考慮してある程度最適化された配置を行うことができる。セルには論理素子に対応した入出力ポートがあり、CAD はゲート・レベル記述の HDL をもとに、セルのポート間を配線する。

## 5.2 アナログ回路設計

我々の設計する ASIC は CMOS トランジスタをもとに構成されている。図 5.1 に CMOS の構造を図示する。CMOS は、p 型半導体、n 型半導体からなる層と、絶縁体の酸化膜層、導体のメタル層からなる。CMOS は、半導体層の構造の違い、PMOS と NMOS の 2 種類からなる。

ここで NMOS を例にとって動作を説明する。NMOS では、p 型半導体のベースの中に n 型半導体が隔てられて埋め込まれている。この隔てられた距離を酸化膜層を挟んでゲートと呼ばれるメタル層が覆っている。ベースの p 型半導体はグラウンドに接続される。ゲートが電位的に Low の場合、p 型半導体で隔てられた 2 つの n 型半導体は導通することはない。ゲートが電位的に High になると、薄い酸化膜で隔てられた p 型半導体内のホールは、接続されたグラウンドの方に向かって流れ出る。すると、隔てられた n 型半導体の間は n チャンネルと呼ばれる状態になり、2 つの n 型半導体同士は導通する。このようにして、ゲートの電位によって 2 つの端子間のオン、オフを切り替えることができる。

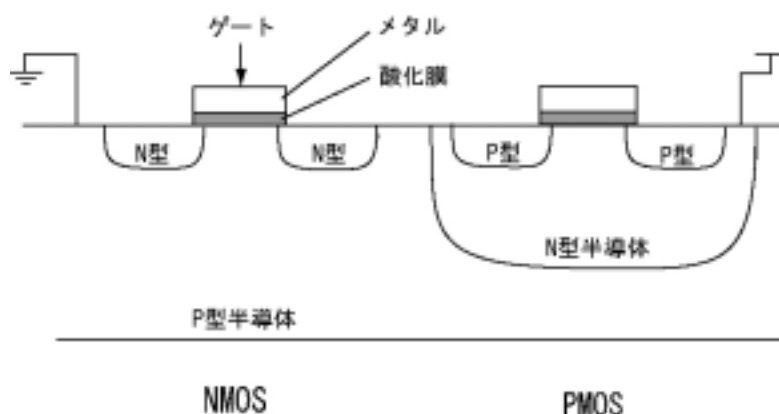
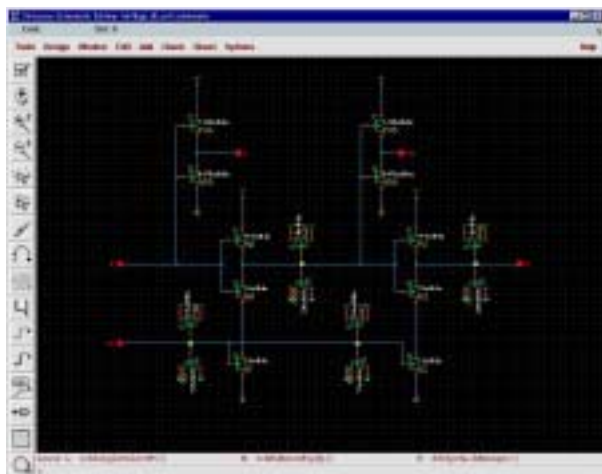


図 5.1 : CMOS の構造

トランジスタ間や、セル間の配線には遅延が存在し、配線長が異なるとタイミングにずれが生じる。また、信号の種類によっては配線の仕方によって配線間のクロストークが生じる。配置配線 CAD によって自動配置配線を行うと、タイミングを考慮してある程度最適化された配置配線を行ってくれるが、非常にクリティカルな回路においては不十分である。アナログ回路設計では設計者自らがこの配線を最適化して行き、タイミングのずれ、クロストークを避けることができる。同時に集積度を上げることも可能である。また、CMOS トランジスタの特性は、ゲートと呼ばれる部分の幅  $W$  と、長さ  $L$  とによって変わる。アナログ設計ではこの  $W$  と  $L$  とを変え、望みの特性を持ったトランジスタを作ることができる。アナログ設計された回路は、セル化して自動配置配線の中で使用する。

アナログ回路設計では、スキマティックとレイアウトの両方の方法で回路を記述する(図 5.2 参照)。スキマティックは、トランジスタ・レベルでの回路図で、CMOS トランジスタの  $W$  や  $L$  が記述されている。レイアウトは、半導体層やゲート、配線メタル層、メタル間接続用コンタクトを CAD 上で幾何的に配置したものである。設計者は、LVS(Layout VS Schematic)という操作を通して、レイアウトとスキマティックが一致していることを確認しなければならない。また、全ての回路設計においてデザイン・ルールというものが存在する。デザイン・ルールとは、レイアウトの各層が充たさなければならない最小の幅、面積、間隔などの制限であり、製造企業やプロセスごとに異なる。レイアウト作成後はこのデザイン・ルールの確認、DRC(Design Rule Check)を行わなければならない。



スキマティックによる回路記述



レイアウトによる回路記述

図 5.2 : アナログ回路設計での回路記述

アナログ回路設計では、SPICE シミュレーション[10]によって、スキマティックやレイアウトで記述した回路の動作を確認することができる。SPICE シミュレーションは、製造プロセスの特性を示す SPICE パラメータを読み込んで行われる。設定により回路の入力端子に任意の波形を入力すると、各部分での電圧、電流の変化をモニターすることができる。スキマティックから抽出した SPICE ファイルにはトランジスタのゲート幅やゲート長のみが記述されており、シミュレーションに反映されるのはこのトランジスタ特性のみである。一方、レイアウトから抽出した SPICE ファイルには配線間の容量や、トランジスタの寄生容量などの情報も付け加えられており、レイアウトの仕方も反映した、より詳しいシミュレーションをすることができる。

## 6章 Patch Panel ASIC の開発

### 6.1 Patch Panel ASIC の役割

Patch Panel ASIC の主要な役割のひとつはタイミング調整である。ATLAS 検出器中心部でビームが衝突してからミュオンが TGC を通過し、信号がトリガー判定を行う回路に到達するまでには、様々な遅延要素が存在し、TGC の各チャンネル間で信号が到達するタイミングが異なる。チャンネル間でタイミングが異なる主な要因としては、TOF(Time of Flight)と配線長の違いがあげられる。TGC は、 $1 < | \quad | < 2.7$  の範囲をカバーするが、 の大きい領域に比べて の小さい領域の方がビーム衝突点から離れており、ミュオンが到達するまでの時間も長くなる。配線長に関しては、信号が配線を 1m 伝播するのに 5ns ほどかかるとされている。この配線長によるタイミングのずれは、チャンネル間での配線長をそろえれば解消できるが、TGC のチャンネル数は全体で 32 万チャンネルにもおよび、全てそろえるとなると、重量的、空間的な負担が大きくなりすぎる。Patch Panel ASIC はこれらのタイミングのずれを調整するための回路を搭載しており、1ns 以下の精度での 1 チップでカバーする 16ch 単位でのタイミングの調整が可能である。

信号のタイミングのずれは、チャンネル間だけではなく、それぞれのイベント間でも存在する。4.1 節の TGC の構造のところで述べた通り、TGC にはタイム・ジッターがあり、ミュオンの通過する位置や角度によって信号が発生するタイミングが異なる。ここで Patch Panel ASIC のもうひとつの重要な役割が、バンチ識別(BCID)である。このバンチ識別を行うまでは、送られてくる信号は LHC の 40MHz クロックとは同期しておらず、信号の長さもそれぞれ異なる。バンチ識別回路はこの非同期の信号をクロックに同期させ、どのバンチで起こったイベントであるかを特定する。バンチ識別回路の出力は、クロックに同期した 1 バンチ幅(25ns)の信号として得られる。また、TGC のタイム・ジッターはほとんど 25ns 以下に収まっており、同一のバンチに識別することができるが、ごく稀に 25ns 以上遅れてやってくる信号が存在し、この信号は次のバンチの信号と区別することができなくなってしまう。よって、このようなタイミングで送られてきた信号に対してバンチ識別回路は、2 バンチ分の出力を与える。この 2 バンチの内、どちらか 1 つはフェイク・シグナルになってしまうが、トリガー判定を行う過程で除去される。

### 6.2 Patch Panel ASIC の構成

Patch Panel ASIC は主に以下のものから構成されている。ASD board からの LVDS レベル信号を TTL レベルに変換する LVDS レシーバー。タイミング調整のために、32 段階の設定で 0ns ~ 25ns の範囲でディレイをかけることのできるバリエブル・ディレイ。ASIC の使用条件の違いにより、このバリエブル・ディレイの値に差が出るのを防ぐための DLL、または PLL 回路。バンチ識別を行うための BCID 回路。ASD board に向かってキャリブレーション用のテスト信号を送る、Test

Pulse Generator。ASIC 全体の様々な設定を行う JTAG コントロール・パートがある。図 6.1 は、Patch Panel ASIC のブロック図である。この Patch Panel ASIC は、ローム社の 0.6  $\mu\text{m}$  プロセスを用いて設計し、VDEC を通して製造を依頼した。

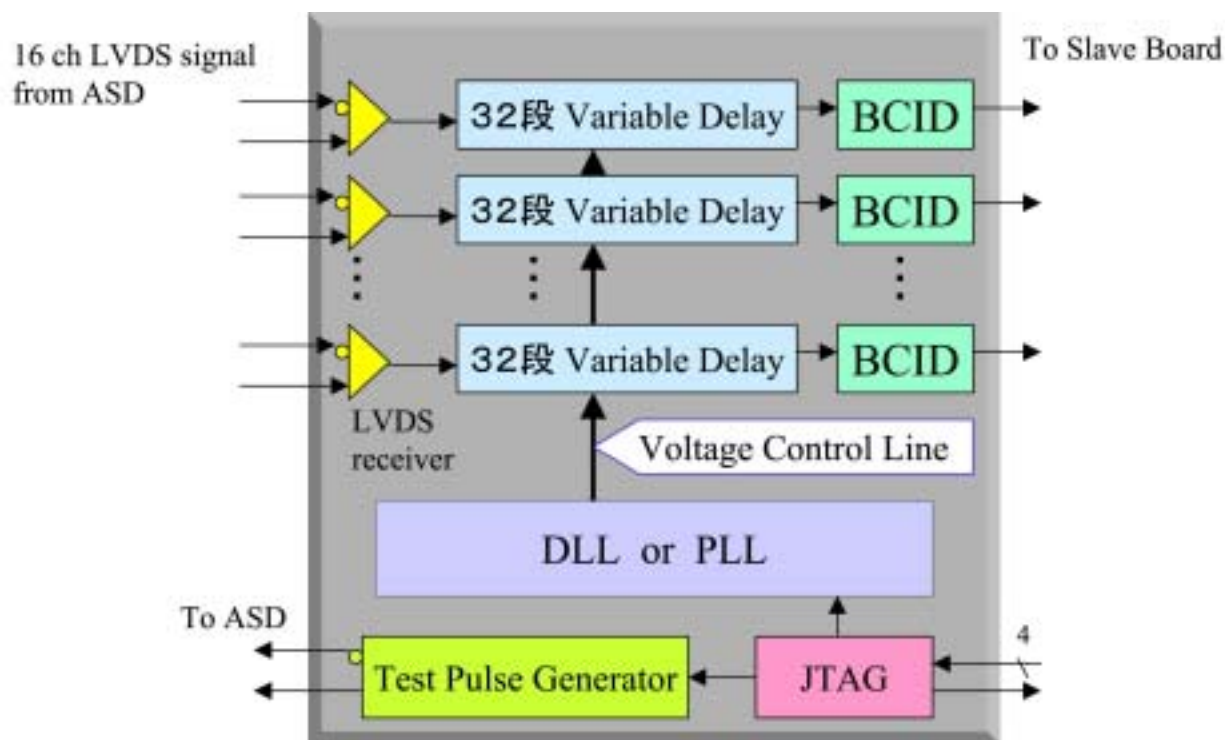


図 6.1 : Patch Panel ASIC ブロック図

### 6.2.1 LVDS レシーバー

LVDS(Low Voltage Differential Signal)[5]は、その名の通り、低電圧の差動式信号で、TIA/EIA-644 として規格が定められている。ASD board はこの規格に従い、電流駆動により 100 の抵抗を介して差動電圧 400mV の信号を出力する。差動信号の中心電圧は 1.2V である。レシーバー側の入力は、差動電圧が最低 200mV であり、また中心電圧の  $\pm 1\text{V}$  のシフトをゆるしている。

LVDS の利点としては、送信側と受信側のグラウンド・レベルが多少異なっている場合でも正しく伝送できること。差動式信号であるため、同相ノイズに強いこと。低電圧であるため、省電力で高速伝送が可能なことなどが挙げられる。

Patch Panel ASIC には、LVDS の規格に従って送られてきた信号を TTL 信号に変換する、LVDS レシーバーが搭載されている。この LVDS レシーバーの回路図を図 6.2 に示す。

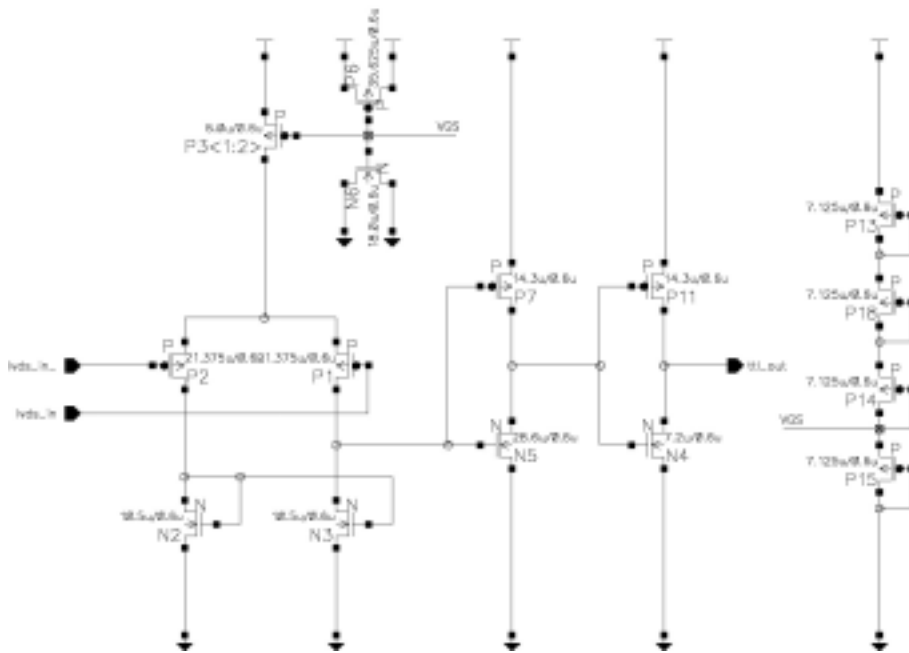


図 6.2 : LVDS receiver 回路図

## 6.2.2 バリャブル・ディレイと DLL

バリャブル・ディレイは信号のタイミングのずれを 1ns 以下の精度で調整するための回路である。図 6.3 にバリャブル・ディレイのブロック図を示す。バリャブル・ディレイはディレイ・セルと呼ばれるディレイの最小単位を 32 個つなげて構成されている。ディレイ・セルはインバータを 2 つつなげた形になっていて、ディレイ・セル 1 つ分のディレイは、インバータ 2 つ分のディレイである。ディレイ・セルの回路図の詳細は、図 6.4 に示した。ディレイ・セルで用いられているインバータは通常とは異なっていて、NMOS のソースとグラウンドの間にもうひとつ別の制御用の NMOS が挟まれており、VCON と呼ばれるラインが、この制御用 NMOS のゲートにつながっている。VCON の電圧が 3.3V (Logic High) のときは、インバータは通常と同様の動作をする。しかし、VCON が下がるにつれて、制御用 NMOS を流れる電流が減少し、インバータのスイッチングの際の立ち上がりエッジ、または立下りエッジの傾きが緩やかになる。するとインバータ自体のディレイは長くなる。このようにして、VCON の電圧を変えることによって、ディレイ・セル 1 個当りのディレイの値を調整する。具体的には、ディレイ・セル 32 個分のディレイが常に 25ns になるように調整する。ディレイ・セルには信号の取り出し口があり、ここから計 32 本の信号を引き出し、そのうち 1 本をセクターで選択し、これをバリャブル・ディレイの出力とする。これによって、0ns ~ 25ns の範囲を 32 段階に分けた 0.78ns の精度でのタイミング調整が可能となる。

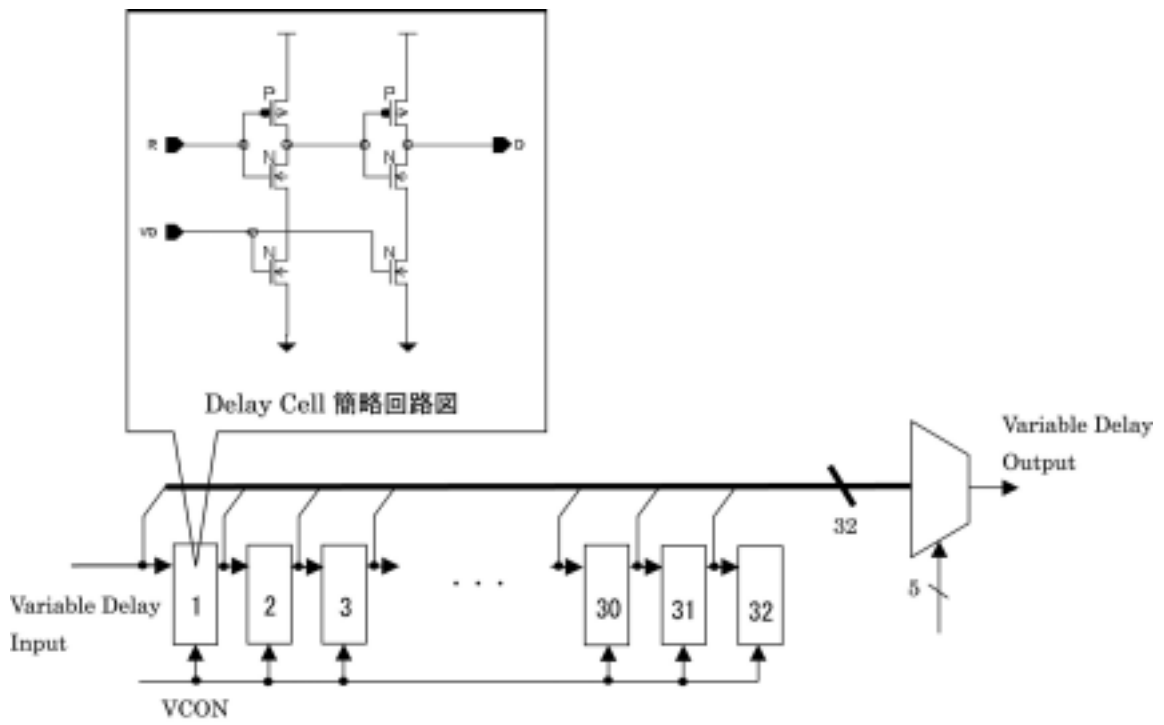


図 6.3 バリャブル・ディレイのブロック図

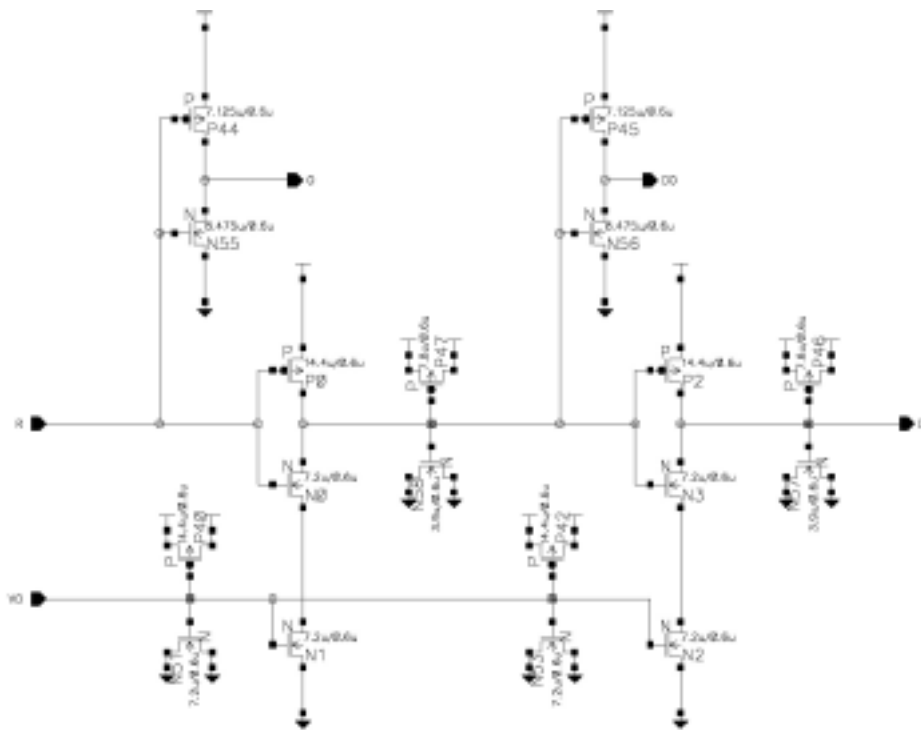


図 6.4 : ディレイ・セルの詳細な回路図



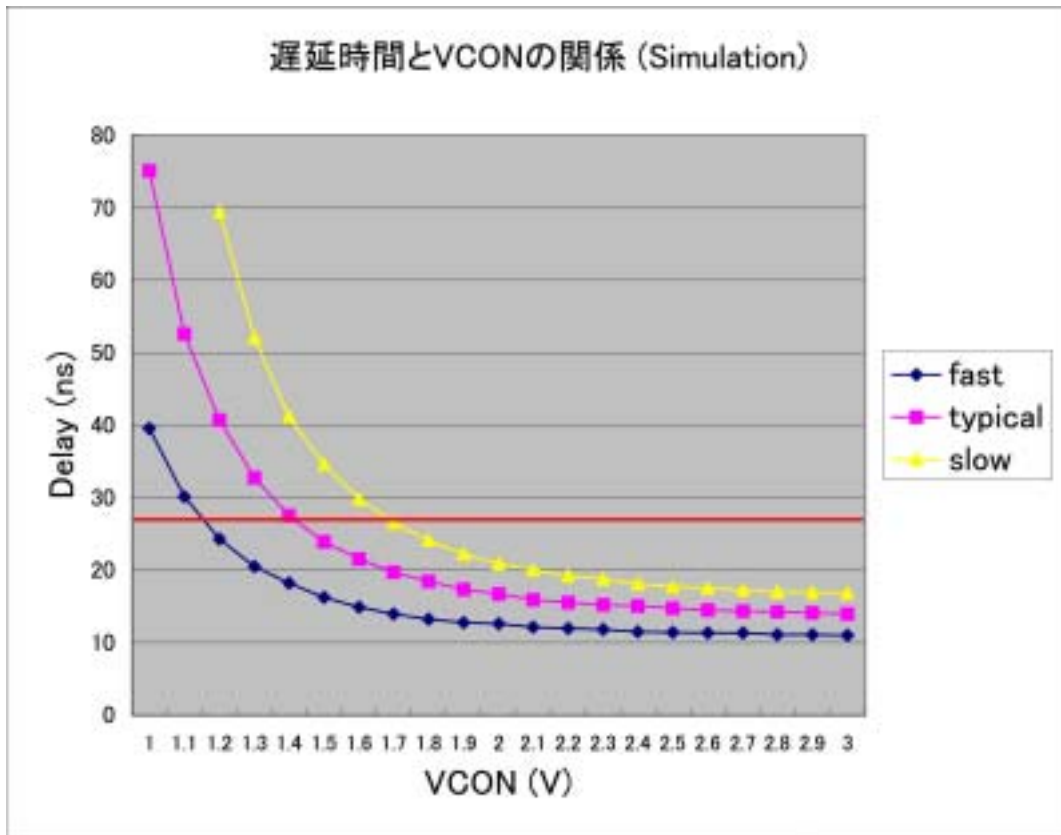


図 6.5 : VCON に対するバリアブル・ディレイの遅延時間のシミュレーション (0.6  $\mu\text{m}$ )

図 6.5 は、このバリアブル・ディレイを 3 2 段にしたときのディレイの値を、供給する VCON の電圧を変化させてシミュレーションした結果をグラフにしたものである。実際に ASIC を作成すると、素子の処理速度は、使用条件の差や個体差が存在するので、シミュレーションは、fast、typical、slow の 3 パターンで行った。いずれの場合も、チップの動作電圧である 3.3V よりも低い VCON 電圧で 25ns の遅延を得ることができた。

ディレイ・セル 3 2 個分のディレイを常に 25ns に保つための回路が DLL(Delay Locked Loop) である。同じ働きをする回路として PLL(Phase Locked Loop) というものもあるが、DLL の方が仕組みが簡単であり、最初に試作するには適していると思われる。

図 6.6 に、DLL 回路のブロック図を示す。DLL は、上述したものと全く同じバリアブル・ディレイと、フェイズ・ディテクター (図 6.7 参照) チャージ・ポンプ (図 6.8 参照) から構成される。DLL の動作原理は、次の通りである。まず、バリアブル・ディレイに 40.08MHz のクロックを入力する。バリアブル・ディレイの出力からは、ある値のディレイがかけられたクロックが得られる。この出力(delayed clock)を、フェイズ・ディテクターへと入力し、フェイズ・ディテクターのもう一方の入力にはディレイをかける前のクロック(reference clock)を入力する。フェイズ・ディ

テクターは **delayed clock** と **reference clock** の位相のずれを検出し、その位相差に従った信号を出力する。**delayed clock** が **reference clock** に比べて位相が遅れていたら **UP** シグナルを、位相が進んでいたら **DOWN** シグナルを出力する。**UP**、**DOWN** のシグナルの出力される長さは、位相差の大きさに依存する。チャージ・ポンプは、フェイズ・ディテクターからの **UP** シグナルを受け取ると、**VCON** の電圧を上げる。**DOWN** シグナルを受け取ると **VCON** の電圧を下げる。この **VCON** は以前説明したバリアブル・ディレイのディレイ・セルの制御用 NMOS をコントロールする **VCON** である。**DLL** で **delayed clock** を得るために用いているバリアブル・ディレイにも **VCON** が供給されていて、**VCON** の電圧の変化に伴ってディレイの値が変わる。この一連の動作により、**delayed clock** と **reference clock** との位相がちょうどそろったとき安定状態となり、32段のバリアブル・ディレイの値は 25ns となる。この **DLL** を用いることによって、chip への供給電圧が揺らいだとしてもディレイの値は一定に保たれる。**DLL** が安定状態になることをロックするという。またオプションとして、**DLL** のバリアブル・ディレイを 32 段より少なくすることができる。段数としては 32 段の他に、28 段、24 段、20 段がある。バリアブル・ディレイの段数を減らした **DLL** から得られる **VCON** を 16ch の信号用のバリアブル・ディレイに供給した場合、32 段フルに使えば 25ns 以上のディレイを得ることができる。

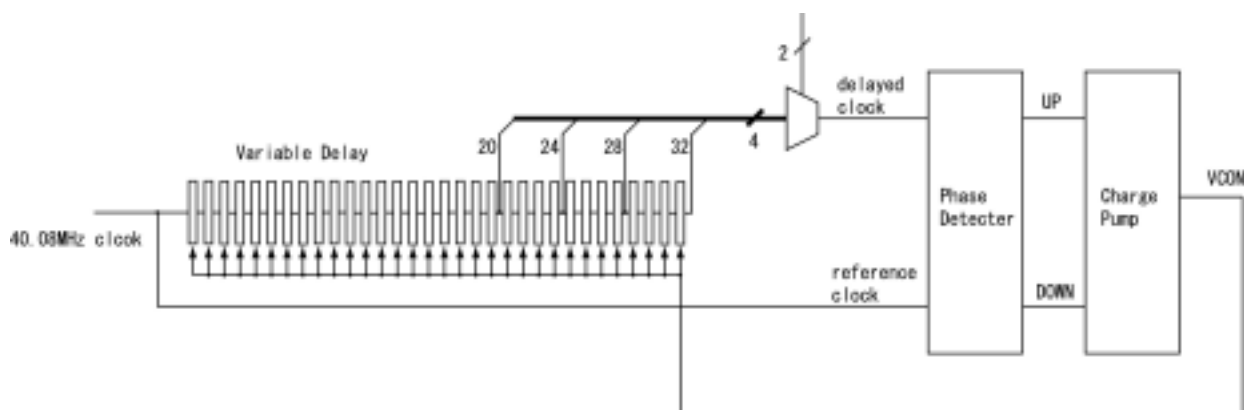


図 6.6 : DLL 回路のブロック図

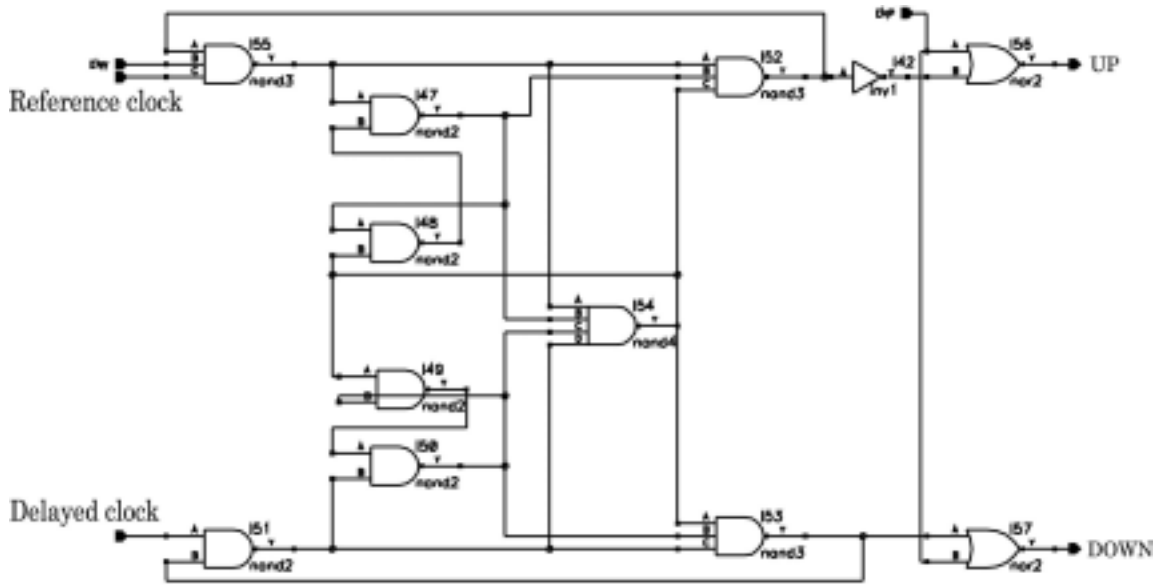


図 6.7 : フェイズ・ディテクターの回路図

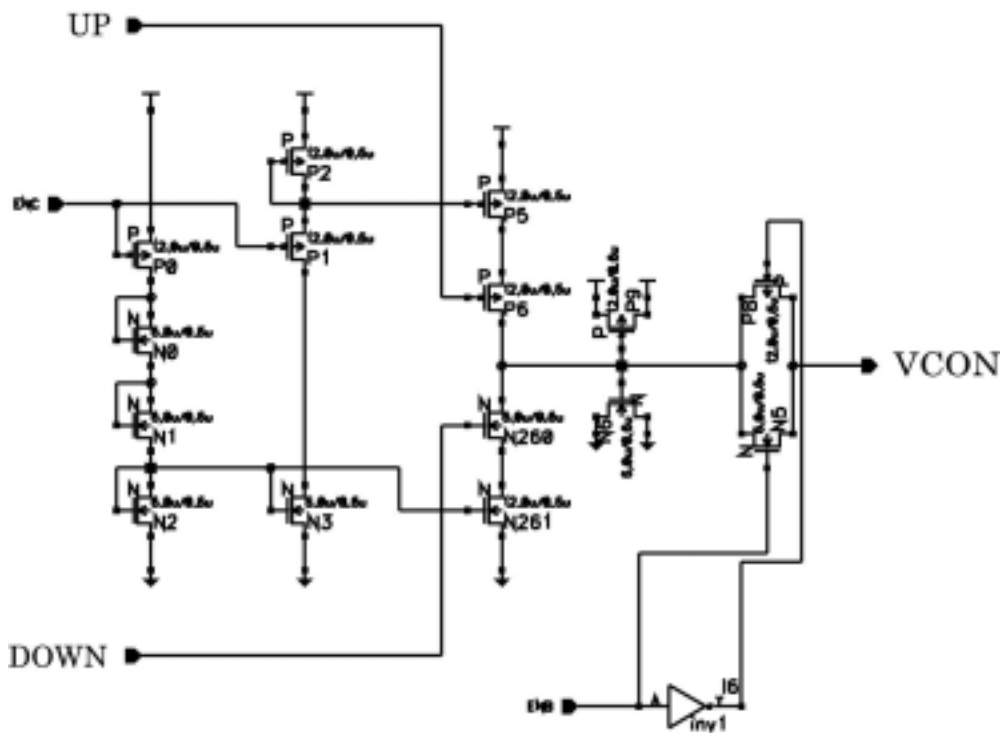


図 6.8 : チャージ・ポンプの回路図

### 6.2.3 BCID 回路

BCID 回路の動作の様子を図 6.9 に示す。TGC のタイム・ジッターにより、ミューオンの通過から信号の発生までの時間は、イベントごとに異なってくる。Patch Panel ASIC のバリアブル・ディレイまでは非同期回路なので、BCID 回路に入力される信号のタイミングも TGC のタイム・ジッターと同じ分布を示す。この分布の内、最も早く到達するものの立ち上がりエッジがクロックの立ち上がりエッジと一致するようにディレイを調節する。ここから次の立ち上がりエッジまで(25ns)の間にやってきた信号は同一のバンチとして識別される。しかし、ごく稀に 25ns より遅れて到達する信号があり、これは次のバンチと区別がつかなくなってしまう。このことの対処として、BCID に供給するクロックにさらにディレイをかけたゲート用クロックを用意する。ゲート用クロックのディレイは、TGC からの信号に用いられるのと同じバリアブル・ディレイを用いて、0ns から 25ns までのディレイを 0.78ns の精度で設定することができる。そして、元のクロックの立ち上がりエッジと、ゲート用クロックの立ち上がりエッジとの間をゲートと呼び、信号の立ち上がりエッジがこのゲートの中にくるような信号に対しては、本来のバンチ識別に加えて、1つ前のバンチに対しても信号を出力し、合わせて2バンチ分の出力を与える。このような BCID 回路は、図 6.10 で示す回路によって実現される。

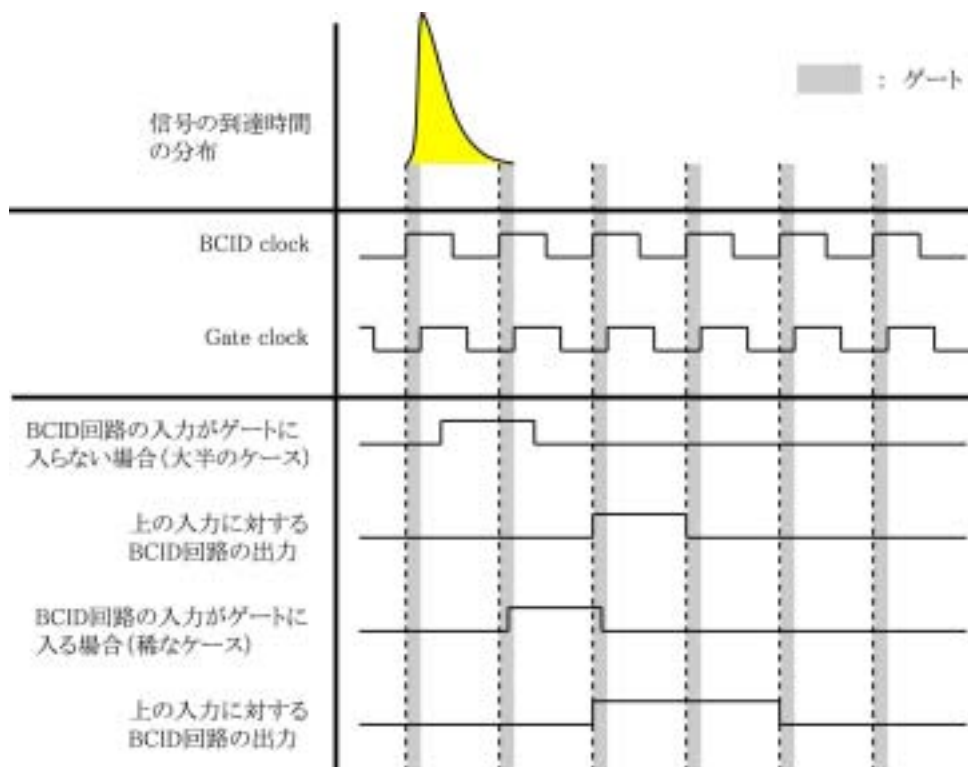


図 6.9 : BCID 回路の動作の例

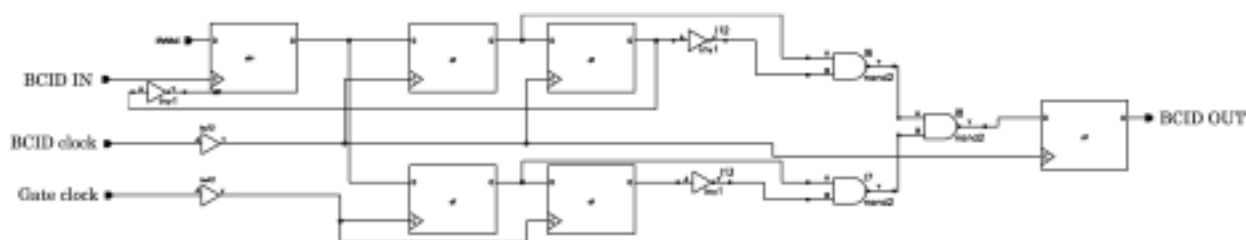


図 6.1 0 : BCID 回路の回路図

## 6.2.4 Test Pulse Generator

Test Pulse Generator は、TTC からの信号である Test Pulse Trigger を受信すると、電流駆動の作動式信号を出力するものである。電流は設定によって段階的に変えることができる。この作動信号は、ASD board に送られ、タイミングの調整に用いられる。図 6.1 1 は、Test Pulse Generator の回路図である。

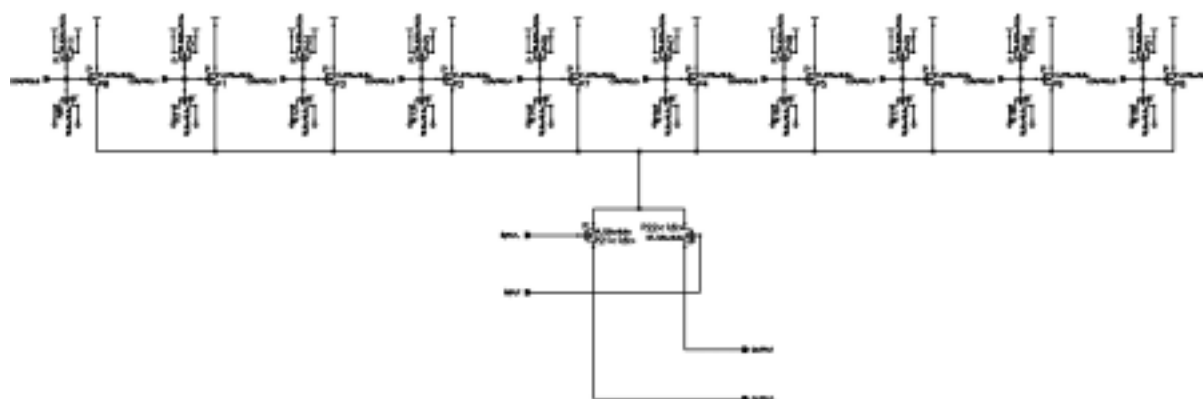


図 6.1 1 : Test Pulse Generator の回路図

## 6.2.5 JTAG プロトコル[11]

Patch Panel ASIC を含め、TGC エレクトロニクス・グループで用いる各種デバイスでは、JTAG と呼ばれるプロトコルを用いて様々なパラメータの設定を行っている。JTAG とは、IEEE1149.1 として規格が定められたプロトコルである。

JTAG では、TCK、TMS、TDI、TRST という 4 本の入力と、TDO という 1 本の出力だけでコントロールする。JTAG に対応したデバイスでは、内部に TAP state controller という一種のステート・マシンを搭載しており、このステートをコントロールするのが TCK、TMS、TRST の 3 本

の信号である。図 6.1 2 に、TAP state controller の状態遷移図を載せる。図の矢印に添えられた 0 と 1 が TMS であり、TCK の立ち上がりエッジで状態を遷移する。TRST は負論理のリセットで、リセットがかかると図の左上のステート Test Logic Reset に遷移する。ステートがデータの書き込み済と、TDI からシリアルにデータを流し込み、シフト・レジスタ式に設計された内部の各種レジスタにデータを書き込む。レジスタからシフト・アウトしてきたデータは TDO から出力される。

JTAG では、あらかじめバウンダリ・スキャン・セルと呼ばれる回路を内部ロジックに組み込んでおき、チップの入出力は必ずこのバウンダリ・スキャン・セルを経由して行われるようになっている。そしてバウンダリ・スキャン・セルの中のレジスタにデータを書き込み、このデータをチップの入力ライン、または出力ラインに流すことができる。これによって、チップの内部ロジックの検証や、外部の他のデバイスとの接続テストなどに用いられる。この検証、テスト機能が JTAG の一般的な用いられ方であるが、JTAG ではバウンダリ・スキャン・セル以外にも、設計者が自由な使用目的で搭載することが可能なユーザー定義レジスタがある。我々の作成する ASIC での JTAG の使用目的は、このユーザー定義レジスタを用いたパラメータの設定である。設計者は、任意のビットのユーザー定義レジスタを幾つでも用意することが可能である。

ユーザー定義レジスタや、バウンダリ・スキャン・セルはデータ・レジスタと呼ばれ、インストラクション・レジスタと区別される。インストラクション・レジスタは、チップの中に 1 つだけ用意され、長さは任意である。このインストラクション・レジスタに決められたコードを書き込むことによって、アクセスしたいデータ・レジスタの選択や、バウンダリ・スキャン・セルから入出力ラインにデータを流すなどの命令を行う。

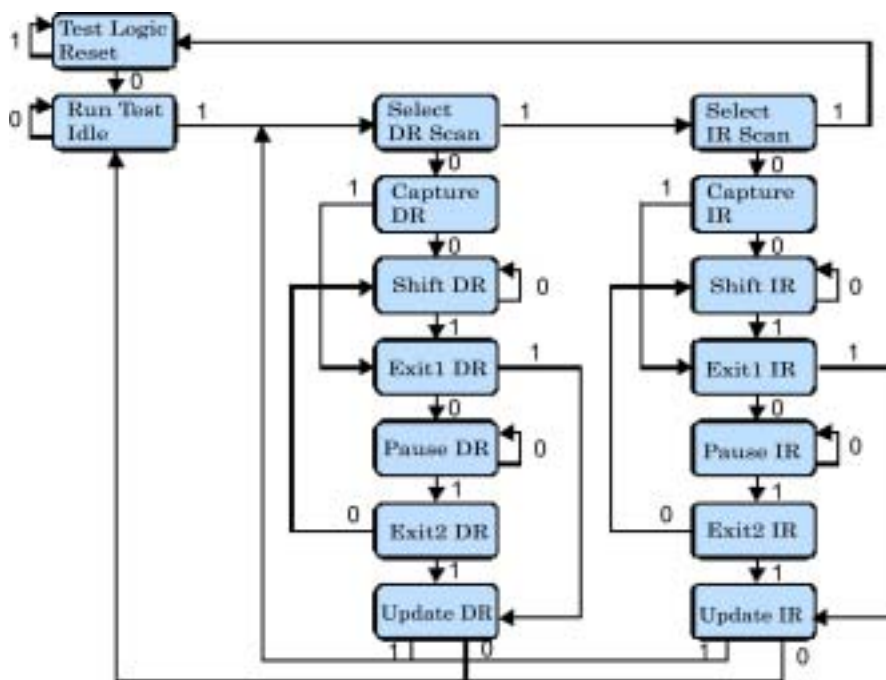


図 6.1 2 : TAP state controller の遷移図

JTAG プロトコルは、Patch Panel ASIC のみでなく、他の ASIC でも利用される技術である。各 ASIC にはその ASIC で利用する様々なパラメータを保持しておくレジスタが用意されており、このレジスタには JTAG プロトコルによってデータを書き込むことができる。ここで、このレジスタにセットしたデータに重大な影響を与えるものとして、実験中に発生する放射線が挙げられる。TGC の設置位置での年間放射線量の見積もりを表 6.1 に示す。

		Worst Location	Best Location
Neutrons	N/cm2	$9.7 \times 10^{10}$	$3.1 \times 10^{10}$
1MeV Neutron	N/cm2	$2.0 \times 10^{10}$	$3.6 \times 10^9$
Dose	Gy	$6.2 \times 10^{-1}$	$2.1 \times 10^{-1}$

表 6.1 : TGC 設置位置での年間放射線量

放射線によるチップの影響は、SEE (Single Event Effect) と呼ばれている。この SEE の内でも特に影響の強いものと回路がショートしてチップが使えなくなるが、TGC の設置位置における放射線量ではこれほど強い影響は現れないと推測される。しかし、放射線粒子の通過によって回路内の素子が一時的に誤動作を起こす SEU (Single Event Upset) と呼ばれる比較的軽い現象は生じると推測される。TGC 設置位置での SEU のレートは、1MB のレジスタでは 1 日につき 1 回程度起こると推測されている。この SEU による素子の誤動作によってレジスタにセットした値が書き換わってしまうのが最も深刻な影響となる。そのため我々のグループでは、放射線下で用いる ASIC のパラメータ設定用のレジスタの全てに対し、多数決回路を適用し SEU のデータ書き換えによる影響を避けることにしている。多数決回路では 1bit のデータを保持するために 3 つのレジスタを用意し、データを書き込むときにはこの 3 つのレジスタに同時に同じ値を書き込む。このデータを参照する際には、3 つのレジスタの内少なくとも 2 つのレジスタが示すデータを採用し参照する。これによって、SEU によって 3 つのレジスタの内どれか 1 つの値が入れ替わってしまったとしても参照されるデータは正しいものとなる。図 6.13 は多数決回路の回路図である。

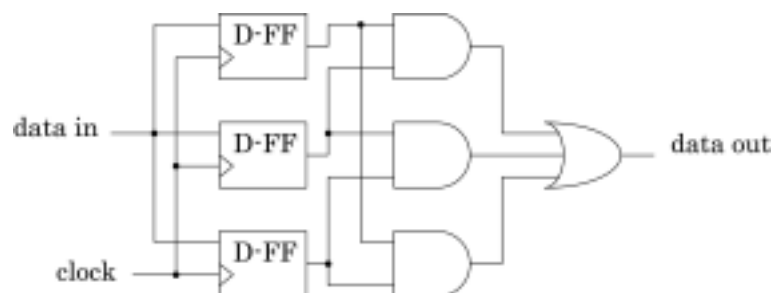


図 6.13 : 多数決回路

### 6.3 Patch Panel ASIC の検証

Patch Panel ASIC は、ローム社のゲート間隔  $0.6 \mu\text{m}$  のプロセスで作成した。チップ・サイズは  $4.5\text{mm} \times 4.5\text{mm}$  である。使用したライブラリはローム社のこのプロセス用に VDEC が作成したものである。これらの条件のもとで設計した Patch Panel ASIC レイアウト・マスクを図 6.13 に載せた。Patch Panel ASIC はフルスペックの Version 0 が一度作られており、各コンポーネントの動作は、確認されている。ただ、DLL 回路に配線ミスがあり、DLL のバリアブル・ディレイを 32 段以下にした場合、DLL がロックしないことが判った。そこで今回、この部分を修正しフルスペックの ASIC として 2001 年 2 月に VDEC へ提出した。この試作した ASIC の実物が VDEC より届いたのでこれを検証した。

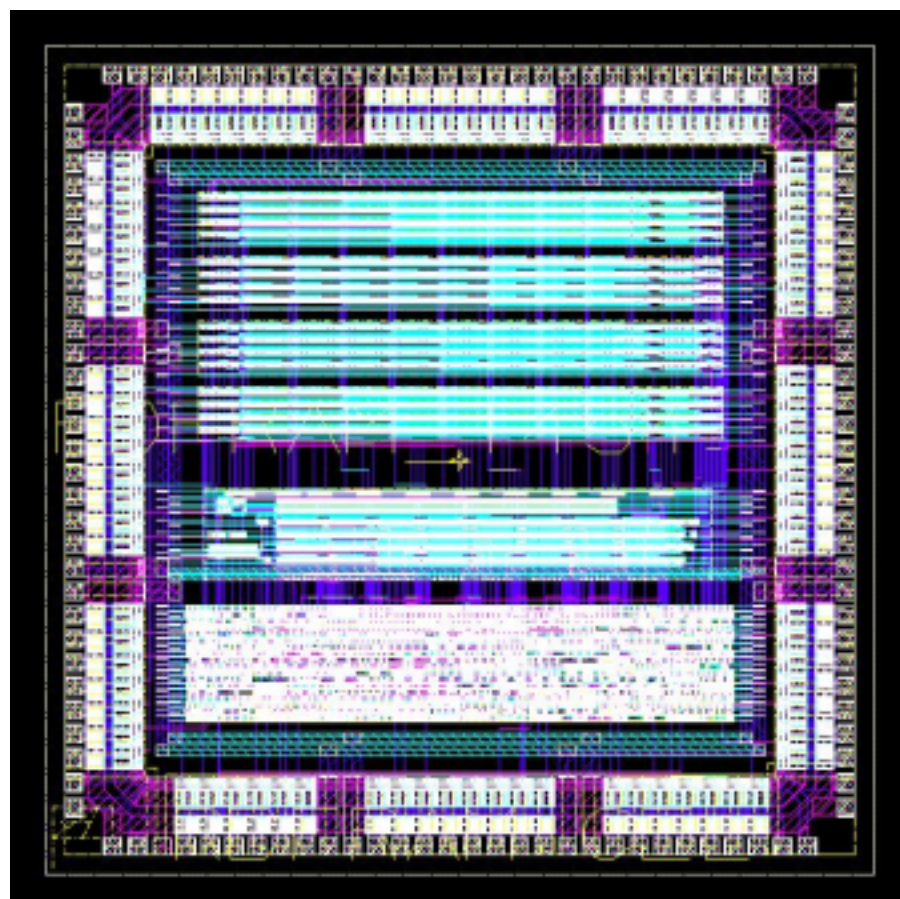


図 6.14 : Patch Panel ASIC のレイアウト・マスク



## DLL 回路の検証

DLL 回路の検証のために Patch Panel ASIC に 40.08MHz のクロックを供給し、DLL をロックさせてみた。DLL のバリアブル・ディレイの段数を 32、28、24、20 段のように変えて測定した。初期状態として VCON の電圧は、すべて 3.3V に引き上げられている。

### 32 段の場合

DLL を動作させると同時に VCON の電圧が 3.3V から下降し、1.7V 付近で安定する事が確認できた。図 6.15-a 参照。

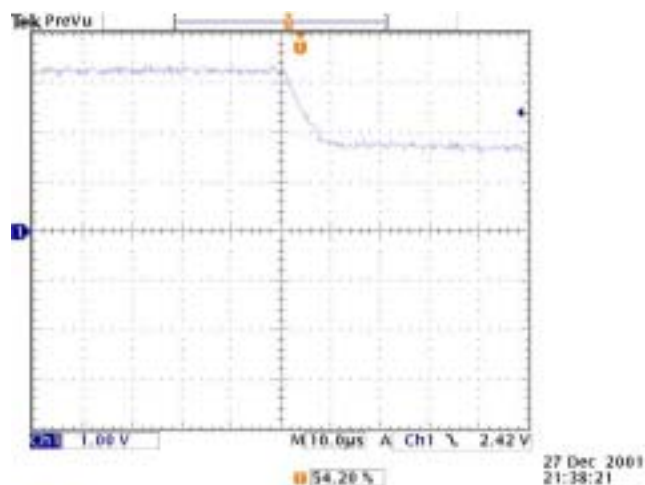


図 6.15-a: DLL のロックに伴う VCON の変化 (32 段)

### 28 段の場合

32 段の時と同様 VCON が下降し、1.5V 付近で安定することが確認できた。図 6.15-b 参照。

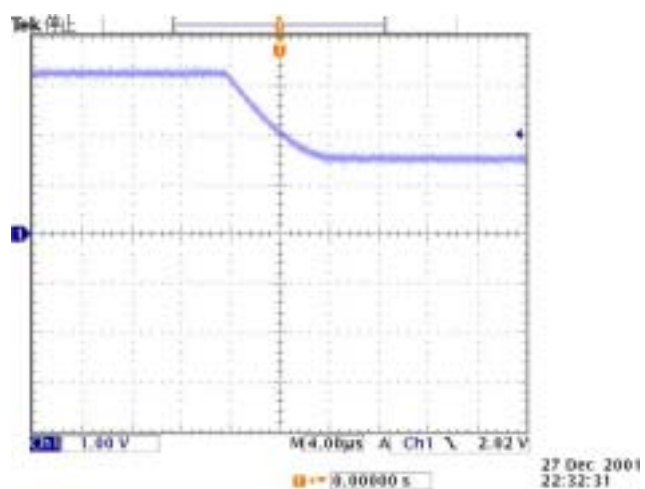


図 6.15-b: DLL のロックに伴う VCON の変化 (28 段)

## 24段の場合

同様に VCON が、1.4V 付近で安定することを確認。図 6.15-c 参照。

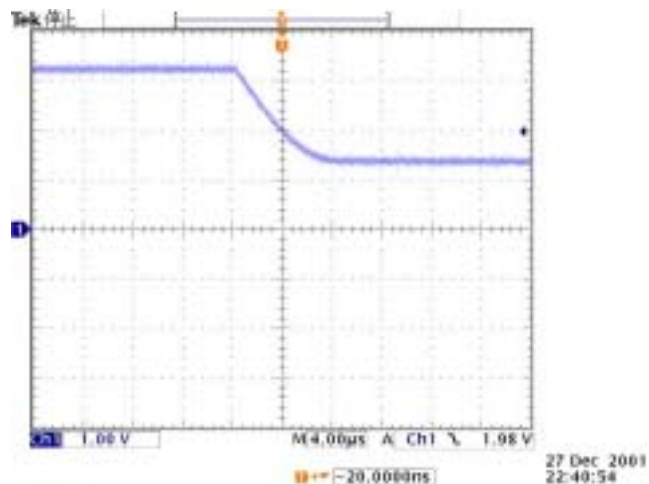


図 6.15-c: DLL のロックに伴う VCON の変化 (24 段)

## 20段の場合

同様に VCON が、1.3V 付近で安定することを確認。図 6.15-d 参照。

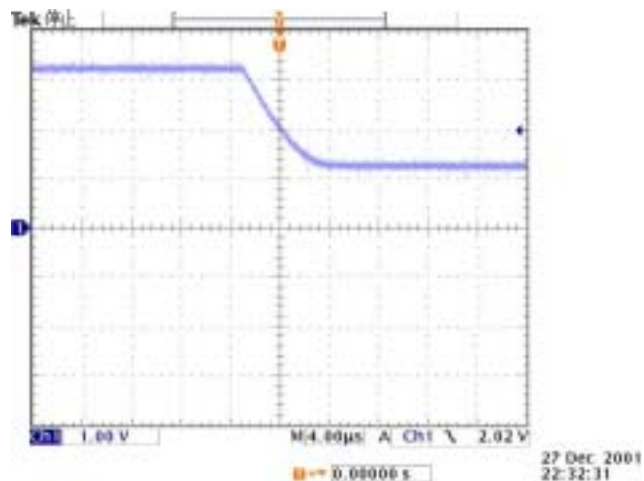


図 6.15-d: DLL のロックに伴う VCON の変化 (20 段)

DLL の役割のひとつは、チップ電源の揺らぎによって、バリアブル・ディレイの値が変化することを防ぐことだった。チップ電源の揺らぎは最大で  $\pm 400\text{mV}$  程度と思われる。この電源の揺らぎに対して、VCON が追従し安定するのに要する時間は、1ms 以下が要請されていた。

今回試した、いずれのケースも VCON が 3.3V から降下し、DLL がロックするまでの時間は、10  $\mu\text{s}$  前後となっている。この間の VCON の電圧差は 1V 以上である。このことから考察すると、電源の揺らぎに対する要請を十分満たしうると考えられる。

また DLL のロック時は、reference clock と delayed clock が一致していることがわかり、フェイズ・ディテクターが正常に動作していることが確認できた。図 6.16 は、フェイズ・ディテクターに入力する reference clock と delayed clock を観測したものである。

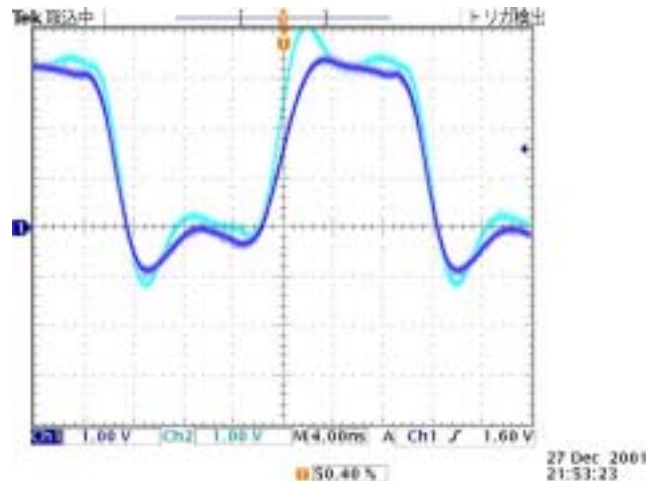


図 6.16 : DLL の reference clock と delayed clock

Ch1 = reference clock Ch2 = delayed clock

DLL をロックさせるときは、最初に VCON を 3.3V につり上げておかなければならないが、最初に VCON を 0V にしてから DLL を動作させてみたところ、DLL がロックする電圧は正常にロックするときよりも低い値でロックすることがわかった。図 6.17 は、DLL のバリエブル・ディレイの段数を 32 段、VCON の初期電圧を 0V にしてロックさせたときの VCON の変化である。通常、1.7V 程度の電圧が得られるはずだが、この図では 1.2V 程度しかない。

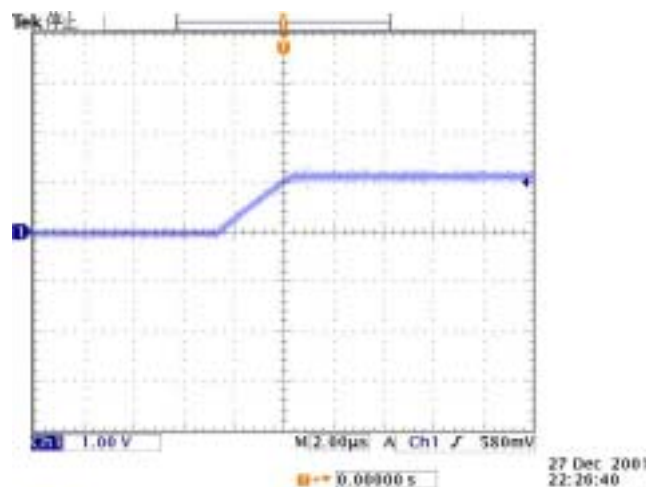


図 6.17 : 初期状態 VCON=0V からの DLL のロックの様子

この現象の原因について、図 6.18 を用いて説明する。DLL が正常にロックしている場合は、バリアブル・ディレイの値は 25ns である。従って、reference clock と delayed clock の位相のずれは、ちょうど 1 クロック分となり、フェイズ・ディテクターはこの状態を位相差なしと判断し、DLL がロックする。しかし、VCON をこの状態よりもさらに下げると、バリアブル・ディレイの値は 2 クロック以上になることがある。Reference clock と delayed clock の位相差がちょうど 2 クロック分になったとき、やはりフェイズ・ディテクターは位相差なしと判断し、DLL はロックしてしまう。つまり、バリアブル・ディレイの値がちょうどクロックの周期の整数倍であれば、DLL がロックする安定状態になりうるということである。このことは、もし VCON が何らかのノイズを受けた場合、DLL が正常ではない安定状態に遷移してしまう恐れがあることを示している。

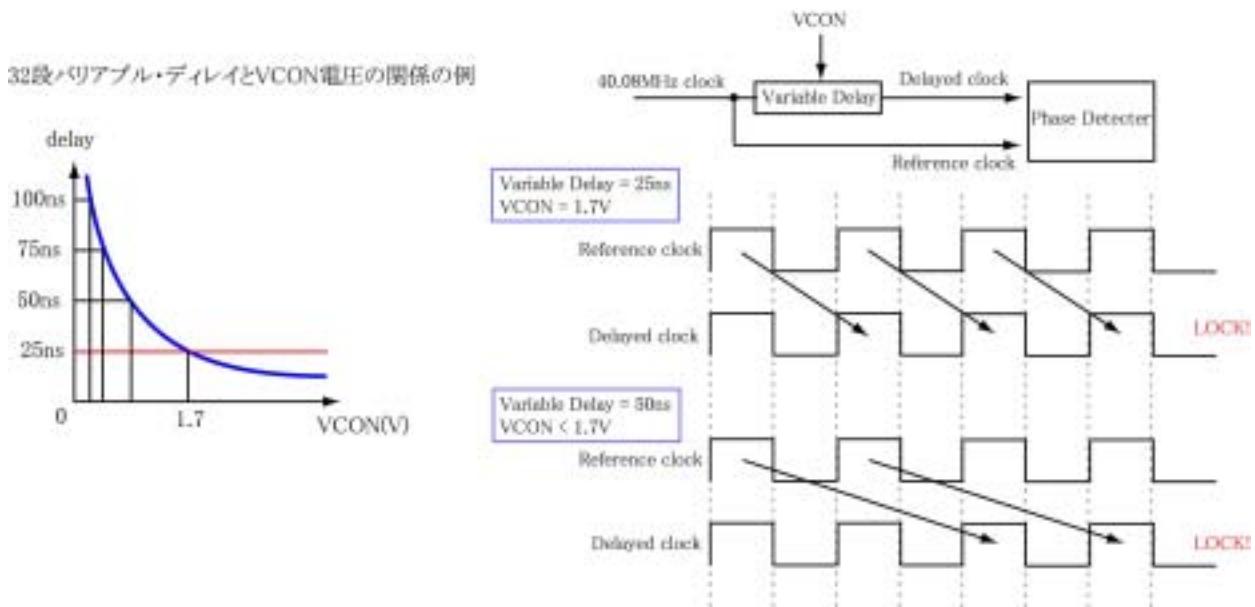


図 6.18 : DLL のミス・ロックの例

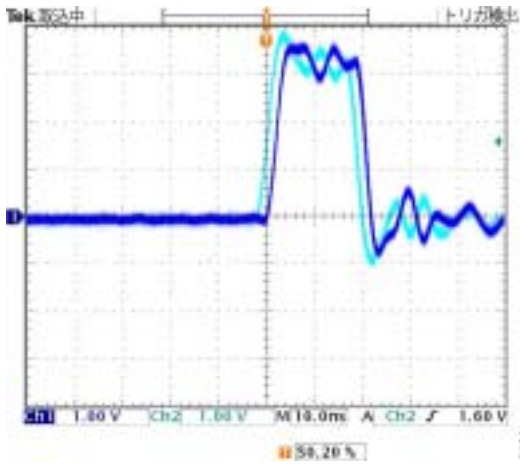
次に、16ch のシグナル・ラインの内から 1ch を選び、実際に 25ns の長さの信号を入力してみる。バリアブル・ディレイの段数を 0 ~ 31 の 32 段階で変化させ、そのディレイの値を見る。これは、DLL の段数が 32、28、24、20 の場合それぞれに対して行った、バリアブル・ディレイの段数とディレイの関係を表 6.2 で示す。

DLL Step	VCON (V)	Variable Delay			
		Rise Edge		Fall Edge	
		0 Step	31 Step	0 Step	31 Step
32	1.86	2.1 ns	23 ns	2.2 ns	23 ns
28	1.66	2.1 ns	28 ns	2.2 ns	27 ns
24	1.55	2.1 ns	32 ns	2.2 ns	31 ns
20	1.44	2.1 ns	38 ns	2.1 ns	37 ns

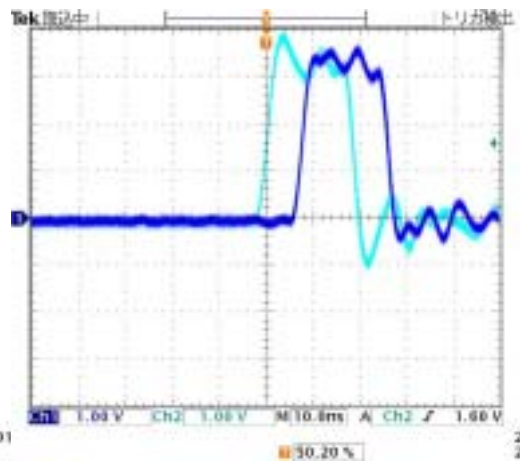
表 6.2 : バリャブル・ディレイの測定 (DLL)

この結果について考察する。まず、全てのケースにおける、0 Step でのディレイの値であるが、2.1ns から 2.2ns とほぼ等しいことから、固定したディレイであるといえる。恐らく、バリャブル・ディレイの 32 段から 1 つを選択するセレクター回路の遅延だと思われる。すると、バリャブル・ディレイそのものの値は、31 Step の値から 0 Step の値を引いたものとなる。例えば、DLL Step = 32 のときの Rise Edge では、 $23 - 2.1 = 20.9$  ns となる。本来この部分のディレイは、25ns になるべきところである。測定の結果はこれよりも 4.1ns も小さい。しかし、図 6.15 でも確認した通り、reference clock と delayed clock は非常によく一致していることから、DLL に組み込まれた方のバリャブル・ディレイの値は正しく 25ns を獲得できているものと思われる。この問題に関しては、今後さらに考察を要する部分である。ただし、DLL Step = 28 に設定すれば、Rise Edge にして  $28 - 2.1 = 25.9$  ns のディレイを得ることができるので、実験において全く使えないわけではない。

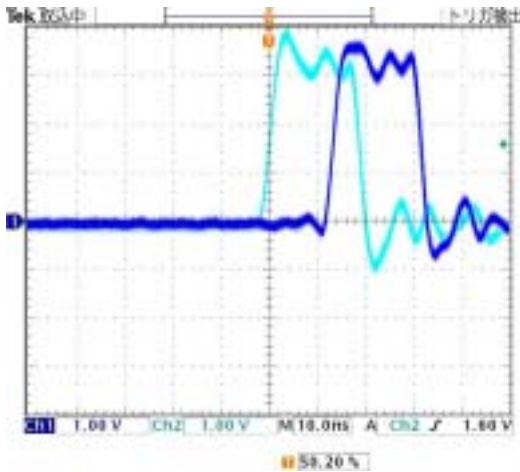
また、DLL Step = 32 において、バリャブル・ディレイの段階を 0、8、16、24、31 と変化させたときのバリャブル・ディレイの入力と出力を観測した波形を図 6.19 に載せる。この図から、バリャブル・ディレイの段数とディレイの良い線形性が見てとれる。



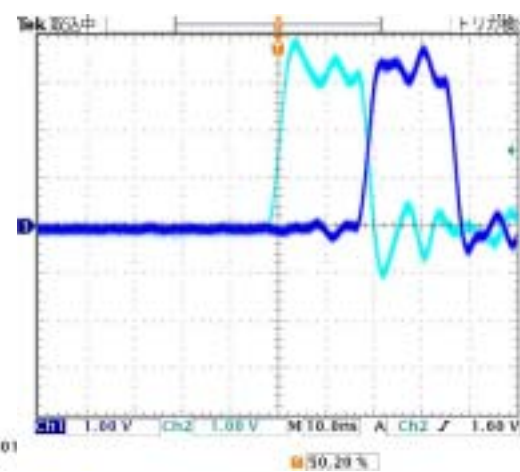
a) 0 delay cell



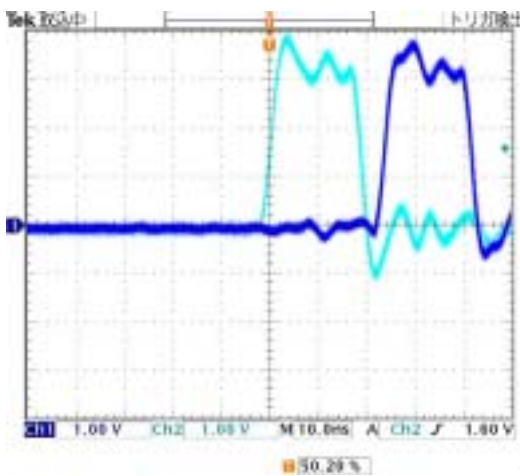
b) 8 delay cell



c) 16 delay cell



d) 24 delay cell



e) 32 delay cell

図 6.19 : バリャブル・ディレイの測定 (DLL) Ch1 = Output Ch2 = Input



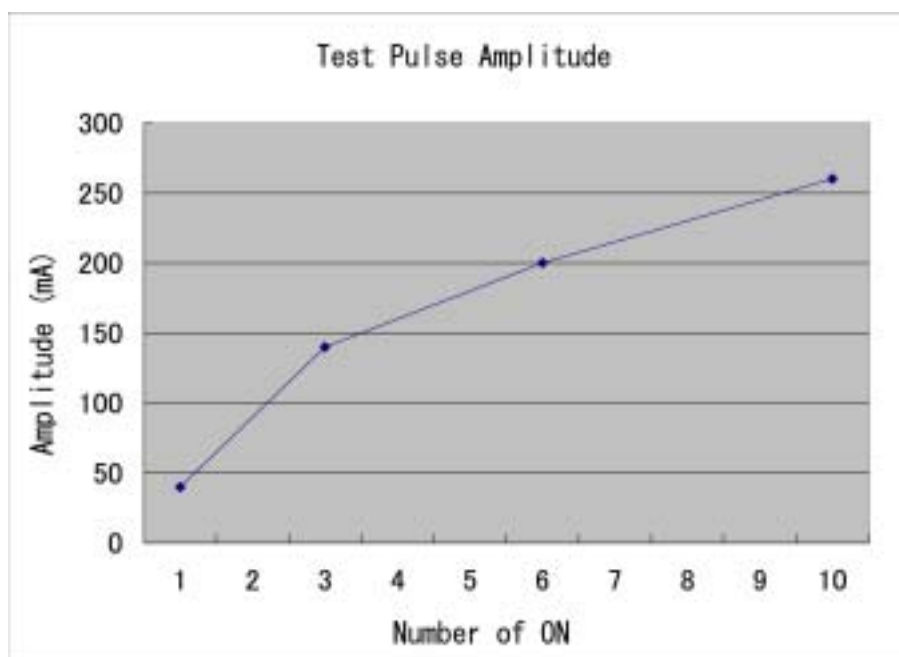


図 6.2.1 : Test Pulse の振幅 (25 の抵抗を介しグラウンドに接続)

## 6.4 PLL を用いた Patch Panel ASIC の作成と検証

### 6.4.1 PLL の構成と動作

DLL を用いて設計した Patch Panel ASIC では、ほぼ期待通りの動作が確認できた。しかし、DLL のバリエブル・ディレイの値が 25ns の整数倍(1 以外)の場合もロックしてしまうといった問題もあった。そこで、安定性や精度を向上させるために、DLL に換わって PLL を使用することにした。

図 6.2.2 に PLL 回路のブロック図を示す。PLL 回路は DLL と同じく、バリエブル・ディレイ、フェイズ・ディテクター、チャージ・ポンプから構成されている。DLL と違うところは、まずバリエブル・ディレイは、インバータを 1 つ介してリング・オシレータを構成している。バリエブル・ディレイを通り抜けた信号はインバータで反転し、再びバリエブル・ディレイに入力される。このようにして発振し、バリエブル・ディレイのディレイを半周期としたクロック(PLL clock)が生成される。一方、Patch Panel ASIC に入力された 40.08MHz のクロックを 1/2 に分周し、半周期が 25ns の reference clock を得る。この PLL clock と reference clock をフェイズ・ディテクターに入力し、後は DLL と同じ原理でチャージ・ポンプが VCON をコントロールする。このようにして、PLL clock と reference clock とが完全に同調すると、PLL はロックする。このとき、PLL clock の半周期分つまりバリエブル・ディレイの値は 25ns になり、ここで得られた VCON を 16ch 分のバリエブル・ディレイに供給する。



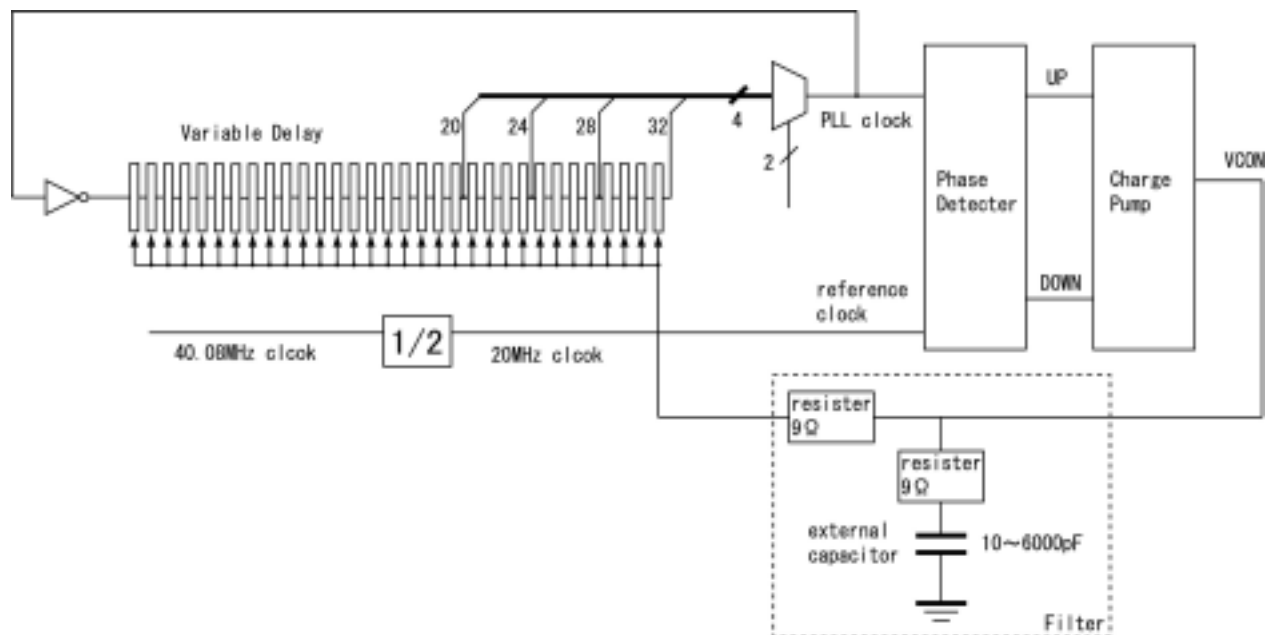


図 6.2 2 : PLL 回路のブロック図

DLL の場合、delayed clock と reference clock との位相のずれが、フェイズ・ディテクターの精度よりも大きくなければ、フェイズ・ディテクターの調節機能は働かない。しかし PLL ならば、PLL clock と reference clock の位相のずれは、信号がリング・オシレータのバリアブル・ディレイを通過するたびに増幅され、どんな小さな位相のずれでも必ずフェイズ・ディテクターによって検出されるという利点がある（図 6.2 3 参照）。しかし、バリアブル・ディレイの値がちょうど 25ns になるのは PLL clock と reference clock の周期が等しくなったときであり、必ずしも位相が一致したときとは限らない。このようなときでもフェイズ・ディテクターは位相をそろえようとして UP シグナル、または DOWN シグナルを出す。位相がそろいだしたときには周期がずれてきてしまうということを繰り返し、結局 VCON はロック時の安定状態の電圧付近を中心に振動してしまう。この振動を除去するために、VCON にフィルターをつけることにした。フィルターに使うキャパシタンスは、チップの外付けにする。

このようにして PLL を用いて Patch Panel ASIC を作成し、2001 年 6 月に VDEC へ提出した。その後、完成した実際の ASIC を検証した。

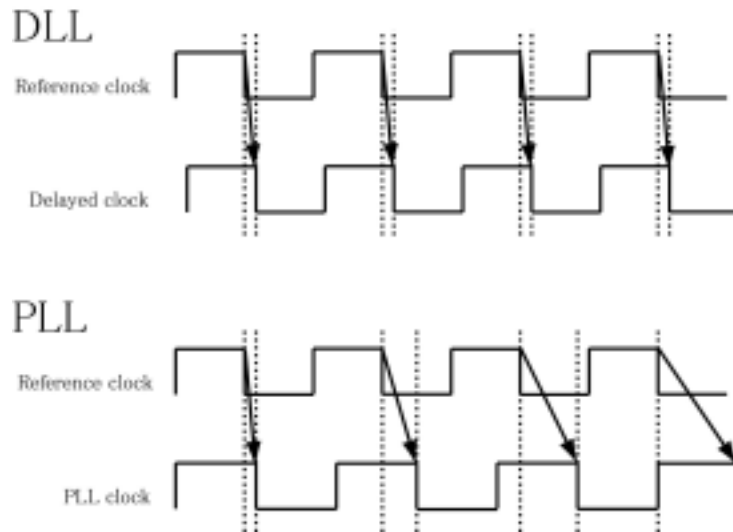


図 6.2 3 : DLL と比べての PLL の利点

## 6.4.2 その他の変更点

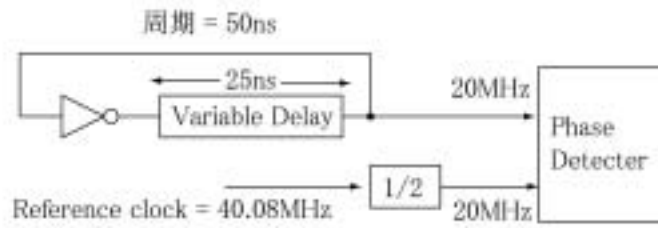
PLL への移行の他にもいくつかの点を変更した。まず Test Pulse Generator は、all off モードを加えた 8 段階で振幅を調節できるようにした。また Test Pulse Trigger は、クロックの立ち上がりエッジと立ち下がりエッジのどちらでもラッチできるようにした。さらに Test Pulse の幅は、Test Pulse Trigger の幅に関わらず、3  $\mu$ s で固定した。

## 6.4.3 PLL 使用 Patch Panel ASIC の検証

### PLL 回路の検証

PLL を用いた Patch Panel ASIC を DLL のときと同様のプロセス、手順で作成し検証を行った。ここで、この ASIC には 1 つバグがあることがデータ提出後から解っていた。フェイズ・ディテクターに入れる reference clock を得るために 40.08MHz のクロックを分周するための分周器を誤って PLL clock のラインにつけてしまった。そのため、40.08MHz のクロックを ASIC に供給すると、PLL がロックしないことが解っていた。この PLL を正常に動作させてやるためには 10MHz のクロックを供給してやれば良い(図 6.2 4 参照)。10MHz のクロックで PLL をロックさせたところ、正常に動作することが確認できた。

### 正しく設計した場合



### 今回設計した誤った回路

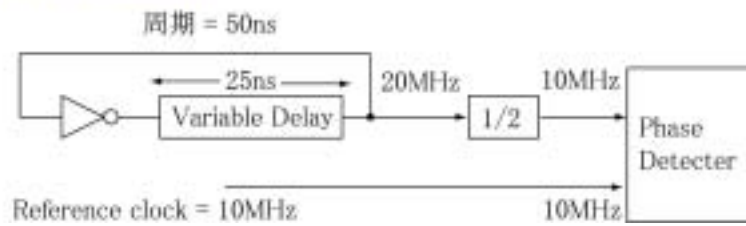


図 6.2 4 : PLL のバグへの対応

このようにして、PLL に 10MHz の reference clock を供給し、PLL を動作させてみた。PLL のバリエブル・ディレイの値を 32、28、24、20 と変えて測定した。初期状態として VCON の電圧は、すべて 3.3V に引き上げられている。

#### 3 2 段の場合

PLL を動作させると同時に VCON の電圧が 3.3V から下降し、1.8V 付近で安定する事が確認できた。図 6.2 5-a 参照。

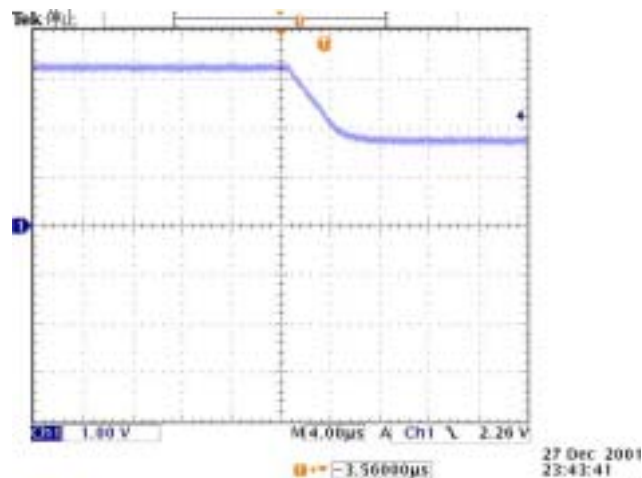


図 6.2 5-a : PLL のロックに伴う VCON の変化 ( 3 2 段 )

2 8 段の場合

3 2 段のときと同様、VCON の電圧が下降し、1.6V 付近で安定することを確認できた。図 6.2 5 -b 参照。

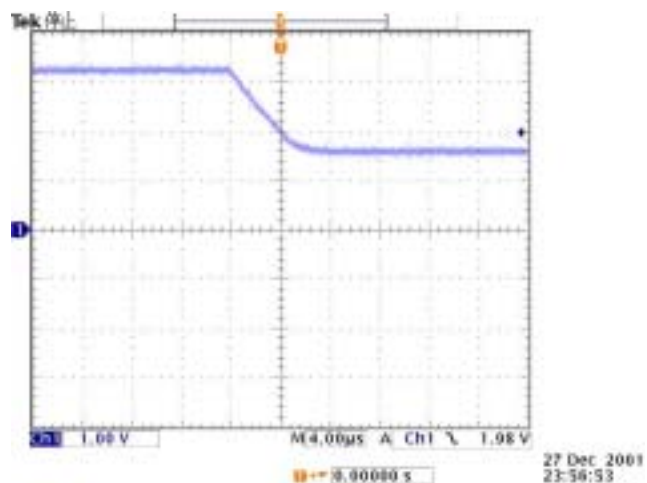


図 6.2 5 -b : PLL のロックに伴う VCON の変化 ( 2 8 段 )

2 4 段の場合

同様に、VCON の電圧が下降し、1.5V 付近で安定することを確認できた。図 6.2 5 -c 参照。

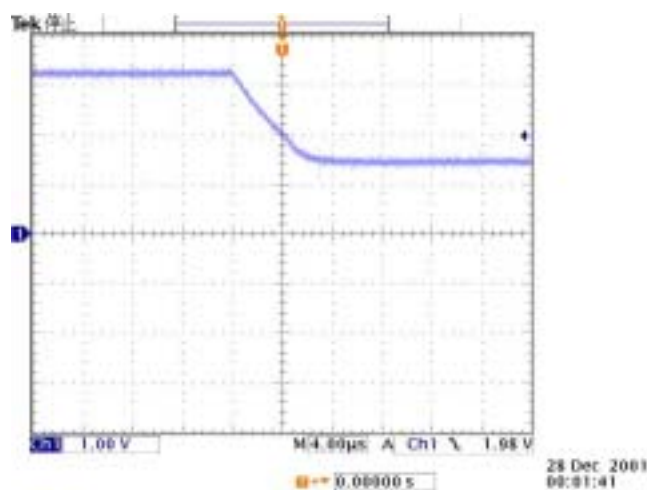


図 6.2 5 -c : PLL のロックに伴う VCON の変化 ( 2 4 段 )

## 20段の場合

同様に、VCONの電圧が下降し、1.4V付近で安定することを確認できた。図6.25-d参照。

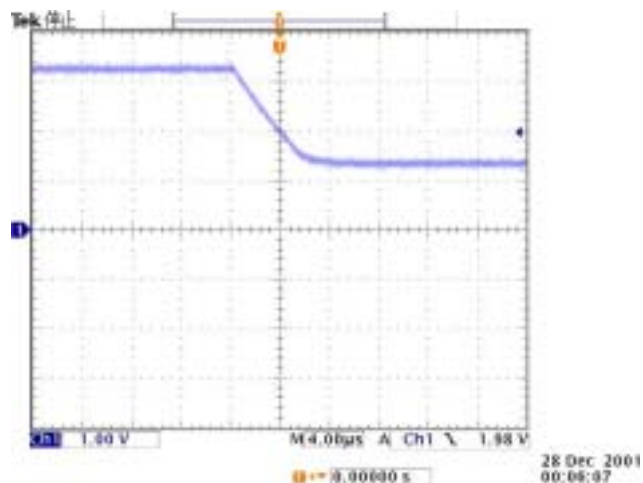


図6.25-d： PLLのロックに伴うVCONの変化(20段)

またPLLの場合、VCONの初期値を3.3Vではなくて0VにしてPLLを動かしても、VCONの電圧が正しい値でロックすることが解った。このことから、VCONのノイズや電源の揺らぎに対して、DLLよりもPLLの方が安定性が高いといえる。図6.26は、PLLのバリアブル・ディレイの段数を32段、VCONの初期電圧を0VにしてロックさせたときのVCONの変化である。この図では、初期値を3.3Vにしたときと同じ電圧でロックすることが確認できる。

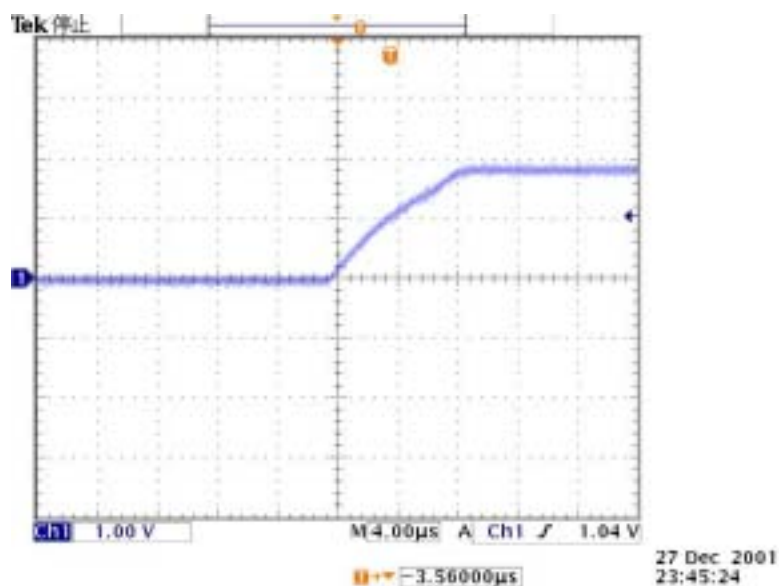


図6.26： 初期状態VCON=0VからのPLLのロックの様子

また PLL のロック時は、reference clock と delayed clock が同調していることがわかり、フェイズ・ディテクターが正常に動作していることが確認できた。図 6.2 7 は、フェイズ・ディテクターに入力する reference clock と delayed clock を観測したものである。10MHz の reference clock と 20MHz の PLL clock のエッジがそろっていることが確認できる。実際にフェイズ・ディテクターに入力されているのは、この PLL clock を 1/2 に分周した 10MHz のクロックで、これが reference clock と比較されている。

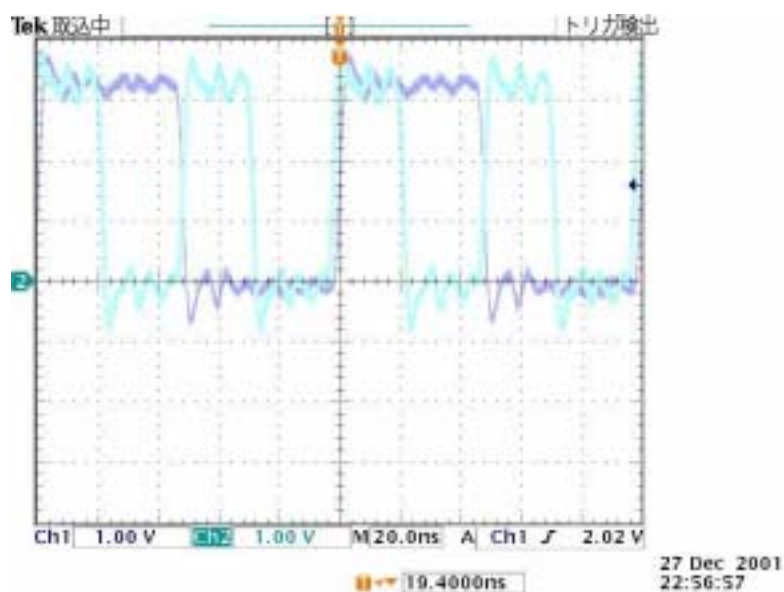


図 6.2 7: PLL の reference clock と delayed clock Ch1 = reference clock Ch2 = PLL clock

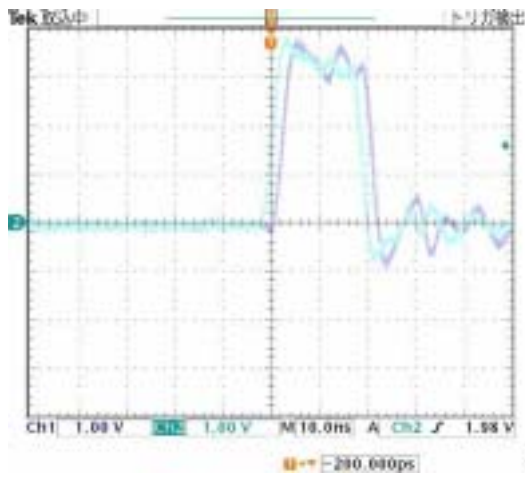
16ch のシグナル・ラインの 1ch に信号を入力したときのバリアブル・ディレイの値は次の通りである。

PLL Step	VCON (V)	Variable Delay			
		Rise Edge		Fall Edge	
		0 Step	31 Step	0 Step	31 Step
32	1.81	2.3 ns	23.7 ns	2.2 ns	23.6 ns
28	1.66	2.3 ns	26.6 ns	2.2 ns	26.1 ns
24	1.52	2.3 ns	30.8 ns	2.2 ns	30.3 ns
20	1.40	2.3 ns	36.5 ns	2.2 ns	36.1 ns

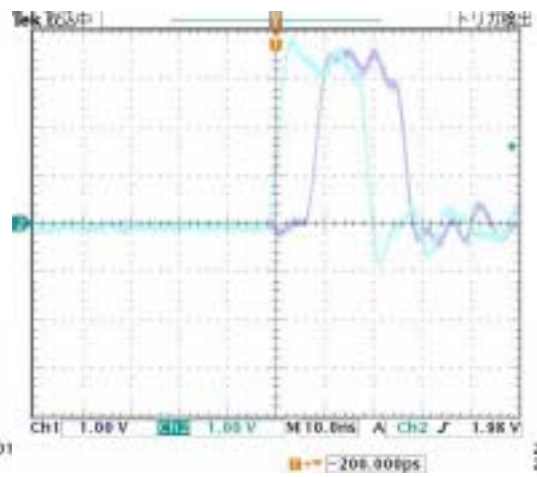
表 6.3 : バリアブル・ディレイの測定 (PLL)

この結果を考察する。PLL で設計したチップのバリアブル・ディレイの値は、DLL を用いて設計したチップとほぼ同じ値が得られた。これは、DLL から PLL への変更のみであり、その他の部分は同じ回路を用いているので当然だといえる。従ってこのチップでも、TGC からの信号用のバリアブル・ディレイの値は、PLL Step = 32 の Rise Edge において、 $23.7 - 2.3 = 21.4\text{ns}$  となり、25ns にはとどかないことになる。しかし、PLL Step = 24 にすれば十分に 25ns のディレイを得ることができる。従って、実験に使用することは十分にできるが、やはりこの問題は今後の解決が望まれる。

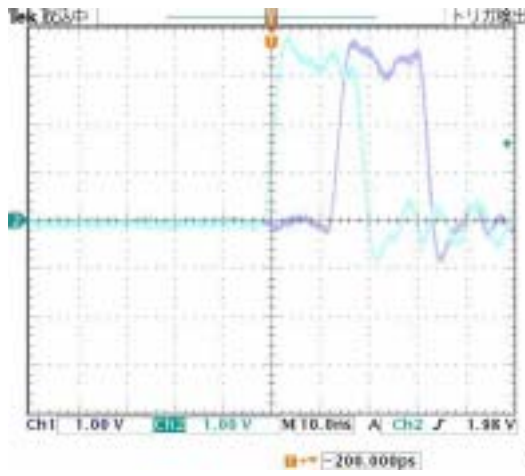
また、PLL Step = 32 において、バリアブル・ディレイの段階を 0、8、16、24、31 と変化させたときのバリアブル・ディレイの入力と出力を観測した波形を図 6.18 に載せる。この図から、バリアブル・ディレイの段数とディレイの良い線形性が見てとれる。



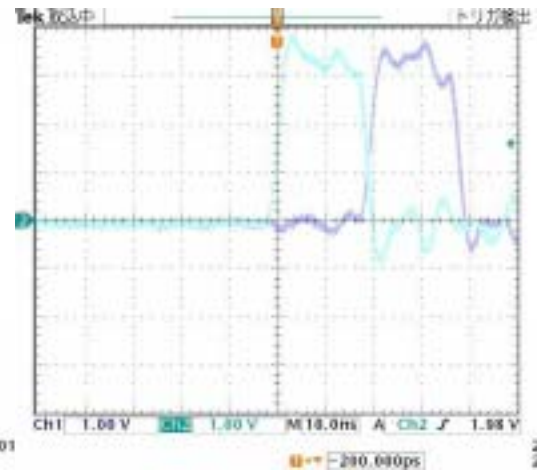
a) 0 delay cell



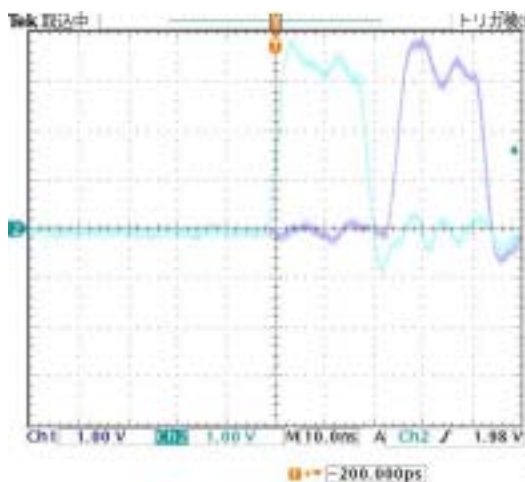
b) 8 delay cell



c) 16 delay cell



d) 24 delay cell



e) 32 delay cell

図 6.2 8 : バリャブル・ディレイの測定 (PLL) Ch1 = Output Ch2 = Input



最後に、0.6  $\mu\text{m}$  プロセスで設計した Patch Panel ASIC で用いたバリアブル・ディレイの値を、VCON を変化させて測定したものの実測値を図 6.29 に示す。ここで得られた曲線は、図 6.5 でシミュレーションを行ったときの fast と slow の曲線の間に収まっており、シミュレーションどおりの結果であるといえる。

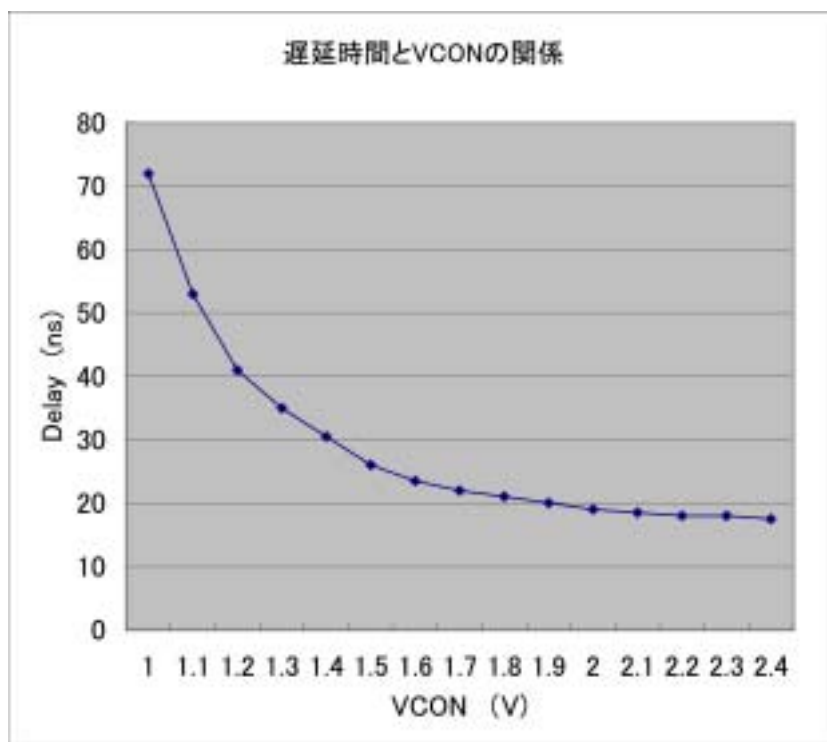


図 6.29 : VCON に対するバリアブル・ディレイの遅延時間の実測値

## 6.5 0.35 $\mu\text{m}$ プロセスでの設計と 32ch への拡張

CMOS のゲート長が 0.35  $\mu\text{m}$  のプロセスでの Patch Panel ASIC の作成も行った。一般的にゲート長が短いほどトランジスタのスイッチングのエッジが鋭くなり、速い処理速度が期待できる。また、0.35  $\mu\text{m}$  プロセスでは、素子ひとつ当りの占める面積が小さくなるので、今までのチップにさらに多くのロジックを搭載することができる。今まで 16ch だった Patch Panel ASIC を 32ch に拡張すれば大幅なコスト・ダウンが見込める。しかし、Patch Panel ASIC の多くの部分はアナログ設計をしており、レイアウト・レベルからデザインしている。0.6  $\mu\text{m}$  プロセスで使用したアナログ回路のデザインは 0.35  $\mu\text{m}$  プロセスでは使えないので、全て一からデザインし直さなければならない。また、アナログ回路の動作は、トランジスタの特性に大きく依存する。よってアナログ回路の各部分に用いるトランジスタのパラメータが最適なものになるように再考しなければならない。当然これに伴い、再シミュレーションによる動作確認が必要となる。

0.35  $\mu\text{m}$  プロセスへの移行を行う中で、特に変更が必要な部分は LVDS レシーバー、バリアブル・ディレイであり、その他の部分は特に注意は必要なく、0.6  $\mu\text{m}$  プロセスでの設計で用いたデザインの構造をそのまま 0.35  $\mu\text{m}$  プロセスに当てはめればよいことが解った。PLL についても、フェイズ・ディテクター、チャージポンプなど、内部で用いているバリアブル・ディレイ以外のものは、素直に 0.35  $\mu\text{m}$  に移行できる。ここでは、LVDS レシーバーとバリアブル・ディレイの新しい回路図とシミュレーション結果を示す。

### 6.5.1 LVDS レシーバーの設計

トランジスタの特性の変更によって最も大きく影響を受けるのは LVDS レシーバーである。0.35  $\mu\text{m}$  プロセスのトランジスタで、従来通りの動作をさせるため、トランジスタのゲート幅が最適になるよう調整し、シミュレーションを繰り返しながら設計した。図 6.30 に新たに設計した LVDS レシーバーの回路図を示す。回路の構造そのものは 0.6  $\mu\text{m}$  プロセスのものとは変わらない。LVDS レシーバーの動作の大半は、回路図中のトランジスタ、P1、P2、P3、N2、N3 のゲート幅によって決定される。P1、P2、N2、N3 が差動アンプを形成しており、P3 が差動アンプに流れる電流を決定している。これらのトランジスタのゲート幅が 0.35  $\mu\text{m}$  プロセスに最適なものになるようにシミュレーションを繰り返し行って決定していった。

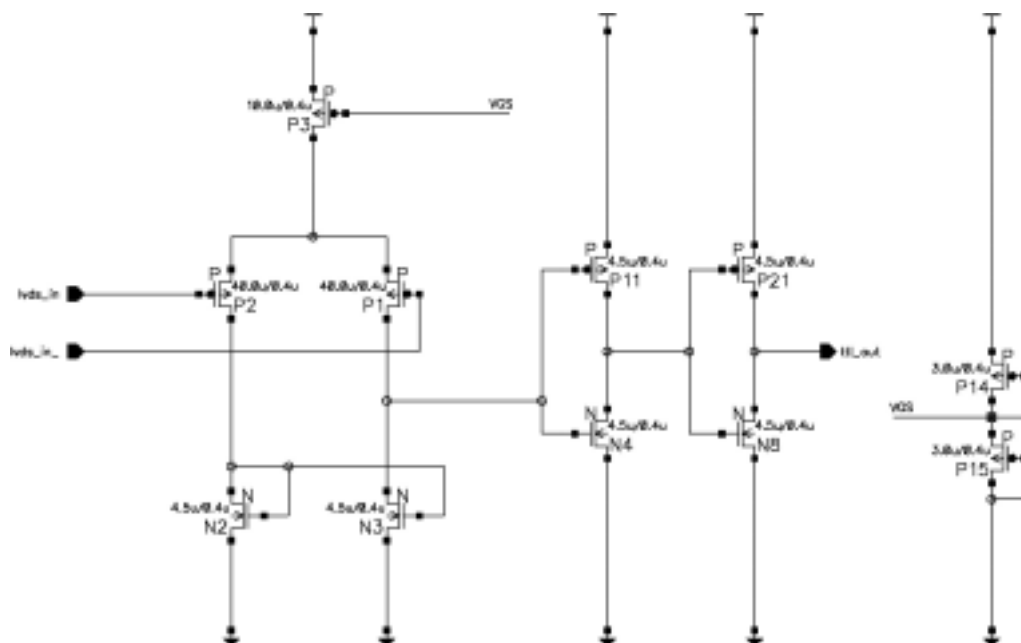


図 6.30 : 0.35  $\mu\text{m}$  プロセス設計での LVDS レシーバーの回路図

図 6.26 の回路によって SPICE シミュレーションを行った。入力する LVDS レベル信号を様々なパターンで試した結果を表 6.4 に示す。試した入力パターンは、まず標準的なものとして、中心電圧 1.2V、振幅 ±200mV、周波数 40MHz の LVDS 信号を試したところ、正常に動作した。これを基本として、中心電圧を低め(0.6V)、高め(1.8V)にしたパターン、振幅を小さめ(±50mV)、大きめ(±500mV)にしたパターン、周波数を高め(100MHz)にしたパターンでシミュレーションを行ったところ全て正常に動作することが確認できた。

LVDS Input Pattern			結果
中心電圧 (V)	振幅 ± (mV)	周波数 (MHz)	
1.2	200	40	OK
0.6	200	40	OK
1.8	200	40	OK
1.2	50	40	OK
1.2	500	40	OK
1.2	200	100	OK

表 6.4 : 0.35 μm プロセス設計の LVDS レシーバーのシミュレーション結果

また、LVDS の利点である同相ノイズに対する耐性も調べた。その結果を、表 6.5 に示す。ノイズの振幅は ±400mV で一定だが、ノイズの周波数を 40MHz から 10,000MHz の範囲で変化させてシミュレーションを行った。その結果、同相ノイズによる誤動作は認められなかった。

Common Mode Noise Pattern		結果
振幅 ± (mV)	周波数 (MHz)	
400	40	OK
	100	OK
	1,000	OK
	10,000	OK

表 6.5 : 0.35 μm プロセス設計の LVDS レシーバーの同相ノイズに対するシミュレーション結果

## 6.5.2 バリアブル・ディレイ

0.6 μm から 0.35 μm のプロセスに換ったことによって、トランジスタのスイッチングが速くなり、各種セルの処理速度が大幅に速くなった。よって 0.6 μm プロセスのディレイ・セルと同じ構

造を持ったディレイ・セルを  $0.35\ \mu\text{m}$  プロセスで設計すると、ディレイの値が大幅に短くなってしまふ。従って、バリアブル・ディレイを  $25\text{ns}$  に保とうとすると供給する VCON の電圧は非常に低くなってしまい、動作に支障をきたす恐れがある。従って、ディレイ・セルのトランジスタのゲート幅を変えたり、寄生容量が大きくなるような設計を行い、ディレイを増加させる工夫を行った。新たに設計した回路図を図 6.3 1 に示す。回路の構成自体は、 $0.6\ \mu\text{m}$  プロセスと変わらない。しかし、この回路図の P47、P46、N57、N58 のゲート幅を非常に大きくした。 $0.6\ \mu\text{m}$  プロセス設計では、ゲートの(幅)/(長さ)の比を、 $7.8\mu\text{m}/0.6\mu\text{m}$ (PMOS)、 $3.9\mu\text{m}/0.6\mu\text{m}$ (NMOS)としてあるのに対し、 $0.35\ \mu\text{m}$  プロセスでは、NMOS と PMOS とともに、 $13.35\mu\text{m}/0.4\mu\text{m}$  となっている。これによって遅延要素となるインバータの駆動するラインの容量が大きくなり、遅延が増す。ちなみに、このプロセスは一般的に  $0.35\ \mu\text{m}$  プロセスと呼ばれているが、正確にゲート長を測ると  $0.4\ \mu\text{m}$  である。こうして設計したもののシミュレーションを行い、今までの VCON の値とほぼ同じ値で、 $25\text{ns}$  のディレイを得ることができることを確認した。

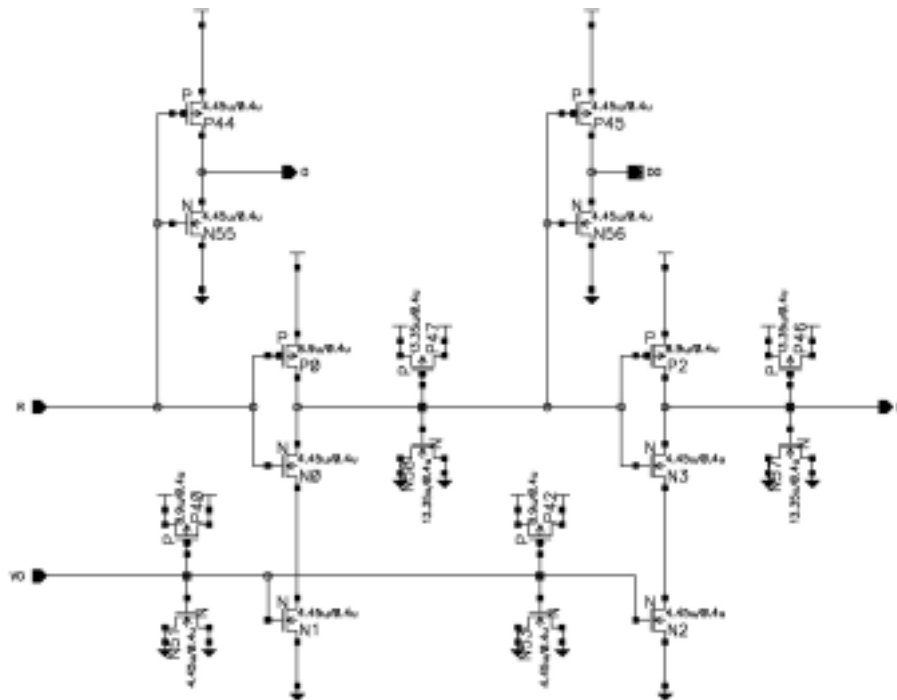


図 6.3 1 :  $0.35\ \mu\text{m}$  プロセス設計でのディレイ・セルの回路図

図 6.5 でしたのと同様に、このディレイ・セルを用いて設計したバリアブル・ディレイを 3 2 段にしたときのディレイを、供給する VCON の電圧を変化させてシミュレーションした結果を図 6.3 2 で示す。このシミュレーションでも、fast、typical、slow の 3 パターンを行った。いずれの場合も、VCON 電圧が  $0.6\ \mu\text{m}$  プロセスのときとほぼ同じ値で  $25\text{ns}$  の遅延を得ることができた。

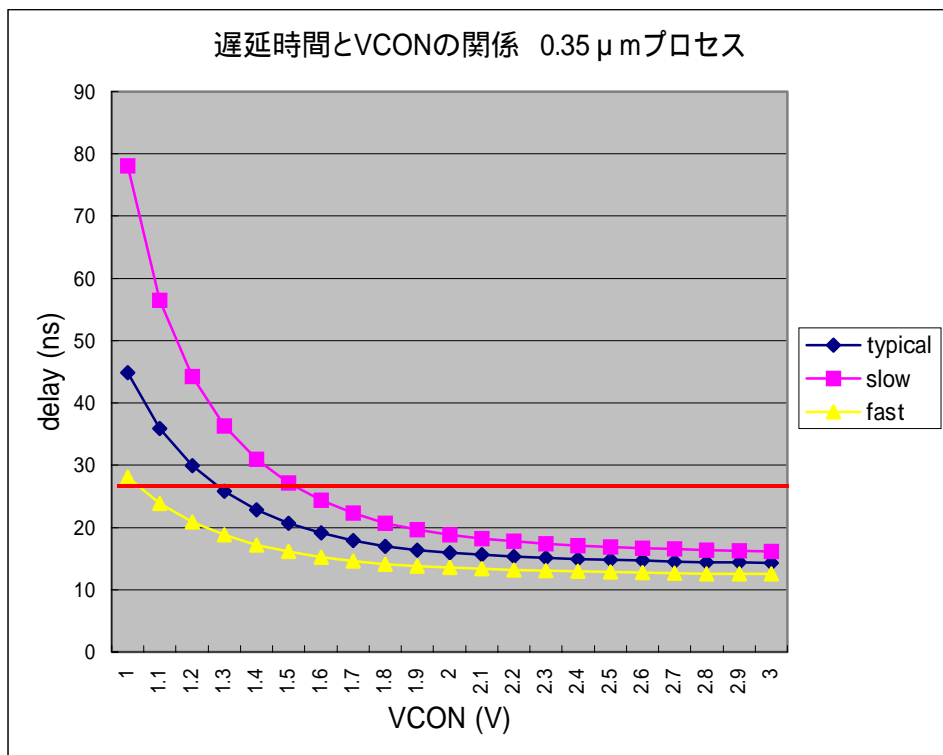


図 6.3 2 : VCON に対するバリアブル・ディレイの遅延時間のシミュレーション (0.35 μm)

このようにして、0.35 μm プロセスでの Patch Panel ASIC の設計を行い、2001 年 8 月に VDEC に提出した (図 6.3 3 参照)。実際の ASIC が届き次第、検証が行われる予定である。また、0.35 μm プロセスへの移行に伴い、チップ面積に余裕が生じた。このため、今まで 16ch をカバーしていた Patch Panel ASIC を 32ch までカバーできるように拡張した。この ASIC は 2001 年 11 月に提出したが、これは VDEC ではなく、半導体製造企業であるローム[12]が主催する、ベンチャー企業向け LSI 製作プロジェクトである VLDAC を利用して ASIC の製造を依頼した (図 6.3 4 参照)。これについても届き次第、テストを行う。

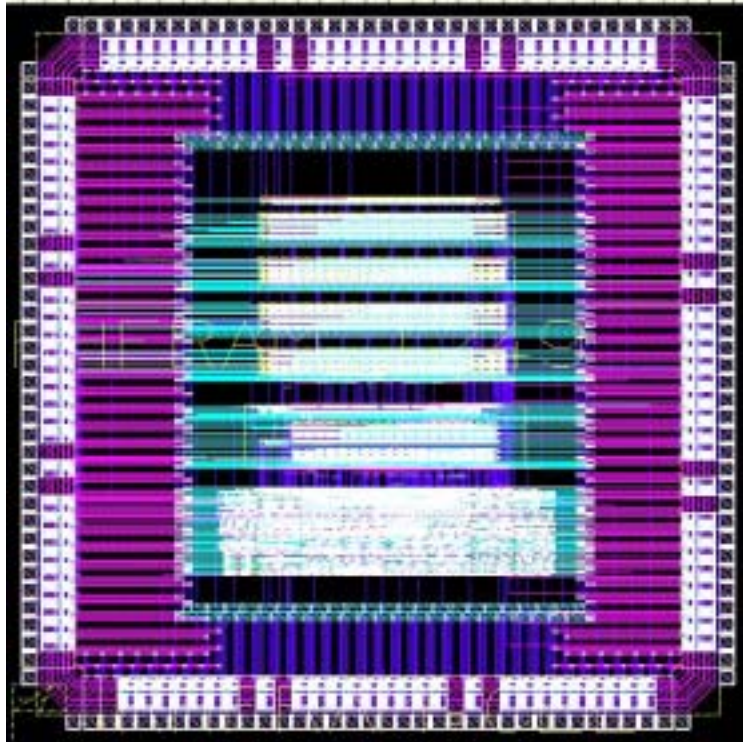


図 6.3 3 : 0.35  $\mu\text{m}$  プロセス設計の Patch Panel ASIC のレイアウト・マスク

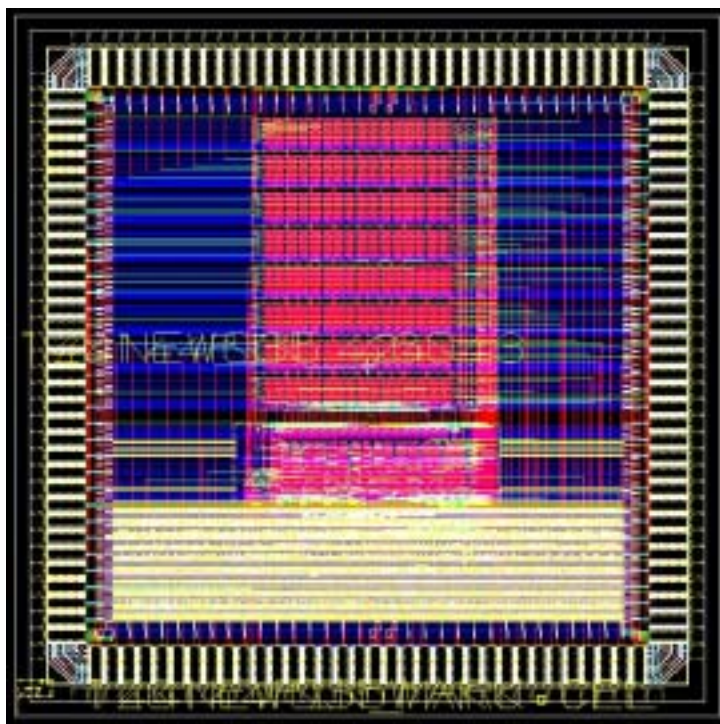


図 6.3 4 : 0.35  $\mu\text{m}$  プロセス設計の 32ch 対応 Patch Panel ASIC のレイアウト・マスク

## 6.6 Patch Panel ASIC の開発に関するまとめ

0.6  $\mu\text{m}$  プロセス設計による、DLL を用いた Patch Panel ASIC に残されていた問題点を取り除き、新たに ASIC を作成した。検証の結果、全ての機能が正常に動作することが確認できた。

我々のグループでは 2001 年 9 月から、TGC の出力から Sector Logic の出力までの、全てのコンポーネントを接続してテストを行い、本実験と同じような運用の仕方でも各コンポーネントのテストを行っている。この接続テストにおいて、0.6  $\mu\text{m}$  プロセス設計 DLL 使用 Patch Panel ASIC は、問題なく動作している。現在は、Patch Panel ASIC のデフォルトの設定で動いているが、将来的には、バリアブル・ディレイの値を様々に変化させてより詳しい動作を確認する。ただ、Patch Panel ASIC 単体のテストにおいては、今まで述べてきた通り、JTAG プロトコルによって自由にパラメータを設定でき、バリアブル・ディレイも自由に操作することができている。その他、全ての JTAG レジスタに対してデータを書き込み、これに従って動作させることができる。

DLL にかわり、PLL を用いた設計を行った。この PLL を用いた ASIC では、reference clock に分周器を入れるところを PLL clock の方に分周器を入れてしまうミスがあった。しかし、正しく動作できる周波数(10MHz)のクロックを供給してやると PLL はロックし、正常に動作することが確認できた。しかも、VCON に対するノイズや、電源の揺らぎなどに対して DLL よりも高い耐久性を持つことが判った。また、JTAG プロトコルによる制御についても全ての機能の動作を確認した。

さらなる性能の向上と、チップ面積の節約のため、0.35  $\mu\text{m}$  プロセスでの設計を行った。LVDS レシーバー、バリアブル・ディレイのトランジスタのゲート幅を最適化し、十分動作することをシミュレーションで確認した。また、チップ面積に余裕が生じたことにより、16ch から 32ch への拡張を行った。これにより、コストの大幅な削減が見込まれる。この 2 つの ASIC については製造業者から届き次第テストを行う。

今後の課題としては、0.35  $\mu\text{m}$  プロセスで設計した 2 種類の ASIC (16ch と 32ch) をテストし、正しく動作することを確認する。また、0.6  $\mu\text{m}$  プロセスの設計で、TGC 信号用のバリアブル・ディレイの値が 25ns よりも数 ns だけ短いという問題があった。0.35  $\mu\text{m}$  プロセスの方が一般的に処理速度が速く、性能が高いとされているので、この問題が 0.35  $\mu\text{m}$  プロセスでの設計で解消されているかどうかを確かめる。解消されていない場合は、原因を究明し再度設計することが望まれる。

## 7章 Slave Board ASIC の開発

Low-pT トリガー判定やリードアウトを担う Slave Board ASIC は、我々のグループでは初めて経験する規模の ASIC であり、またそれぞれ特徴的なブロックに分けることができることから、複数名による分業によって開発された。図 7.1 に Slave Board ASIC のブロック図を示す。Slave Board ASIC の機能ブロックは、入力部(Input Part)、トリガー部、リードアウト部、制御部(Control Part)に分けられる。

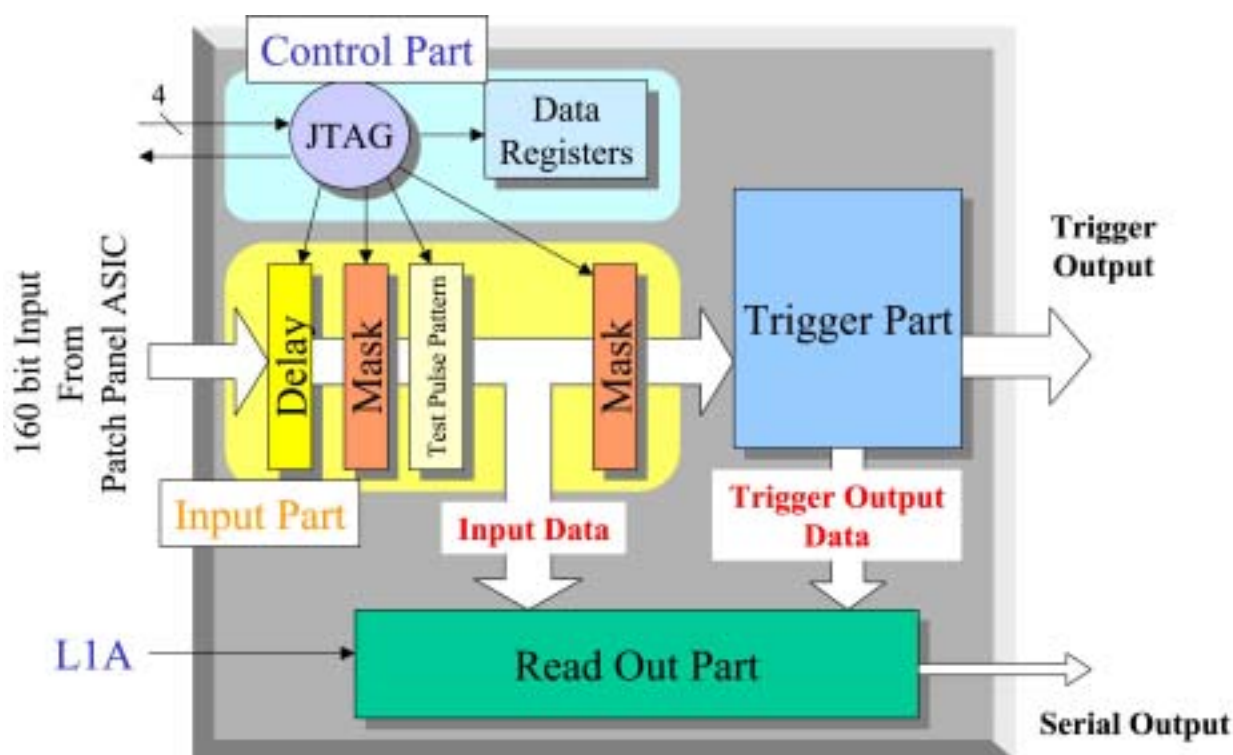


図 7.1 : Slave Board ASIC のブロック図

### 7.1 Input Part

Input Part は、入力信号に対する処理を行う部分である。Patch Panel ASIC から Slave Board ASIC に送られてくる信号は、最大で 160bit になる。図 7.1 に示す通り、Input Part は、まず最初に 1 クロック単位でのタイミングの調整を行うディレイ回路がある。次にマスク回路を通る。マスクは、常に信号を出しつづけるホット・チャンネルをマスクするなどの役割がある。マスクは、各チャンネルに対し High、Low、Through の 3 パターンを選択する。次に、入力信号ラインに対してテスト・パルスを流すという機能がある。これは、予め用意された 160bit のレジスタに、任意



のパターンを書き込んでおく。そして、Slave Board ASIC が TTC から Test Pulse Trigger 信号を受け取ると、このパターンが入力ラインに流され、Slave Board ASIC や、これ以降のデバイスのテストに利用される。これらの処理を受けた入力信号は、トリガー部、リードアウト部の各パートに送られるが、トリガー部に送られる入力に対してのみもう1つマスクが用意されている。これは、ホット・チャンネルとして、トリガー部には影響を与えないためにマスクをするが、ホット・チャンネルの位置を調べるため、その情報を読み出したい場合が存在するためである。

## 7.2 Control Part

Control Part は、JTAG プロトコルによって Slave Board ASIC 全体のパラメータ設定や、制御を行うための部分である。表 7.1 に Slave Board ASIC の JTAG レジスタ・リストを示す。

Register Name	Bit	Instruction Code (Write Mode)	Comment
DEPTH	21	0011_0001	Depth of L1 Buffer
TESTPULSE	5	0010_1001	Set delay of Test Pulse Trigger
DELAY	4	0001_1001	Set delay of input
SCHEME	1	0100_1001	Example , Low : 3/4 , High : 4/4 coincidence mode
LIVETO	1	0101_0001	Low : through , High : L1A = 0
CLKINV	1	0101_1001	Low : order , High : invert
RESET	1	0110_0001	No Use
DRDRST	1	1000_1001	Derandomizer Reset
SEU	1	0011_1001	SEU Flag
MODULE	8	0100_0001	Indicate Module Type and Module Address
OVERFLOW	8	0111_1001	Indicate Derandomizer Overflow
ID	32	1000_0001	Indicate chip ID
MASK1P	160	0110_1001	Set Mask Pattern for Readout and Matrix
MASK1	160	0000_1001	Output Mask Pattern for Readout and Matrix
MASK2P	160	0111_0001	Set Mask Pattern for Matrix only
MASK2	160	0001_0001	Output Mask Pattern for Matrix only
TPP	160	0010_0001	Set Test Pulse Pattern

表 7.1 : Slave Board ASIC の JTAG レジスタ・リスト

## 7.3 リードアウト部

リードアウト部は、レベル1トリガー判定が下されたイベントのデータの読み出しを行う部分である。図7.2にリードアウト部のブロック図を示す。まず、レベル1トリガー判定が行われ、レベル1アクセプト信号が TTC から送られてくるまでの間データを保存しておくレベル1バッファがある。レベル1バッファには、Slave Board ASIC 入力データ、Slave Board ASIC トリガー部出力、バンチ・カウンターの値が保存される。レベル1アクセプトが与えられると、アクセプトされたバンチと前後1つずつのバンチ合わせて3バンチ分のデータがレベル1バッファからデランダムマイザーへと送られる。このときレベル1アクセプトの数を数えているイベント・カウンターの値も共にデランダムマイザーに送られる。デランダムマイザーはFIFOになっていて、レベル1バッファから不規則的に送られてくるデータを一時的に蓄えておく。レベル1バッファや、デランダムマイザーには大量のメモリが使用され通常のASIC製作で用いられるレジスタを使うと、非常に多くの面積を費やし、また配線遅延などによるタイミングのずれが起こりやすくなってくる。そこで今回のASIC製作では、半導体製造企業（ローム社）が提供するメモリマクロを使用することにした。このメモリマクロは、高集積であり、企業によって動作も保証されているものである。デランダムマイザーのデータはPSC(Parallel to Serial Converter)に送られ、シリアル・データに変換されてStar Switchに送られる。

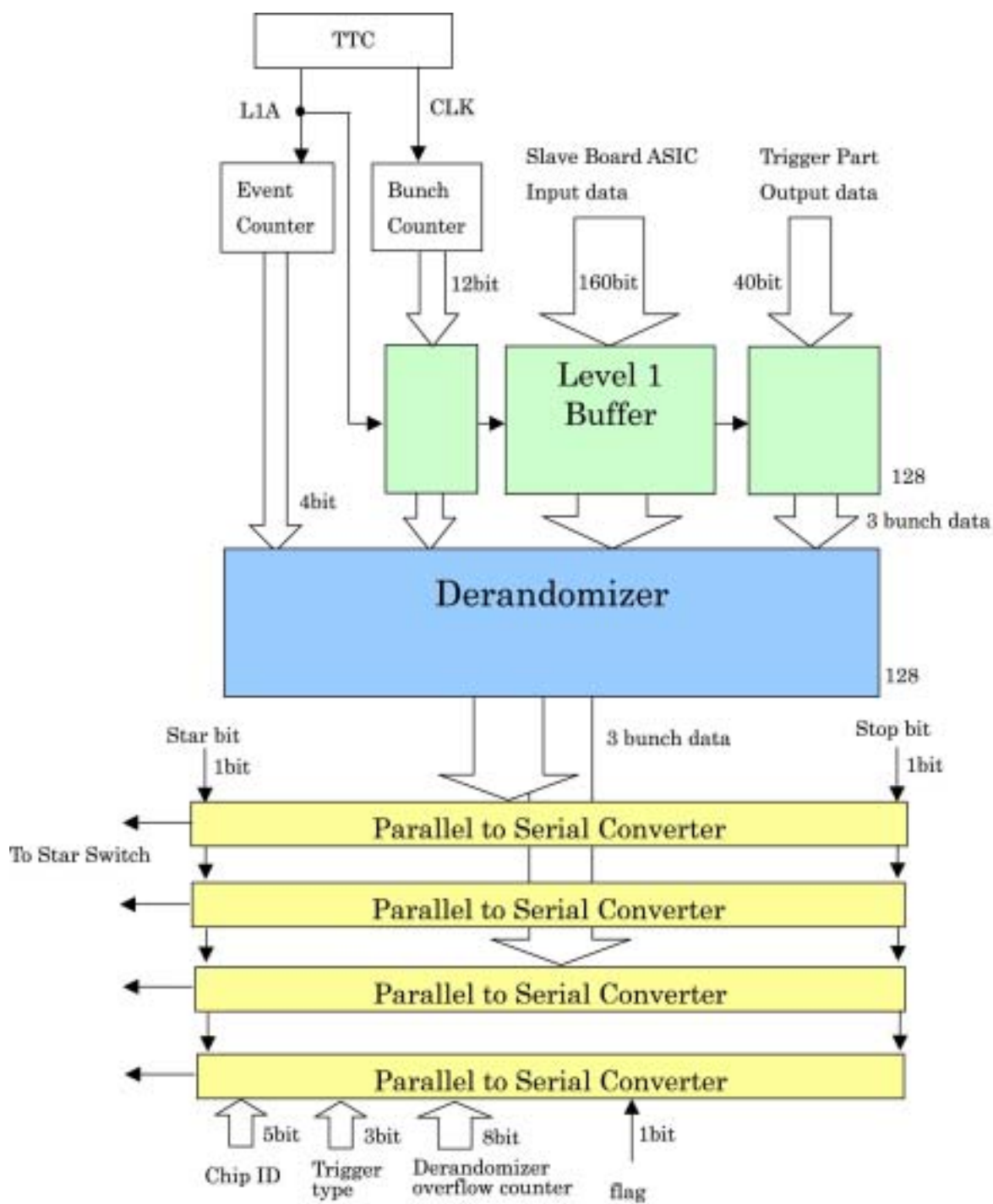


図 7.2 : リードアウト部のブロック図

## 7.4 トリガー部

Slave Board ASIC のトリガー部は TGC ミューオン・トリガー・システムにおける Low-pT トリガー判定を担う部分である。トリガー部の役割としては、まずミューオンが TGC を通過した位置を測定する。Triplet、Pivot Doublet の両ホイールのミューオンが通過した位置を R 方向、 $\phi$  方向の 2 次元で読み出す。それから、通過したミューオンの pT を測定する。これは、Pivot、Middle の両 Doublet を利用して行う。最後に、EI/FI TGC のミューオン・ヒットの有無を調べる。これらの役割は、対応する TGC のタイプによって処理の内容が異なってくる。よって、それぞれの処理に応じて、Wire Doublet、Strip Doublet、Wire Triplet、Strip Triplet、EI/FI の 5 つのタイプの回路が必要となる。

### 7.4.1 Wire Doublet

Wire Doublet 用の処理としては、Pivot Doublet でのミューオン・ヒットの位置を求め、Middle Doublet の情報を加えて、ミューオンの pT を測定する。この処理を行うための回路がマトリックス状になっているため、この回路を Wire Doublet マトリックスと呼ぶ。図 7.3 で Wire Doublet マトリックスへの入力を示す。この回路への入力は、まず 1 レイヤーにつき 32bit で Pivot、Middle を合わせた 4 レイヤーで 128bit の入力メインとなる。これに加えて、隣接する Slave Board ASIC がメインとする入力トリガー処理を行うのに必要となる。Pivot の場合 1 レイヤーにつき前後 2bit づつ、Middle の場合 1 レイヤーにつき前後 6bit づつが必要となる。これらを全てあわせると 160bit になる。

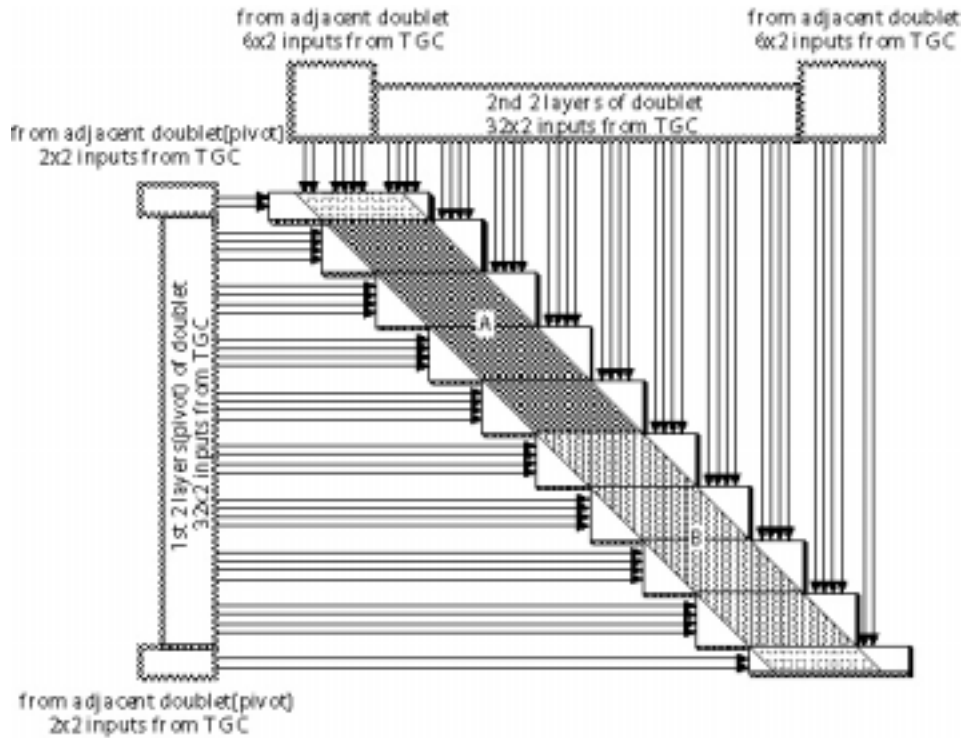


図 7.3 : Wire Doublet マトリックスへの入力

### Doublet のコインシデンス処理

Pivot、Middle の両 Doublet からの入力は、 $p_T$  測定のためのマトリックスに入力される前に、まずそれぞれでのコインシデンス処理が施される。図 7.4 にこのコインシデンス処理のロジックを示した。この処理で Doublet の 2 層の内、2 層ともヒットした 2 out-of-2 なのか、1 層だけヒットした 1 out-of-2 なのかを調べる。

Doublet のワイヤー・グループは、2 つの層で互いにずらしてある(staggering)。staggering の大きさはワイヤー・グループのピッチの  $1/2$  である。これによって、1 層分よりも 2 倍のレゾリューション (位置分解能) を得ることができる。図 7.4 を見ても解る通り、チャンネル間隔の  $1/2$  だけ staggering した 2 層のチェンバーは、一方の層の中の 1 つのチャンネルが必ず、もう一方の層の 2 つのチャンネルと重なり合う部分を持っている。今、片方の層のあるチャンネルにミュオンがヒットしたとすると、もう片方の層には、このチャンネルと重なり合う 2 つのチャンネルがある。この 2 つのチャンネルの内、どちらにミュオンがヒットしたかを調べることによって、ミュオンがヒットした位置を 1 チャンネルのときよりも  $1/2$  に狭めて限定することができる。このようにして 2 倍のレゾリューションを得ることが可能となる。

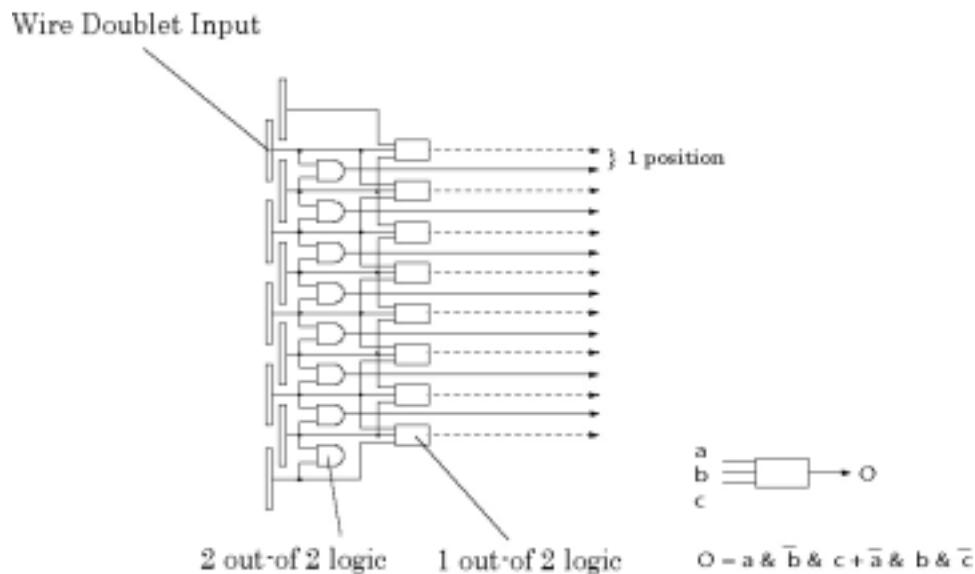


図 7.4 : Doublet のコインシデンス回路

### サブ・マトリックス

Wire Doublet マトリックスの機能を説明するために、Wire Doublet マトリックスを小さく分けたサブ・マトリックスを説明する。Wire Doublet マトリックスでは、Pivot Doublet におけるミュオン・ヒットの位置を求めるが、Pivot Doublet のメインとなる入力は1レイヤーにつき 32bit であり、2層構造の staggering によりレゾリューションが2倍になり、全部で 64 のポジションが存在する。サブ・マトリックスはこのうち 8 のポジションをカバーしている。図 7.5 はサブ・マトリックスの構造を示している。サブ・マトリックスは、マトリックス・エレメントと呼ばれる回路を並べて構成される。縦方向に並べられた Pivot Doublet の入力と横方向に並べられた Middle Doublet の入力が交差する点上に対角線状にマトリックス・エレメントが配置されている。1つのマトリックス・エレメントには、Pivot Doublet、Middle Doublet 両方の 2 out-of-2、1 out-of-2 ラインが1ポジション分入力される。そして、3 out-of-4 以上であれば出力に信号を出す。また、オプションとして 4 out-of-4 のときのみ信号を出すようにすることもできる。バックグラウンドが多い場合などに 4 out-of-4 を用いる。Pivot Doublet と Middle Doublet のミュオン・ヒットの位置が Infinite Momentum Line 上にあった場合、マトリックス・エレメントのどの部分が信号を出力するかというと、図 7.5 の最も色の濃い中心の対角線上のマトリックス・エレメントが反応する。このようにして、TGC のジオメトリーとマトリックスのロジックとが対応付けられている。pT が低くなり、Middle Doublet 上のヒットの位置が Infinite Momentum Line からずれるに従って、反応するマトリックス・エレメントは、左右に移動していく。pT は、-7 から+7 までの 15 段階で表現される。マトリックスの1つの対角線上のエレメントは、等しい pT を示している。マトリック

ス・エレメントの出力は、サブ・マトリックスの対角要素同士で OR がとられる。OR がとられた信号は、他のサブ・マトリックスからの出力とも OR がとられ、Select Highest-pT 回路に送られる。Select Highest-pT 回路は、OR をとられて送られてきた 15 段階の pT の内で、ヒットがあったものの中から最も pT の高いヒットを選び、そのヒットが送られてきたマトリックス・エレメントに対して信号を送り返す。Highest-pT として選ばれたマトリックス・エレメントは、位置の情報を出力する。

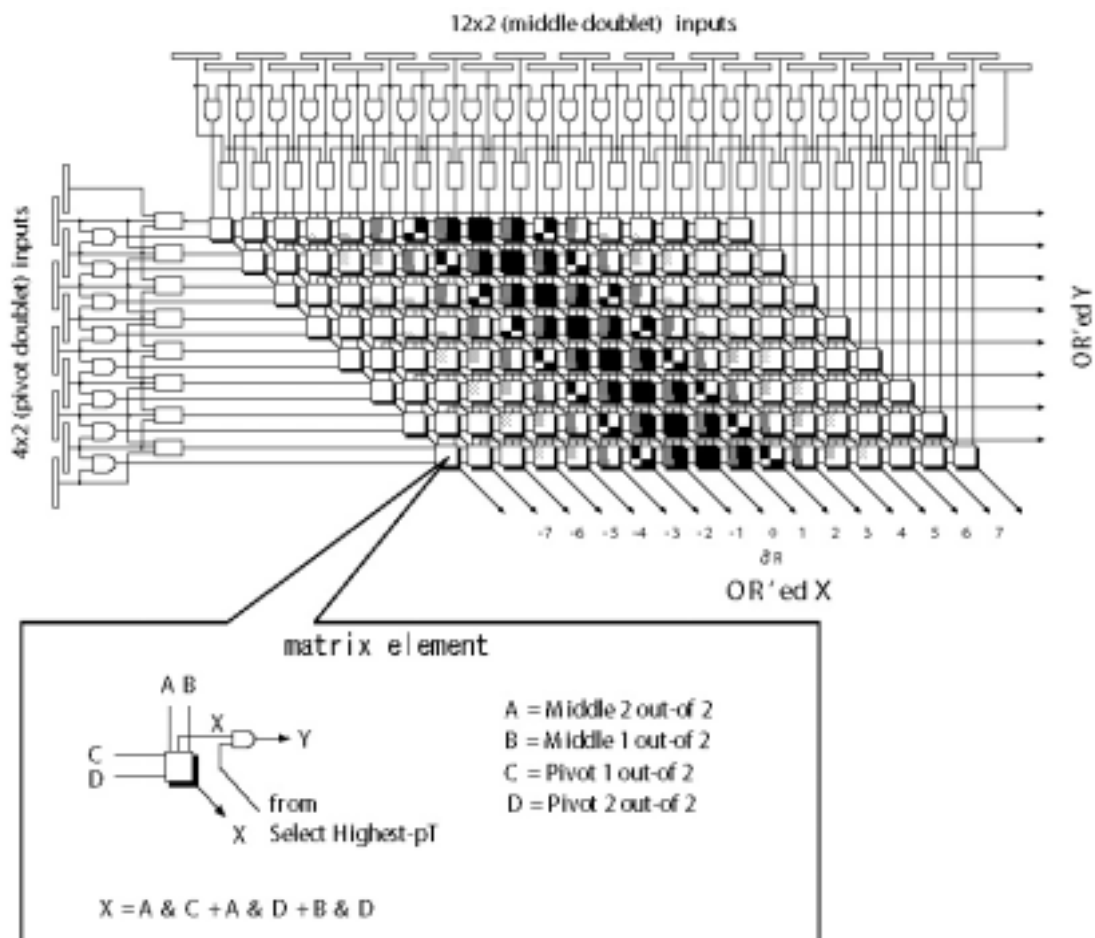


図 7.5 : サブ・マトリックス

### Wire Doublet マトリックス

サブ・マトリックスを対角線上に並べて全体のマトリックスを作る。図 7.6 が Wire Doublet マトリックスの構造である。マトリックスは、A-block と B-block とに分けられ、それぞれから最も pT の高いヒットを 1 つだけ選ぶ。ミュオンが TGC を通過するとき、その角度や位置によっては隣接する幾つかのチャンネルにまたがってヒットする場合がある。この幾つかのチャンネルにまたがったヒットをクラスターと呼ぶ。クラスターが A-block と B-block の境界にきたとき、何もせず

に Highest-pT を選ぶと、1つのミュオンによって生じたクラスターにもかかわらず、A-block と B-block の両方にヒットが出力されてしまうという問題が起こる。これを避けるため、Select Highest-pT 回路に送る信号は、A-block、B-block それぞれ前後にマージンを持たせて OR をとるようにしている。A-block と B-block のこのマージン部分を overlap region と呼んでいる。

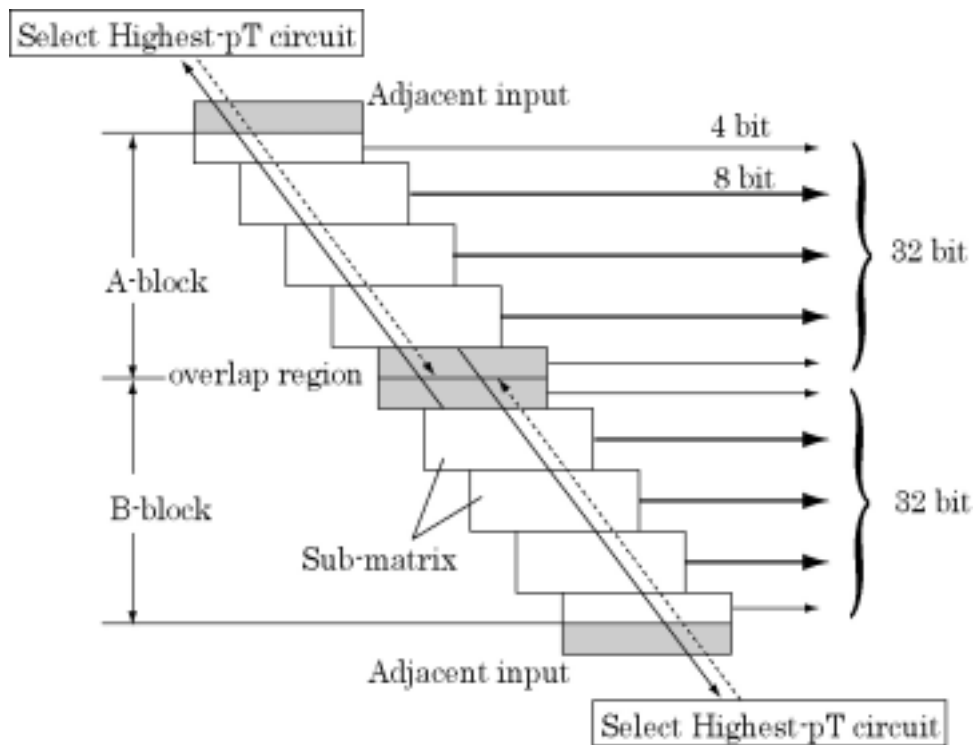


図 7.6 : Wire Doublet マトリックスの構造

我々のグループでは、かつて Wire Doublet マトリックス単独で1つのテスト用 ASIC を試作している。このテスト用 ASIC に搭載した Wire Doublet マトリックスのロジックにはバグがあった。バグの原因を図 7.7 で図示する。バグの原因は、Select Highest-pT 回路からのリターン・シグナルを overlap region にまで送り返してしまい、このリターン・シグナルが送り返された overlap region にヒットがあると、例え pT が最も高いものでなくとも位置情報が出力されてしまうというものであった。これにより、overlap region でヒットを検出する頻度が他のチャンネルよりも高くなってしまっていた(図 7.8 参照)。そこで、Select Highest-pT 回路からのリターン・シグナルを overlap region のマージン部分に反映させるのをやめ、このバグを取り除いて正常に動作する回路で Wire Doublet マトリックスを設計した。



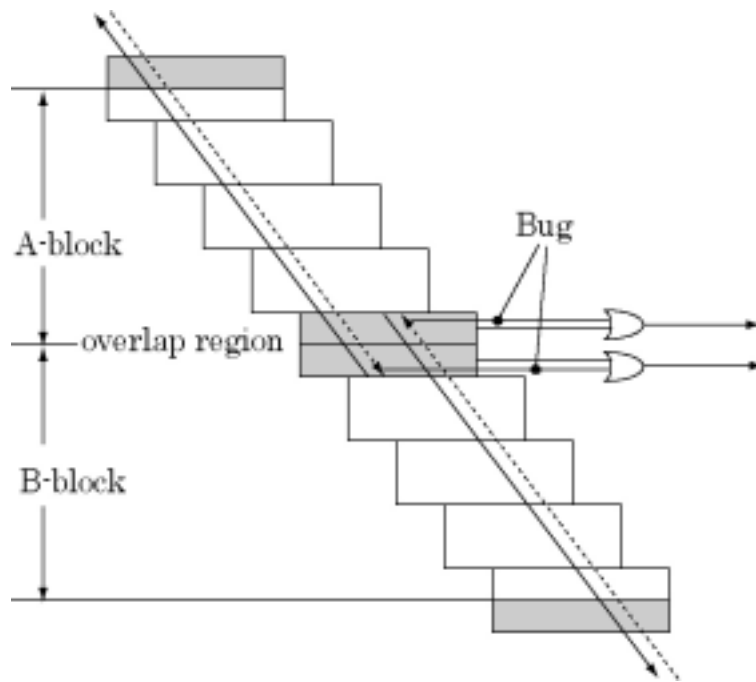
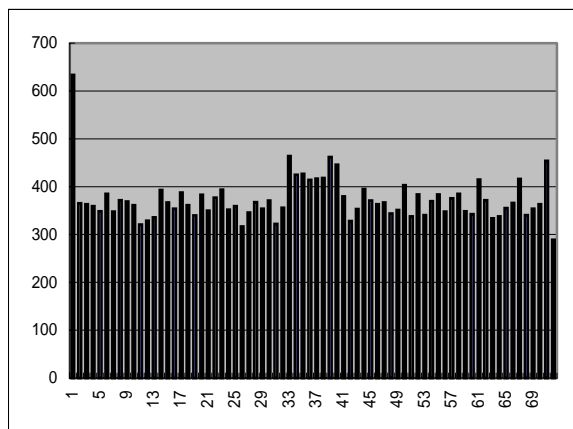
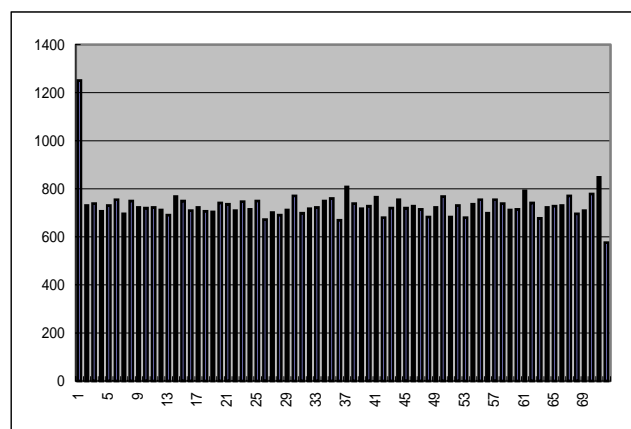


図 7.7 : overlap region におけるバグ



a) バグのあるもの



b) バグを修正したもの

図 7.8 : overlap region のバグによるダブル・カウントと修正版のシミュレーション

縦軸はヒット数、横軸は adjacent input を含めたポジション。バグのあるものは、中心の overlap region でヒット数が多いのに対し、修正したものでは全チャンネルで均等なヒット数を検出している。ここで最両端部分に不均一性が認められるが、両端の 4 ポジションづつは adjacent input 部分であるため、出力されない。そのため最両端の不均一部分も出力されない。

## デクラスタリング

Wire Doublet マトリックスの出力は次にデクラスタリングが施される。隣接する幾つかのポジションにまとまってヒットが現れる、つまりクラスターとしてヒットが送られてきた場合、デクラスタリングは、このクラスターを1つのヒットとみなすため、クラスターを1ポジションに集約する。デクラスタリングのロジックを図7.9に示す。デクラスタリングの方法としては、クラスターの内、ポジションの小さい方から2番目のポジションに出力を与えるというものである。これは、考えるクラスターの大きさや、ロジックの複雑さを考慮してこのように決められた。

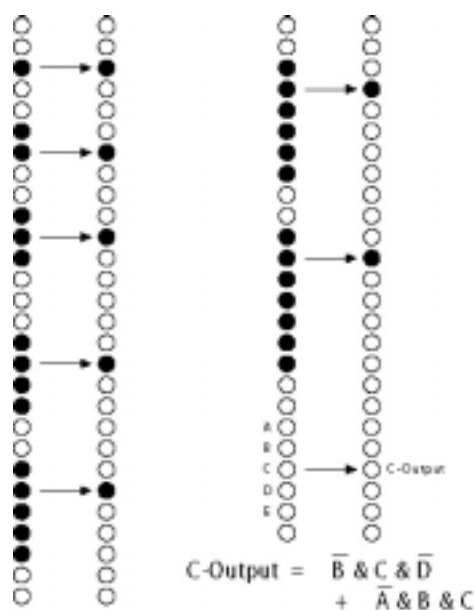


図7.9 : デクラスタリング・ルール

デクラスタリングされたポジションデータは、A-block と B-block のそれぞれ 32bit が、32 to 5 encoder にかけてエンコードされる。5bit では32のポジションを表すだけで精一杯なので、ヒットなしを示すコードは、pT 情報に組み込む。また、Select Highest-pT 回路で選ばれた pT も 4bit にエンコードされる。エンコードされた 4bit の pT 情報は、最上位ビットが符号ビットになっていて、下位 3ビットで pT の大きさを表している。pT = 0 は、+ 符号で pT の大きさ 0 で表す。ヒットなしの場合は、- 符号で pT の大きさ 0 で表す。

図7.10に Wire Doublet マトリックスの出力フォーマットを示す。

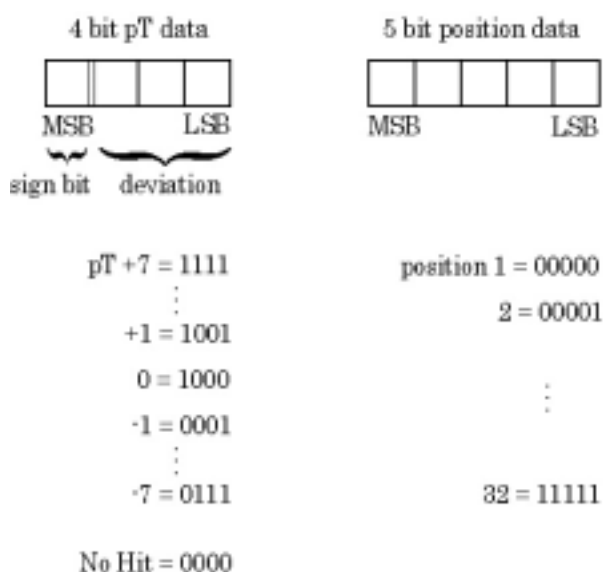


図 7.10 : Wire Doublet マトリックスの出力フォーマット

## 7.4.2 Strip Doublet

Strip Doublet も Wire Doublet 同様にマトリックス構造をしており、その仕様は Wire Doublet とほぼ同じであるため、Wire Doublet マトリックスを使い回しする。Strip Doublet マトリックスと Wire Doublet マトリックスの違う点はどこかということ、Strip Doublet マトリックスの方が Wire Doublet マトリックスに比べて、検出する pT の範囲が狭くなっていることである。方向へミュオンが曲がる原因は、トロイダル磁場の不均一性によるものなので、トラックの曲がり具合は R 方向に比べて小さいと思われる。そこで Strip Doublet の場合、pT は +3 から -3 で検出するものとした。また、adjacent input も必要としない。従って入力は、Pivot と Middle それぞれ 1 レイヤーにつき 32bit で、計 128bit である。Wire Doublet と Strip Doublet の間の、この pT の範囲の減少と、入力信号の減少に伴うマトリックスの有効領域の差を図 7.11 に示した。

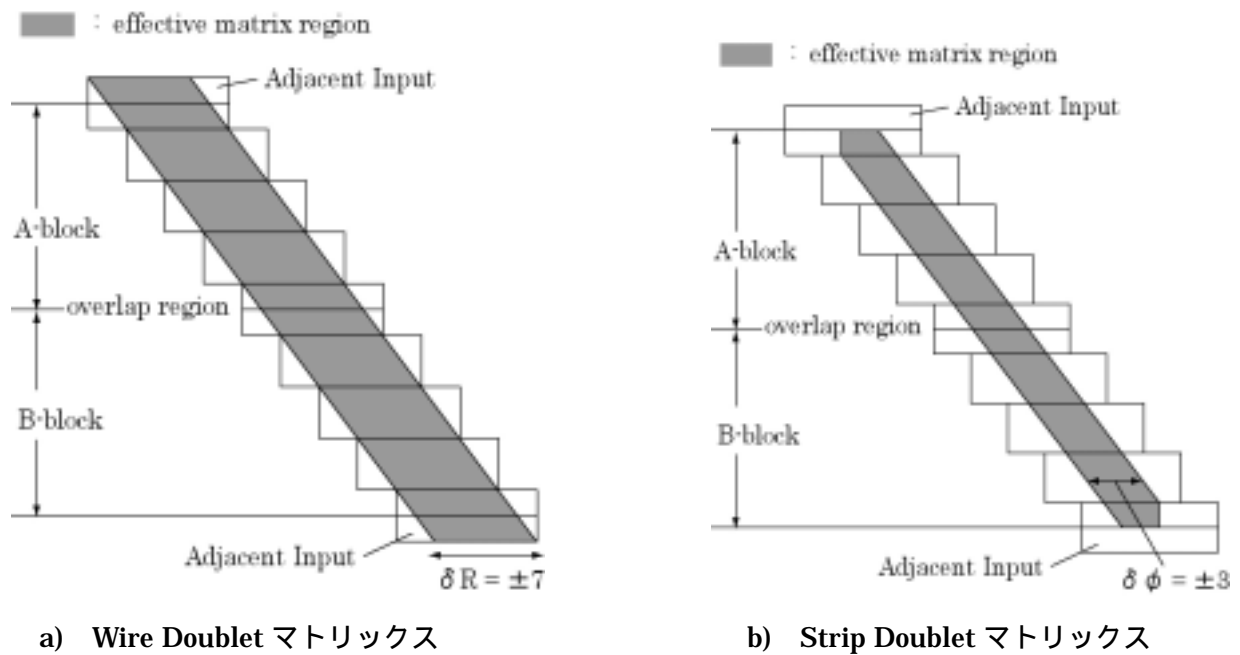


図 7.11 : Wire Doublet マトリックスと Strip Doublet マトリックスの有効領域

### 7.4.3 Wire Triplet

Wire Triplet 用の処理では、Doublet のようなマトリックス構造は必要なく、3 層に対するコインシデンス処理のみである。この処理を行う回路を Wire Triplet ブロックと呼ぶ。Wire Triplet ブロックのロジックを図 7.12 に示す。Wire Triplet ブロックへの入力は、1 レイヤーにつき 32bit の計 96bit がメインとなる。これに加えて 1 レイヤーにつき前後 2bit ずつの adjacent input が必要となる。これらを全て合わせると 108bit になる。Wire Triplet の 3 層は、Doublet と同様に stagger しており、この stagger はワイヤー・グループのピッチの 1/3 である。この stagger により、1 レイヤーの 3 倍のレゾリューションを得ることができる。これによってコインシデンス後のポジションは、96 ポジションになる。Triplet Wire ブロックでは、2 out-of-3 のコインシデンスをとり、結果を出力する。Doublet 同様、オプションとして 3 out-of-3 のコインシデンスをとることもできる。コインシデンスの結果には、デクラスタリングが施される。デクラスタリング後の 96 のポジションデータは、32 ポジションに 3 等分され 32 to 5 encoder によって 5bit にエンコードされる。5bit だけではヒットなしを表現できないので、もう 1bit ヒット・フラグを付け加える。ヒット・フラグが 1 のときヒット有りを示し、初めて 5bit のポジションデータが意味を持つ。ヒット・フラグが 0 のときは、ヒットなしとなる。

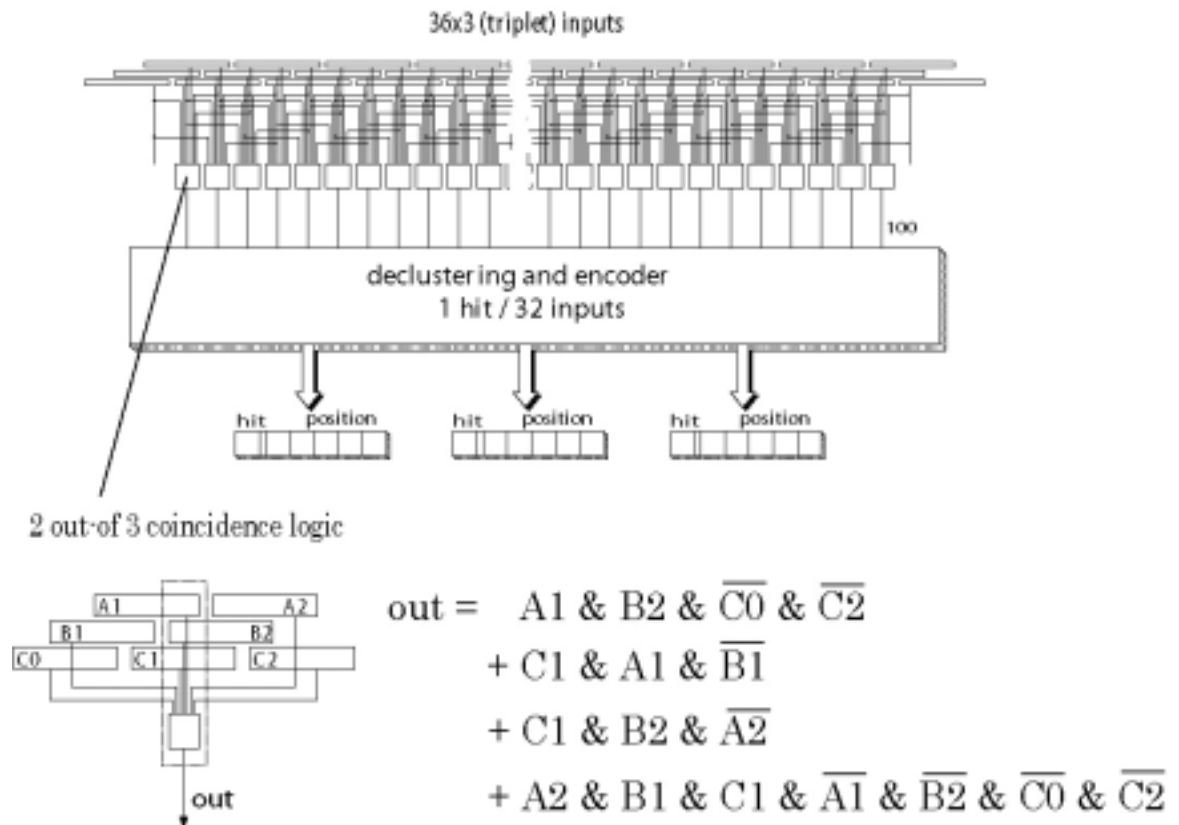
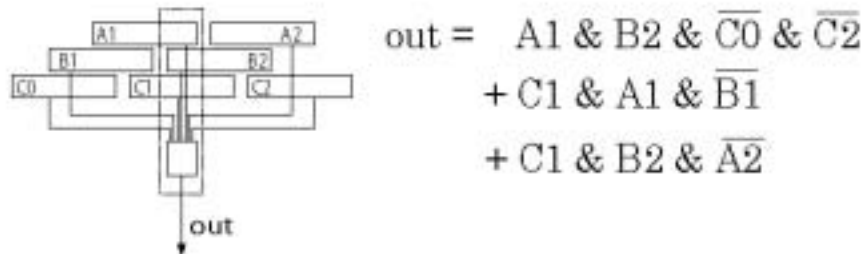


図 7.1 2 : Wire Triplet ブロックの構造

当初、Wire Triplet ブロックの 2 out-of-3 ロジックは、別のものが考えられていた。しかし、このロジックでは、2 out-of-3 を満たしているにもかかわらず、出力を与えない入力パターンが存在することが判った（図 7.1 3 参照）。このバグを修正し、正しくコインシデンスをとるロジックで Wire Triplet ブロックを設計した。

## 当初のコインシデンス・ロジック



## 2 out-of-3で出力を与えないパターン



図 7.1 3 : Wire Triplet ブロックの当初のコインシデンス・ロジック

## 7.4.4 Strip Triplet

Strip Triplet ブロックのロジックを図 7.1 4 に示す。Strip Triplet は、2 層構造をしている。Strip Triplet ブロックへの入力は、1 レイヤーにつき 32bit の計 64bit のみである。adjacent input は必要としない。Strip Triplet の 2 層は、Strip のピッチの 1/2 の stagger をしている。これにより、1 層分の 2 倍のレゾリューションとなり、コインシデンス後は 64 ポジションとなる。コインシデンスは、1 out-of-2 で、オプションとして 2 out-of-2 にもできる。コインシデンス後の 64 のポジションはデクラスタリングが施され、その後 16 ポジションづつ 4 つに分けられて、16 to 4 encoder によって 4bit にエンコードされる。4bit だけではヒットなしを表現できないので、1bit のヒット・フラグを付け加える。Strip Triplet ブロックへの入力は、全部で 64bit であるので、Slave Board ASIC の入力ピンは半分以上残るの。そこで、Slave Board ASIC には Strip Triplet ブロックを 2 つ搭載する。

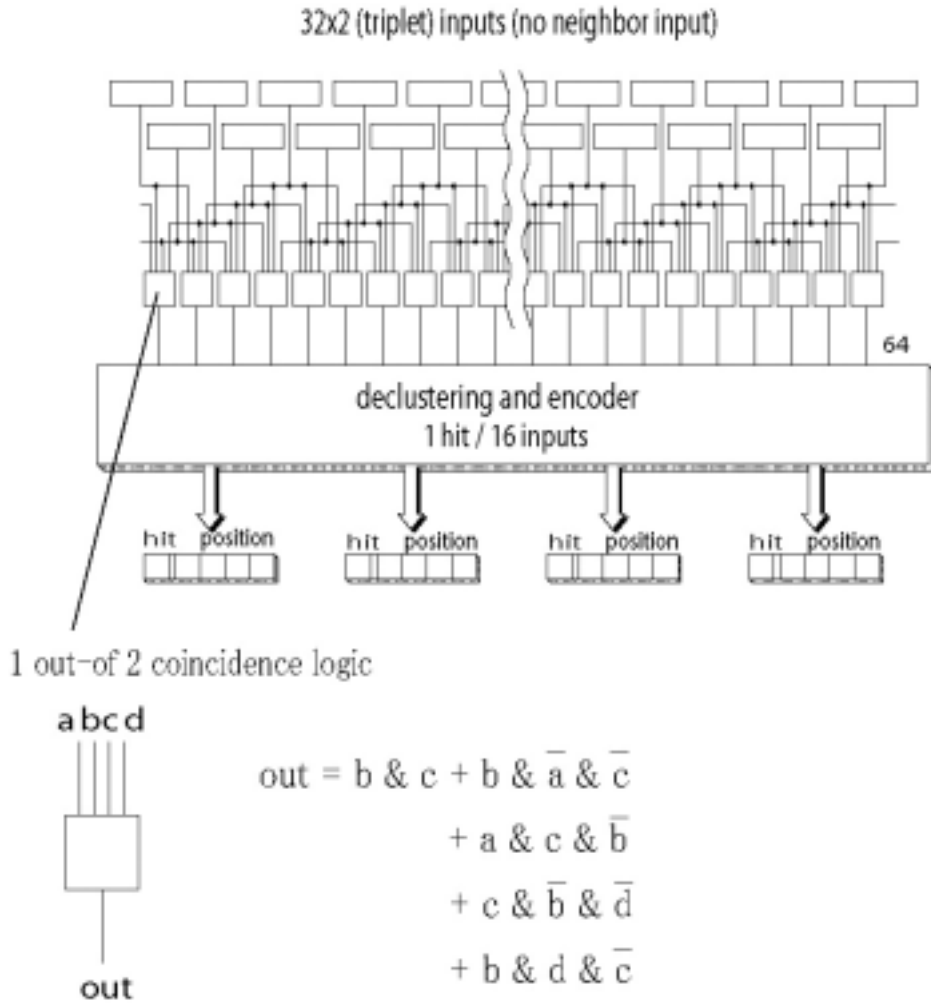


図 7.1 4 : Strip Triplet ブロックの構造

### 7.4.5 EI/FI

EI/FI TGC は、Wire、Strip 共に 2 層構造をしている。コインシデンスのとり方は Strip Triplet ブロックと全く同じである。しかし、EI/FI ブロックの出力は 16 ポジション単位でのヒットの有無のみであり、ポジションのデータは必要ない。そこで、EI/FI ブロックには Strip Triplet ブロックを使いまわして、Strip Triplet ブロックの出力の内、ヒット・フラグのみを出力することにする。EI/FI ブロックも Strip Triplet ブロック同様、Slave Board ASIC の中に 2 つ用意されており、それぞれが Wire 用、Strip 用になっている。EI/FI ブロックへのほとんどの入力が adjacent input を含まない、1 レイヤーにつき 32bit の計 64bit であるが、EI Wire に限っては 1 レイヤーにつき 16bit の計 32bit である。従って、EI Wire に関しては EI/FI ブロックの前半分を使ってコインシデンスをとり、32 ポジションを 16 ポジションづつの 2 つに分けてヒットの有無を出力する。

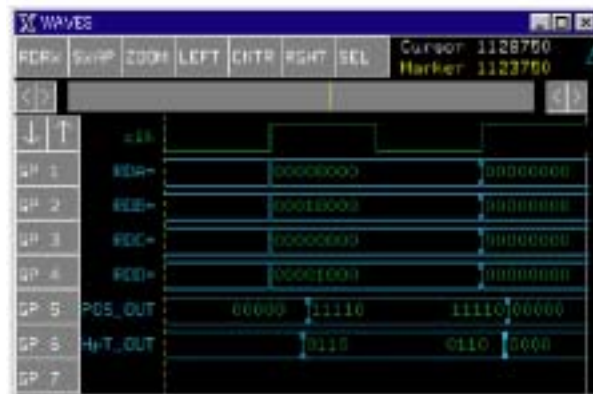
## 7.4.6 トリガー部の統合

以上のような5つのトリガー・タイプのブロックを統合し、このうちいずれか1つを選択して使用できるようにした。選択には、3bitの `module type` ラインを使う。Input Part からの信号は、デマルチプレクサによって `module type` ラインで示されたブロックに信号を送る。各ブロックは信号が何も与えられない場合、出力はゼロになるように統一されている。よって、各ブロックの出力はORがとられ、40bitの出力となる。ただし、40bit全て使うのはStrip Tripletブロックの出力のみで、他のブロックの出力は20bit以内に収まる。この40bitの出力は、Slave Board ASICのリードアウト部や、High-pT boardに送るためにSlave Board ASICの外へ送られる。ここで、PS boardからHigh-pT boardへデータを送るときには、LVDS Serializerを用いてシリアル変換したデータをLVDSレベルで転送しているが、このときデータ・パターンの中に1と0がほぼ等しく含まれるパターン(DCバランス)が望ましいとされている。よって、Slave Board ASICのトリガー部の出力は、DCバランスになっている。

このようにしてトリガー部をverilog HDLを用いて設計し、verilogシミュレーションを行ったところ、問題なく動作することが確認できた。トリガー部の最大遅延に関しては、最も処理時間を要すると思われるWire Doubletブロックの最も複雑なパターンにおいて4.51nsであった。Slave Board ASICのトリガー処理に与えられたレイテンシーは、3クロックである。トリガー処理の回路自体を通過する時間は、4.51nsと1クロック(25ns)に比べて十分短いので、Slave Board ASICの入力段で信号をラッチしてから、出力段で信号をラッチするのに1クロックで十分であることが解る。図7.15がそのverilogシミュレーションの結果である。



Wire Doublet matrix (verilog simulation)



clk : frequency = 40MHz (period = 25ns)  
RDA~RDD : Input for Wire Doublet matrix  
POS\_OUT : position data Output  
HpT\_OUT : pT data Output  
Maximum delay : 4.51ns

図 7.15 : トリガー部のシミュレーションによる最大遅延の測定

## 7.5 Slave Board ASIC の作成

私の設計したトリガー部に加えて、他の研究者が設計したリードアウト部、Input Part、control Part を統合し、配置配線 CAD を用いて Slave Board ASIC を作成した。Slave Board ASIC の作成は、2通りの手法を用いて行われた。

1つは、通常行われる手法であるが、全てのセルを自動配置配線する方法である。この方法は、従来から我々が採ってきた手法で経験もあり、人が手を下す部分が少なく、人的ミスの削減が見込める。ただし、今回はリードアウト部においてメモリマクロを使用しているため、このメモリマクロだけは設計者が位置を指定して配置しなければならない。図 7.16 は、この自動配置配線の設計手法によるレイアウト・マスクである。

もうひとつ別の手法は、各機能ブロックごとにマクロと呼ばれる部分配置構造を作り、その上でマクロを統合して全体の ASIC を作るというマクロ化の手法である。マクロ化の手法は、我々は初めて用いる手法である。このマクロ化の利点としてはまず、同じ機能をマクロとして近くに配置することによる動作性能の向上が挙げられる。また、ロジックに修正や変更を施す場合、全体を変更することなくマクロのみを更新すればよいなどが挙げられる。マクロ化の手法による設計は、他の研究者の手によって行われた。図 7.17 が、マクロ化設計によるレイアウト・マスクである。

この両方の手法で設計した Slave Board ASIC は、ローム社の 0.35  $\mu\text{m}$  プロセスで、VDEC を通してデータの提出を行った。

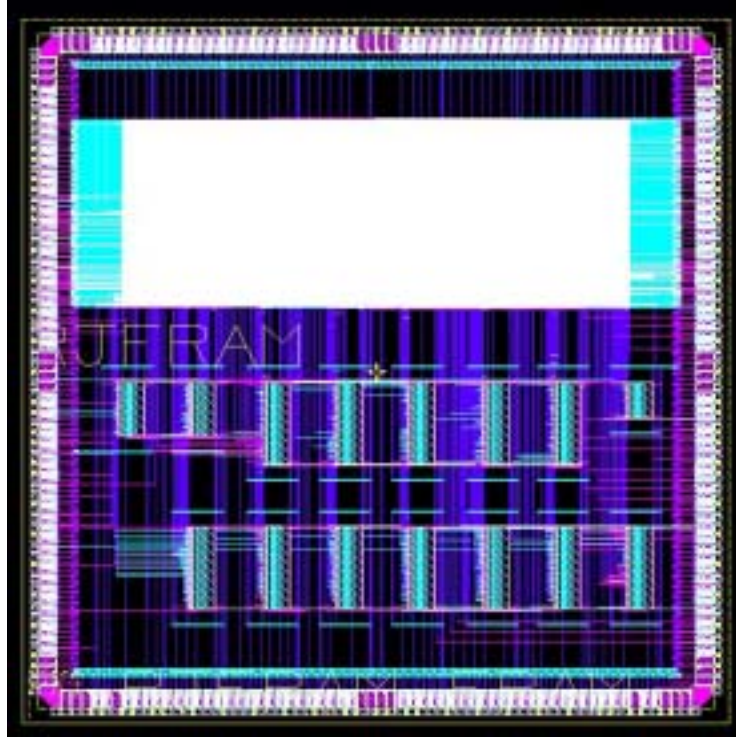


図 7.16 : 自動配置配線設計による Slave Board ASIC のレイアウト・マスク

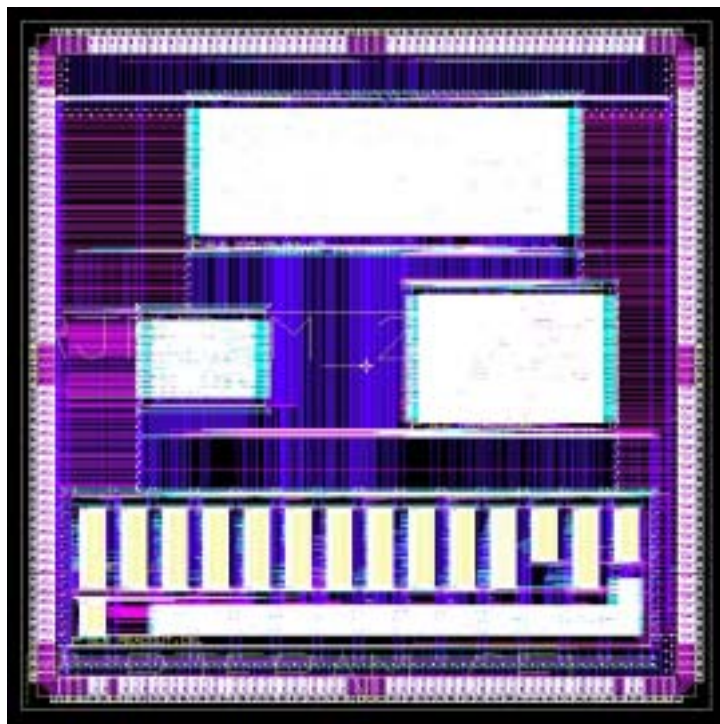


図 7.17 : マクロ化設計による Slave Board ASIC のレイアウト・マスク

## 7.6 Slave Board ASIC の検証

Slave Board ASIC が完成し、VDEC から送られてきたものをテストした。ここでは、主にトリガー部のテストについて述べる。

テストの方法としては、まず Slave Board ASIC トリガー部のテスト・ベクターを製作することから始まる。このテスト・ベクターについては、TGC エレクトロニクス社のシミュレーションを研究している研究者に依頼して作成してもらった。どのようなテスト・ベクターを用意してもらったかを図 7.18 に示す。まずソフトウェア上で Triplet と Doublet における Slave Board ASIC 1 つ分がカバーする領域を、adjacent input を含めて用意する。この Triplet、Doublet それぞれの領域に対し、仮想的にミュオンを通過させる。通過させるミュオンは 1track pattern から 3track pattern までを用意した。この条件のもと、Slave Board ASIC のトリガー部からどのような出力が得られるかをシミュレートし、出力を計算する。そして、このときの入力パターンと出力の値とをファイルにダンプし、テスト・ベクターとして用意した。用意したテスト・ベクターは、Wire Doublet、Strip Doublet、Wire Triplet、Strip Triplet の 4 タイプのブロックに対して、1track pattern、2track pattern、3track pattern をそれぞれ 1 万パターン用意した。EI/FI ブロックに関しては、ロジックが Strip Triplet と全く同じため、Strip Triplet のテストで代用できるものとした。

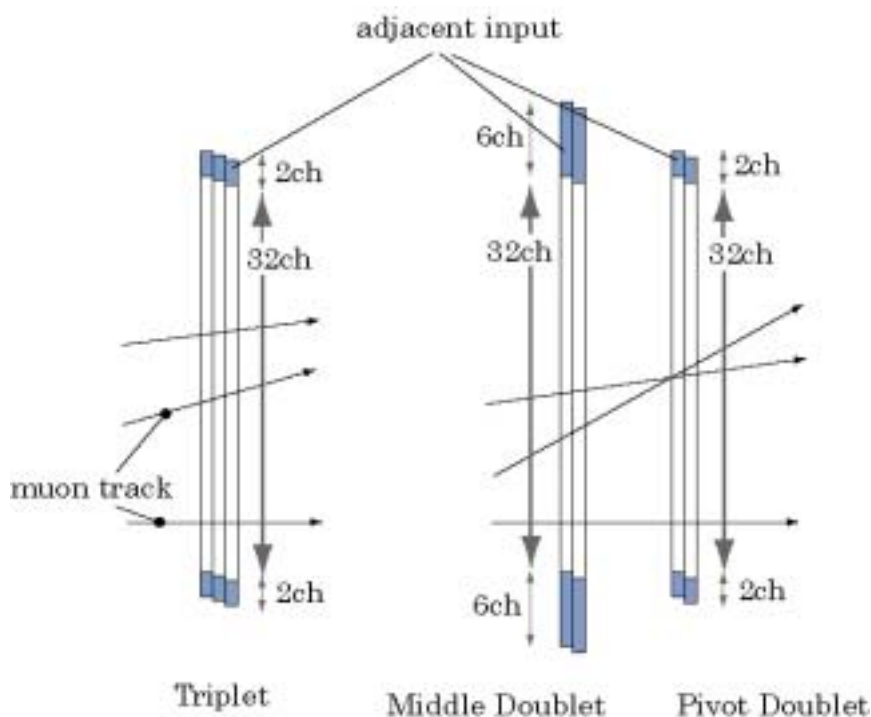


図 7.18 : シミュレーションでのテスト・ベクターの生成方法

このようにして得られたテスト・ベクターの入力パターンを VME モジュールである PPG(Pulse Pattern Generator)によって Slave Board ASIC に入力パターンを送り込む。Slave Board ASIC トリガー部の出力は、やはり VME モジュールであり、内部に FIFO を搭載した TOM によって読み出す。そして読み出した出力データが、シミュレーションで計算したテスト・ベクターの出力パターンと一致しているかどうかを調べる。

今回の Slave Board ASIC の製作は、メモリマクロ以外を自動配置配線によつての設計と、マクロ化を行つての設計との 2 つの手法で行つたが、このテストは両方の Slave Board ASIC に対して行った。

テストを行つた結果を表 7.2 にまとめる。結論は、異なる手法で設計した 2 種類の Slave Board ASIC に対して、全てのパターンで ASIC の出力とシミュレーションの結果が一致し、4 つのトリガー・タイプの機能が全て問題なく動作していることが確認できた。またこの動作は、本実験で運用される LHC のクロック 40.08MHz で確認できたのはもちろんだが、周波数を 60MHz まで上げても問題なく動作することが確認できた。

パターン数と周波数	トリガー・タイプ	トラック数	エラー数
それぞれに対して 10000 パターン  40.08MHz ~ 60MHz	Wire Doublet	1 track	0
		2 track	0
		3 track	0
	Strip Doublet	1 track	0
		2 track	0
		3 track	0
	Wire Triplet	1 track	0
		2 track	0
		3 track	0
	Strip Triplet	1 track	0
		2 track	0
		3 track	0

表 7.2 : Slave Board ASIC トリガー部のテスト結果

## 7.7 Slave Board ASIC の開発に関するまとめ

私は、Slave Board ASIC のトリガー部を設計し、リードアウト部、Input Part、Control Part を統合して、メモリマクロを除く全てのセルの自動配置配線の手法を用いた ASIC の作成を行った。

トリガー部の設計においては、テスト用 ASIC に単独で搭載された Wire Doublet マトリックスのロジックに存在したバグを取り除き、正常に動作するように修正したものを設計した。Wire Doublet マトリックスを Strip Doublet マトリックスとしても転用できるようにした。当初予定していた Wire Triplet ブロックのロジックにバグを見つけ、正常に動作するようにロジックを修正し設計した。Strip Triplet ブロックを設計した。Strip Triplet ブロックは、EI/FI ブロックとしても転用できる。

これらの各トリガー・タイプ・ブロックを統合し、トリガー部全体としてまとめ上げた。トリガー・タイプは、3bit の module type ラインを用いて5つの中から1つを選択して使用する。

このようにして設計し、完成した ASIC をテストした。シミュレーションにより作成したテスト・ベクターは、Wire Doublet、Strip Doublet、Wire Triplet、Strip Triplet の4タイプに対して、1 track、2 track、3 track のパターンをそれぞれ 10000 パターンである。自動配置配線とマクロ化の2種類の手法で設計した ASIC 両方に対し、このテスト・ベクターの入力パターンを流し込み、得られた出力とシミュレーションによる計算値とを比較したところエラーは検出されなかった。この結果は、40.08MHz ではもちろん、60MHz で動作させても確認することができた。

このことから、今回設計した Slave Board ASIC トリガー部のロジックは正常に動作し、ASIC として実現した後も正常に動作することが確認できた。また、60MHz でも動作することは、十分なマージンであるといえる。

次に、トリガー部以外の機能のテストについて簡単に述べる。まず、JTAG による Control Part だが、マクロ化の手法を用いた ASIC でテストしたところ、正常に動作した。しかし、自動配置配線した ASIC に関しては、160bit の MASK など、長いビットを持つレジスタにデータを書き込むと、ある位置から先にデータが送り込まれていかないという問題が起きた。この問題は、ASIC のレイアウトの際の配線長の差によるタイミングのずれが原因だと思われる。マクロ化の設計だと、Control Part だけで近くに配置されるので、このタイミングの問題が現れなかったものと思われる。

Input Part については、上述した MASK 等の長いレジスタにデータが書き込めないこと以外は、どちらの手法で設計したものでも正常に動作した。

リードアウト部については、自動配置配線した ASIC に関しては、正常に動作したが、マクロ化した ASIC では、一部読み出せないビットがあることがわかった。これもやはり、タイミングの問

題であると推測され、マクロ化の手法では、リードアウト部のメモリマクロ以外のロジックを上下2つに分けて配置したことが原因ではないかと推測される。

いずれにせよ、ロジックの配置の仕方によって動作が不安定になってしまう回路は、ロジック自体に問題があるとして、その後 Control Part、リードアウト部ともに修正が加えられた。この修正した Slave Board ASIC を 2001 年 12 月にローム社に提出した。

今後の課題としては、この修正した ASIC が届き次第テストして、問題が解決されたかどうかを確かめることである。

## 8 章 Slice Test

今まで述べてきたように、我々のグループでは TGC トリガー・システムの開発を行い、各構成要素の開発を行ってきた。6 章で紹介した Patch Panel ASIC、7 章で紹介した Slave Board ASIC に加えて High-pT ASIC が完成し、TGC トリガー・システムで用いる 3 種類の ASIC がそろった。これらの ASIC は、単体でのテストを行った結果、改善点はあるものの十分使用しうるものであることが確認できた。また各種 ASIC の搭載ボードや、Sector Logic、Star Switch（汎用モジュール PT4 を使用）、ROD の開発も進められ 2001 年 9 月までに全てのモジュールが完成した。これによって TGC の信号を受信してから、R- コインシデンスまでのトリガー処理を行うための装置が全てそろったことになる。我々のグループでは 2001 年 9 月から Slice Test と称して各モジュールの接続テストを行い、現在も継続中である。

### 8.1 Slice Test Setup

図 8.1 にスライステストのセットアップのブロック図を示す。各モジュールの説明は 4.2 節で行ったが、もう一度 Slice Test の流れに沿って振り返る。

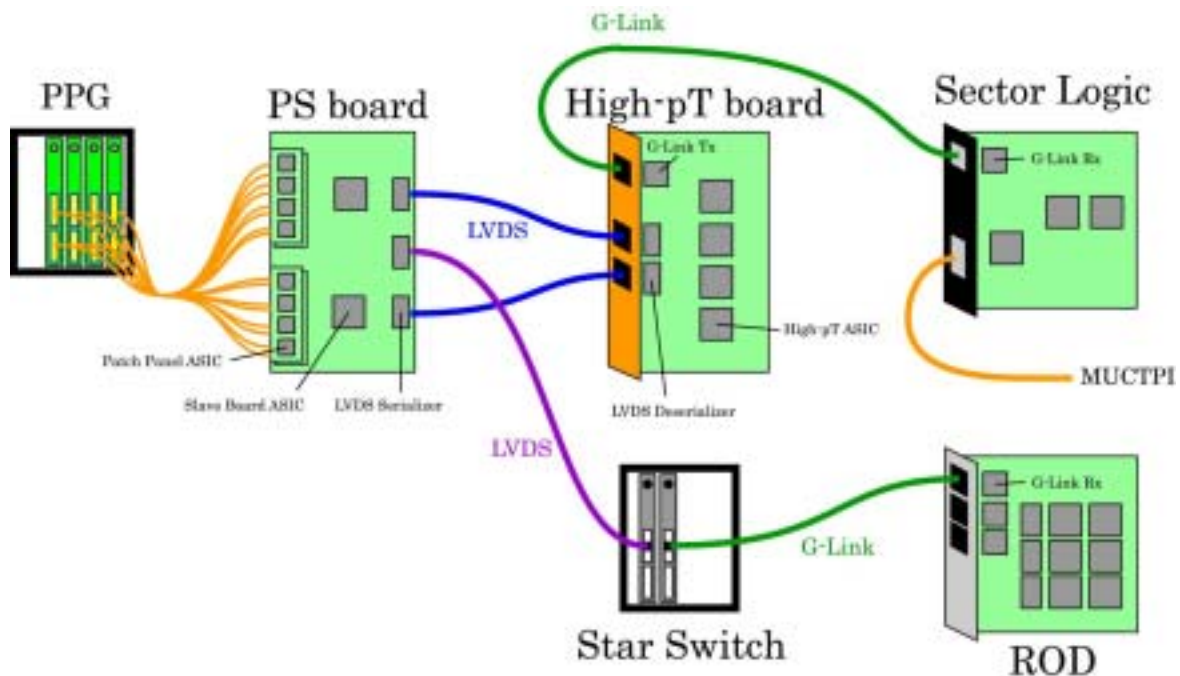


図 8.1 : Slice Test Setup ブロック図

- PPG ( Pulse Pattern Generator )

本来 TGC で生成された信号が ASD によって整形、増幅されるが、PPG はこの処理をエミュレートし、任意の信号パターンを生成するモジュールである。

- Patch Panel ASIC ( PS board )

チャンネル間でのタイミングの調整とバンチ識別を行う。

- Slave Board ASIC ( PS board )

Low-pT 判定を行うとともに、レベル1 アクセプトが与えられるまでの間、全てのデータを保持しておく。

- LVDS Serializer/Deserializer

PS board と High-pT Board との間でのデータの転送は、LVDS Serializer chip によって 1 chip につき 10bit のパラレル・データがシリアル・データに変換され、LVDS レベルで転送される。受信側は、LVDS Deserializer によってパラレル・データに戻される。この転送ではカテゴリ5 ケーブルを使用し、本実験では約 15 m であるが、今回の Slice Test では 7 m のものを使用した。

- High-pT board

High-pT 判定を行う。

- G-Link Tx/Rx

ATLAS 検出器に取り付けられる High-pT board と、放射線空間から隔離されたカウンター・ルーム ( USA15 ) に設置される Sector Logic とのデータ転送には、G-Link ベースのオプティカル信号が用いられる。本実験で用いられるオプティカル・ケーブルの長さは約 90 m であるが、今回の Slice Test では 20 m のものを使用した。

- Sector Logic

R- コインシデンスやトリガー・セレクションを行う。

- Star Switch

レベル1 アクセプトが与えられたデータを読み出す際にデータの圧縮、バンチ ID やイベント ID の書式データを付加などを行う。また、PS board に搭載された各種 ASIC に対して JTAG によるコントロールを行う。

- ROD

データの集約し、様々な加工を行う。



本来では、Wire と Strip で独立に処理された情報が、Sector Logic で統合され R- コインシデンスがとられる。今回の Slice Test では、ASIC の個数の制限により PS board を 1 台しか用意できなかった。よってこの PS board を Wire 用として使い、Sector Logic では Strip の入力をゼロにして R- コインシデンスをとる。図 8.2 は Slice Test のセットアップ風景である。

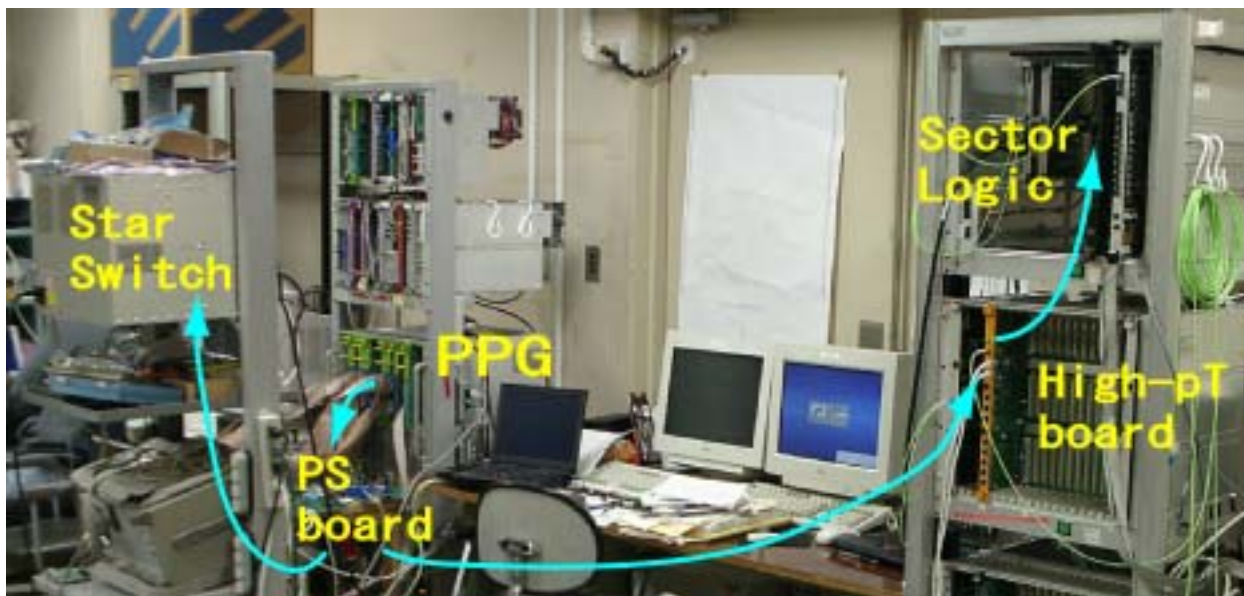


図 8.2 : Slice Test Setup 風景

## 8.2 Slice Test の結果

現在までの Slice Test での主な検査項目としては以下のものが挙げられる。

- ・ LVDS Serializer/Deserializer、G-Link のデータ・リンクの確認と、トリガー・データの整合性
- ・ 各モジュールに対するイニシャライズ、パラメータ設定などのコントロール機能
- ・ 全体のレイテンシー

リードアウト(DAQ)系統のテストも重要な項目であるが、これに関しては今後行う予定である。

## テスト結果

- ・ LVDS Serializer/Deserializer、G-Link のデータ・リンクの確認と、トリガー・データの整合性

Slave Board ASIC を単体でテストしたときと同様の方法で、テスト・ベクターを生成した。このテスト・ベクターの入力パターンを PPG にセットし、一連のトリガー処理を行う経路に対して、データを送り込む。Sector Logic での R- コインシデンスは、Strip 側をゼロにした擬似的なものなので、最終的に得られるトリガー判定の結果は High-pT board の出力となる。実際に得られた High-pT board の出力とテスト・ベクターの出力パターンとを比較したところ、両者が一致することが確認できた。これにより、LVDS Serializer/Deserializer、G-Link のデータ・リンクも正常に動作していることが確認できた。

- ・ 各モジュールに対するイニシャライズ、パラメータ設定などのコントロール機能

ここで利用している多くのモジュールは ATLAS 検出器に直接設置され、厳しい放射線環境下に置かれる。よって実験中は人が直接アクセスすることはできない。そのため、各モジュールのイニシャライズやパラメータの設定などのコントロールは、遠隔操作によって行わなければならない。我々のグループでは、オプティカル信号を用いた遠隔操作システムについても開発を行った（図 8.3 参照）。Slice Test では、この遠隔操作システムによるコントロールが正常に行われることが確認できた。

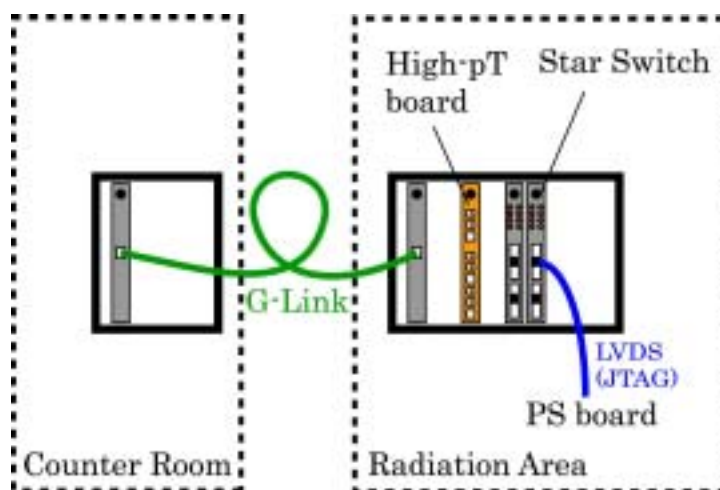


図 8.3 : 遠隔操作システム

・全体のレイテンシー

実際にレイテンシーを測定して得られた結果としては以下のものがある。

Patch Panel ASIC & Slave Board ASIC	81 ns
High-pT board	57 ns
Sector Logic	160.9 ns

表 8.1 : Slice Test でのレイテンシーの実測値

これに以下の見積もりを加えて全体のレイテンシーを見積もる。

TOF & Cable etc.	175 ns
LVDS Serializer	26 ns
Category 5 Cable 15m	75 ns
LVDS Deserializer	50 ns
G-Link Tx	25 ns
Optical Cable 90m	450 ns
G-Link Rx	8 ns
Cable (to MUCTPI) 5m	25 ns

表 8.2 : レイテンシーの見積もり

実測値と見積もりとを合わせると、レイテンシーは 1132.9ns という結果が得られる。TGC トリガー・システムでは、ここまでの処理を 1250ns で行うこと目標としている。Slice Test で得られた結果は 1250ns という目標に比べて、十分な速度で処理を終えることができるといえる。

### 8.3 Slice Test に関するまとめ

2001年9月から Slice Test をはじめ、これまでに以下のような結果を得た。

シミュレーションによって作成したテスト・ベクターを用いて、各モジュールのトリガー機能と LVDS Serializer/Deserializer のデータ・リンクの確認を行った。トリガー処理によって最終的に得られた出力パターンがシミュレーションによる出力パターンと一致することを確認し、データ・リンクについても動作を確認した。

TGC トリガー・システムにおいて利用する遠隔操作システムの動作を検証した結果、正常に動作することが確認できた。

実際に測定したレイテンシーと TOF や配線遅延などの見積もりを加えた結果、全体のレイテンシーは 1132.9ns であり、目標としていた 1250ns に比べると十分な処理速度を確保していることが確認できた。

今後は、リードアウト (DAQ) 系統のテストも行い、また Slice Test 専用のソフトウェアを用いてより効率的な検証を進めていく予定である。

## 9章 まとめ

最後にこの章で、本論文で述べてきたことについてまとめる。

ATLAS 検出器のミュオン・トリガー用検出器である TGC の総チャンネル数は、32 万チャンネルにも及び、Patch Panel ASIC がこのチャンネル間のタイミングのずれを調整する。また Patch Panel ASIC は、TGC のタイム・ジッタ - のため、イベントごとに異なるタイミングで到達する信号に対し、パンチの特定を行う。

この Patch Panel ASIC を、0.6  $\mu\text{m}$  プロセスの ASIC として設計した。実物をテストした結果、ほとんどの機能が正常に動作することを確認した。問題としては次の 2 つがあった。DLL がロックするのは、バリアブル・ディレイの値が 25ns になったときだけでなく、25ns の整数倍であれば常にロックする可能性があること。TGC 信号用のバリアブル・ディレイの値が 25ns よりも 4~5ns ほど短いこと。

PLL を用いて 0.6  $\mu\text{m}$  プロセスの Patch Panel ASIC を設計した。実物をテストした結果、ほとんどの機能が正常に動作した。DLL の問題であった、バリアブル・ディレイの値が 25ns の整数倍のときにロックしてしまう問題は解消されていた。しかし、TGC 信号用のバリアブル・ディレイの値が短くなってしまいう問題は残っていた。

性能の向上と、チップ面積の節約を目的として 0.35  $\mu\text{m}$  プロセスでの Patch Panel ASIC の設計を行った。アナログ回路とデジタル回路のどちらのシミュレーションにおいても正常に動作することが確認できた。

0.35  $\mu\text{m}$  プロセスへの移行に伴うチップ面積の節約が実現したことから、Patch Panel ASIC を 16ch 対応から 32ch 対応へと拡張した。これに関してもシミュレーションで正常に動作することが確認された。

0.35  $\mu\text{m}$  プロセスで設計したこの 2 種類の ASIC は、すでに半導体製造企業に提出してあるが、まだ完成していないので、完成次第テストを行う。

ATLAS 実験のレベル 1 トリガーを形成する TGC ミュオン・トリガー・システムで、一番初めに行われるトリガー判定である Low-pT トリガー回路を設計し、これを Slave Board ASIC に搭載し ASIC を作成した。

この Slave Board ASIC トリガー部のテストを行った。実際の ASIC の Wire Doublet、Strip Doublet、Wire Triplet、Strip Triplet の 4 つのタイプのトリガー・ブロックに対し、ミュオンが 1 track、2 track、3 track の場合の入力パターンを入力した。これらの全ての場合に対して、10000 パターンの入力データを用意した。この結果、ASIC から得られた出力は、全てシミュレーション

によって求めた値と一致し、正常に動作することが確認できた。

Slave Board ASIC のリードアウト部、Control Part には、レイアウトの手法によって動作が不安定になるという問題があった。これらの問題は、それぞれの設計者によって修正された。これらを統合し、マクロ化の手法を用いて Slave Board ASIC をレイアウトした。このさい、配線長の差によるクロックのタイミングのずれを最小限に抑えるために、配置配線 CAD のクロック・ツリー作成機能を用いてクロック・ツリーを形成した。このようにして設計した ASIC を 2001 年 12 月に製造企業に提出した。この ASIC は、完成しだいテストを行う。

2001 年 9 月から Slice Test を開始した。そこで、各モジュールでのトリガー機能、データ・リンク、遠隔操作システム、全体のレイテンシーを検証、測定し、全て問題なく動作することを確認した。今後はリードアウトシステムのテストと、ソフトウェアを用いたより効率的な検証を行う予定である。

## 参考文献

- [1]ATLAS Collaboration, ATLAS detector and physics performance Technical Design Report, ATLAS TDR 14,15, CERN/LHCC/99-14,15 (1999)
- [2]<http://atlphy01.kek.jp/~asai/ATLAS/Higgs1.html>
- [3]ATLAS Collaboration, ATLAS Level-1 Trigger Technical Design Report, ATLAS TDR 12, CERN/LHCC/98-14 (1998)
- [4]Osamu Sasaki and Mitsuhiro Yoshida, ASD IC for the Thin Gap Chambers in the LHC Atlas Experiment, IEEE TNS Vol.46, 1999 1871
- [5]Interface Circuits for TIA/EIA-644 (LVDS) Design Notes, Texas Instruments SLLA038 (1998)
- [6]一宮亮 神戸大学 修士学位論文 ATLAS 実験前後方ミュオントリガシステム用 Sector Logic の開発
- [7]Agilent Technologies, <http://www.agilent.com/>
- [8]VDEC(東京大学大規模集積システム設計教育センター), <http://www.vdec.u-tokyo.ac.jp/>
- [9]桜井至 株式会社テクノプレス HDL 設計入門
- [10]Avant! Corporation, Star-Hspice Manual, Release 2000.2, [http://www.ece.orst.edu/~moon/hspice2000/hspice\\_2000\\_2.pdf.zip](http://www.ece.orst.edu/~moon/hspice2000/hspice_2000_2.pdf.zip)
- [11]Texas Instruments Inc., IEEE Std 1149.1 (JTAG) Testability Primer
- [12]ローム株式会社 <http://www.rohm.co.jp/>
- ・ Hiroyuki Kano, Tokyo Metropolitan University, Development of the First Level Trigger and Data Acquisition System for the ATLAS Experiment at the Large Hadron Collider, (2001)
  - ・ 陣内修 東京大学 修士学位論文 ATLAS 実験ミュオン検出器用トリガーエレクトロニクスの開発
  - ・ 佐藤構二 東京大学 修士学位論文 ATLAS 実験ミュオン検出器用データ読出システムの開発
  - ・ 松浦聡 東京大学 修士学位論文 ATLAS 実験前後方部ミュオントリガーシステムの開発
  - ・ 津野総司 東京大学 修士学位論文 ATLAS 実験ミュオントリガー検出器のバックグラウンド放射線に対する動作研究
  - ・ 戸谷大介 東京大学 修士学位論文 ATLAS 実験ミュオントリガーシステムにおける運動量選別用 ASIC の開発
  - ・ 香取勇一 東京大学 修士学位論文 アトラス実験ミュオントリガーシステム用 IC の開発
  - ・ 南條創 東京大学 修士学位論文 アトラス実験ミュオントリガー用検出器の中性子バックグラウンドに対する動作研究
  - ・ 長島壮洋 東京大学 修士学位論文 ATLAS 実験ミュオントリガー用 Thin Gap Chamber の量産と動作検証

## 謝辞

まず何よりも本研究を行う機会を与えて頂き、適切なお指導を下さった福永力助教授に、感謝申し上げます。また、研究を通じ多くの貴重な助言を頂きました高エネルギー加速器研究機構(KEK)の佐々木修氏に感謝いたします。技術面から常に我々の研究を支えて下さいました同機構の池野正弘氏に感謝いたします。ATLAS TGC エレクトロニクス・グループの中で、多くのアドバイスやご指摘を頂きました東京大学素粒子物理国際研究センター(ICEPP)の坂本宏氏、蓮子和巳氏、神戸大学の蔵重久弥氏に感謝いたします。また、ICEPP の狩野博之氏におかれましては、私の研究における様々な問題をともに解決して頂き、大変感謝しております。エレクトロニクス・グループ以外の方々でも我々の研究を支えて下さり、また多くのことを学ばせて頂いた KEK の近藤敬比古氏、岩崎博行氏、ICEPP の小林富雄氏に感謝いたします。TGC チェンバー・グループの方からも多くのことを学ばせて頂きました。KEK の田中秀治氏、ICEPP の石野雅也氏、神戸大学の石井恒次氏、越智敦彦氏に感謝いたします。そして、ともに研究に携わり多くの相談にもものって頂いた ICEPP の香取勇一氏、中村佳央氏、松本悠氏、都立大学の石田康明氏、小松知氏、信州大学の戸塚真義氏、京都大学の溝内健太郎氏、辻伸介氏、そして神戸大の一宮亮氏に心から感謝申し上げます。