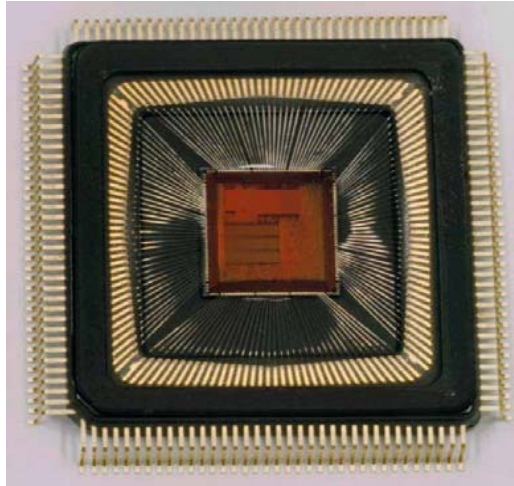


## 日本の分担④ 時間デジタル変換チップ

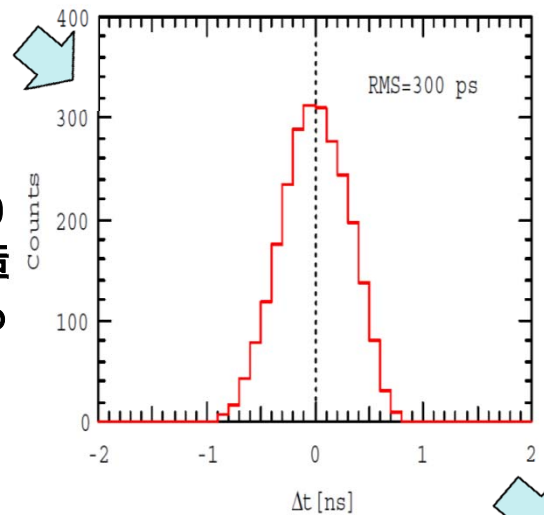


アトラス用24ch TDC 20,000個を0.3 $\mu$ m東芝CMOSで製造40万ゲート。一研究者による設計。

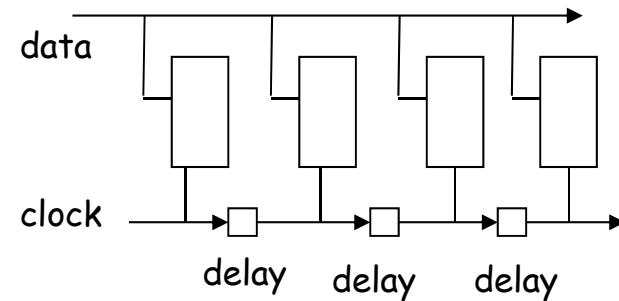
H1, Phenix, D0, K2K,実験、ロケット観測にも使われた。

チップ設計で複数回の受賞。

SSC計画の検討中に大杉(広大)新井(KEK)が考案。微小時間差を直接デジタルに変換できる(TDC)。CMOSメモリーのclockにdelayを入れるアイデア→特許



$\sigma$  : 300 ps,  
リニアリティ 80ps



アトラス実験ミュオンドリフトチューブ(40万ch)に使用中

参照webページ: <http://atlas.kek.jp/tdc/>